

UltraScale+ Integrated 100G Ethernet Subsystem v3.1

产品指南

Vivado Design Suite

PG203 2020 年 6 月 24 日

条款中英文版本如有歧义，概以英文文本为准。



目录

IP 相关信息

第 1 章：简介

功能特性总结.....	5
许可和订购.....	7

第 2 章：产品规格

典型操作方法.....	11
统计数据收集.....	11
可测试性功能.....	11
暂停操作.....	11
标准.....	12
性能和资源使用情况.....	12
端口描述.....	13
属性描述.....	31

第 3 章：用核设计

时钟.....	38
复位.....	39
含 GTM 映射的 CMAC.....	42
协议描述.....	45
PCS.....	45
Ethernet MAC.....	50
1588v2 时间戳.....	67
收发器选择规则.....	73
动态重新配置端口.....	73

第 4 章：设计流程步骤

自定义和生成核.....	82
核的约束.....	94
仿真.....	95
综合与实现.....	95

第 5 章：设计示例

简介.....	96
用户接口.....	100
CORE XCI 顶层端口列表.....	101
操作模式.....	133
传输事务流程.....	136
核 DRP 操作.....	143
AXI4-Lite 接口实现.....	143

RS-FEC Transcode Bypass	174
核初始化顺序	174
不同模式的用例	176
设计示例仿真	183
设计示例的综合和实现	186
附录 A: 适用于 Integrated 100G Ethernet 的 UltraScale+ 器件 RS-FEC	
操作模式	187
端口	188
时钟与复位	190
使用 RS-FEC 引擎	193
附录 B: UltraScale+ 器件 RX OTN 接口	
简介	196
实现	197
附录 C: 软核 TX OTN 接口	
客户端监控	202
软核 TX OTN 接口总线时序	202
位排序	202
端口描述	203
附录 D: 自动协商和链路训练	
自动协商	207
链路训练	210
端口描述	212
附录 E: 从 UltraScale 到 UltraScale+ 的 FPGA 增强功能	
UltraScale+ Integrated 100G Ethernet IP 中的增强功能	219
修订	219
附录 F: 升级	
附录 G: 调试	
在 Xilinx.com 上寻求帮助	221
调试工具	222
仿真调试	223
自动协商和链路训练调试	223
硬件调试	226
接口调试	227
协议调试	229
附录 H: 附加资源与法律声明	
赛灵思资源	231
Documentation Navigator 与设计中心	231
参考资料	231
修订历史	232
请阅读: 重要法律提示	237

引言

赛灵思 UltraScale+™ 器件 Integrated 100G Ethernet IP Subsystem 可提供高性能、低时延 100 Gb/s Ethernet 端口，支持各种用户自定义和统计数据收集操作。此专用块可提供 100G Ethernet MAC 和 RS-FEC 逻辑，并支持 IEEE 1588-2008 [参照 1] 硬件时间戳。

此 100G Ethernet IP 核可提供下列配置：(CAUI-10) 10x10.3125G、(CAUI-4) 4x25.78125G、(100GAUI-2) 2x53.125G 和 (100GAUI-4) 4x26.5625G。此核可在运行时在 CAUI-4 模式与 CAUI-10 模式之间进行切换。此 100G Ethernet IP 核是根据 IEEE 802.3-2012 标准 [参照 2] 规范而设计的。

功能特性

- 支持 CAUI-10、CAUI-4、100GAUI-2、100GAUI-4，在运行时可在 CAUI-4 模式与 CAUI-10 模式之间进行切换
- 512 位分段式局部总线 (LBUS) 用户接口/AXI4-Stream (AXIS) 用户接口，频率上限高达 322 MHz
- 可连接至 CAUI-10 通道串行收发器的 32 位接口，可连接至 CAUI-4/100GAUI-4 通道串行收发器的 80 位接口，以及可连接至 100GAUI-2 通道的串行收发器的 160 位接口
- 位于入口和出口处（完整 80 位）的 IEEE 1588-2008 [参照 1] 单步和双步硬件时间戳
- 暂停帧处理，包括基于优先级的流程控制（遵循 IEEE 802.3-2012 标准附录 31 [参照 2]
- 适用于 CAUI-4 模式的可选付费自动协商和链路训练功能
- 适用于 CAUI-4 模式和运行时可切换 CAUI-4 模式的可选内置 RS-FEC 块（遵循 802.3bj-2014 第 91 条）
- 接收端 OTN 接口
- 可选软核 TX OTN 接口支持

LogiCORE IP 相关信息表	
核相关信息	
支持的器件系列 ⁽¹⁾	UltraScale+
支持的用户接口	分段式 LBUS，AXI4-Stream
资源	性能和资源使用情况网页
随核提供	
设计文件	Verilog
设计示例	Verilog
测试激励文件	Verilog
约束文件	赛灵思设计约束 (XDC)
仿真模型	Verilog
支持的 S/W 驱动	不适用
经过测试的设计流程 ⁽²⁾	

LogiCORE IP 相关信息表	
设计输入	Vivado® Design Suite
仿真	如需了解有关受支持的仿真器的信息，请参阅《 Vivado Design Suite 用户指南：版本说明、安装和许可 》。
综合	Vivado 综合
支持	
版本说明和已知问题	赛灵思答复记录 67395
所有 Vivado IP 变更日志	Vivado IP 变更主日志： 72775
赛灵思支持网页	

注释：

- 如需获取受支持的器件的完整列表，请参阅 Vivado IP 目录。
- 如需获取受支持的工具版本，请参阅《[Vivado Design Suite 用户指南：版本说明、安装和许可](#)》。

简介

本产品指南描述了赛灵思 UltraScale+™ 器件 Integrated 100G Ethernet Subsystem 的功能和操作，包括如何对其进行设计、自定义和实现。

该核是遵循 IEEE 802.3-2012 标准 [参照 2] 规范而设计的，并提供了 IEEE 1588-2008 [参照 1] 硬件时间戳选项。该核用于例化 UltraScale+ 器件 Integrated Block for 100G Ethernet。该核可简化设计进程并缩短上市时间。

虽然该核为经过完全验证的解决方案，但完整设计的实现仍取决于应用的配置和功能。请参阅第 2 章“产品规格”，以获取有关该核的详细信息。



建议：为实现最佳结果，建议用户最好具备先前使用赛灵思实现设计工具和约束文件来构建高性能的流水线式 FPGA 设计的经验。



重要提示：CAUI-4 和可切换 CAUI-10/CAUI-4/100GAUI-4 需使用 GTY 收发器。100GAUI-2 模式配置需使用 GTM 收发器。

功能特性总结

该核的功能特性总结如下：

- IEEE 1588-2008 [参照 1] 单步和双步硬件时间戳，具备透明时钟和普通时钟支持
- 可选发射端 OTN 接口（在结构逻辑中实现）
- 动态和静态去歪斜支持
- 20 条 PCS 通道 (PCSL)，适用于 100G Ethernet IP 核
- GTY、GTH 或 GTM 收发器（用于 UltraScale+ 器件）
- PCS 通道标记成帧和解帧，包括每个 PCS 通道的重排序
- 链路状态和对齐监控报告
- 64B/66B 解码和编码（遵循 IEEE 802.3-2012 标准第 82 条 [参照 2] 中的定义）
- 使用 $x^{58} + x^{39} + 1$ 多项式进行扰码和解扰
- 包间隔 (IPG) 插入和删除（遵循 IEEE 802.3-2012 标准第 82 条 [参照 2] 的要求）
- 在发射方向上可执行可选帧校验序列 (FCS) 计算和添加操作
- 可编程包间隔
- 支持自定义前导码
- 在接收方向上可执行 FCS 校验和可选 FCS 移除操作
- 支持 802.3x 和基于优先级的暂停操作
- 用于核的动态重配置的 DRP 接口
- 收集详细统计数据

- 总字节数
- 总包数
- 有效字节数
- 有效包数
- 单播包数
- 多播包数
- 广播包数
- 暂停包数
- 带虚拟局域网 (VLAN) 标记的包数
- 64B/66B 编码违例
- 无效前导码
- 无效 FCS
- 对应各种数据包大小的包统计图

许可和订购

根据[赛灵思最终用户许可](#)条款，此赛灵思 LogiCORE™ IP 模块随赛灵思 Vivado Design Suite 免费提供。

如需获取有关此模块及其它赛灵思 LogiCORE IP 模块的信息，请参阅[赛灵思 IP](#) 页面。如需获取有关其它赛灵思 LogiCORE IP 模块和工具的定价和可用性信息，请联系您[当地的赛灵思销售代表](#)。

如需获取更多信息并生成免费许可证密钥，请访问 [UltraScale+ Integrated 100G Ethernet Subsystem](#) 产品网页。

在 UltraScale+ 中，如果使用集成式 802.3bj RS-FEC 作为 CMAC 的一部分，则 FEC 功能无需额外许可证即可使用。仅限软核 RS-FEC IP 才需要许可。

如需获取有关生成和订购软核 IEEE 802.3 RS-FEC 硬件评估许可证的信息，请访问 [IEEE 802.3bj Reed-Solomon Forward Error Correction](#) 页面。

如需获取更多信息并生成 AN/LT 评估许可证用于 CR4 和 KR4 应用，请访问 [UltraScale+ Integrated 100G Ethernet Subsystem](#) 产品网页。

如需了解核功能特性的许可要求，请参阅[表 1-1](#)。

表 1-1: 许可要求

LogiCORE 产品名称	许可证密钥功能特性	部件编号
赛灵思 UltraScale+ 器件 Integrated 100G Ethernet Subsystem	cmac_usplus	不适用
适用于 UltraScale/ UltraScale+ 工程的 Integrated 100G Ethernet 的软核 100GE 自动协商和链路训练 (AN/LT) 许可证	cmac_an_lt	EF-DI-100GE-AN-LT-PROJ ⁽¹⁾
适用于 UltraScale/ UltraScale+ site 的 Integrated 100G Ethernet 的软核 100GE 自动协商和链路训练 (AN/LT) 许可证	cmac_an_lt	EF-DI-100GE-AN-LT-SITE ⁽¹⁾

注释：

- 100GE AN/LT 是 100GBASE-KR4 或 100GBASE-CR4 应用所必需的。它对于所有其它应用（如 100GBASE-SR4）不可用。如无需 100GBASE-KR4 或 100GBASE-CR4，请忽略 Vivado Design Suite 中的 cmac_an_lt 许可证密钥警告信息。

如需了解更多许可详细信息，请参阅表 1-2。

表 1-2：许可详细信息

物理 介质	IEEE PMD	模块 接口	自动协商/ 链路训练	PMD 所需的 FEC 模式				所需 IP 许可证
				无 FEC	KR FEC	RS-FEC (544, 514)	RS-FEC (528, 514)	
背板	100GBASE-KR4	不适用	是	不适用	不适用	不适用	是	EF-DI-100GE-AN-LT-PROJ ⁽¹⁾
双芯电缆	100GBASE-CR4	不适用	是	不适用	不适用	不适用	是	EF-DI-100GE-AN-LT-PROJ ⁽¹⁾
100M MMF	100GBASE-SR4	CAUI-4	不适用	不适用	不适用	不适用	是	包含在 Vivado 中
并行 SMF	100GBASE-PSM4	CAUI-4	不适用	不适用	不适用	不适用	是	包含在 Vivado 中
40KM SMF	100GBASE-ER4	CAUI-4	不适用	不适用	不适用	不适用	不适用	包含在 Vivado 中
10KM SMF	100GBASE-LR4	CAUI-4	不适用	不适用	不适用	不适用	不适用	包含在 Vivado 中
2KM SMF	100GBASE-CWDM4 100GBASE-CLR4	CAUI-4	不适用	不适用	不适用	不适用	是	包含在 Vivado 中
100M MMF ⁽²⁾	100GBASE-SR2	100GAUI-2	不适用	不适用	不适用	是	不适用	包含在 Vivado 中 ⁽²⁾
500M SMF ⁽²⁾	100GBASE-DR	100GAUI-2	不适用	不适用	不适用	是	不适用	包含在 Vivado 中 ⁽²⁾

注释：

1. 付费软核解决方案 AN/LT。
2. UltraScale+ 58G 器件在 GTM 内包含免费硬核 100G KP4 FEC。

产品规格

表 2-1 定义了适用于 100 Gb/s Ethernet 的 CMAC 集成块解决方案。

表 2-1: 适用于 100 Gb/s Ethernet 的 CMAC 集成块解决方案

协议	通道宽度	线速率	SerDes	SerDes 宽度
CAUI-10	x10	10.3125 Gb/s	GTH GTY	32b
CAUI-4	x4	25.78125 Gb/s ⁽²⁾	GTY ⁽¹⁾ GTM	含 GTY: 80b 含 GTM: 64b
运行时可切换 CAUI-4/CAUI-10	CAUI-10: x10 CAUI-4: x4	CAUI-10: 10.3125 Gb/s CAUI-4: 25.78125 Gb/s	GTY ⁽¹⁾	CAUI-10: 32b CAUI-4: 80b
100GAUI-2	x2	53.125 Gb/s ⁽³⁾	GTM	160b
100GAUI-4	x4	26.5625 Gb/s	GTY ⁽⁴⁾ GTM	含 GTY: 80b 含 GTM: 64b

注释:

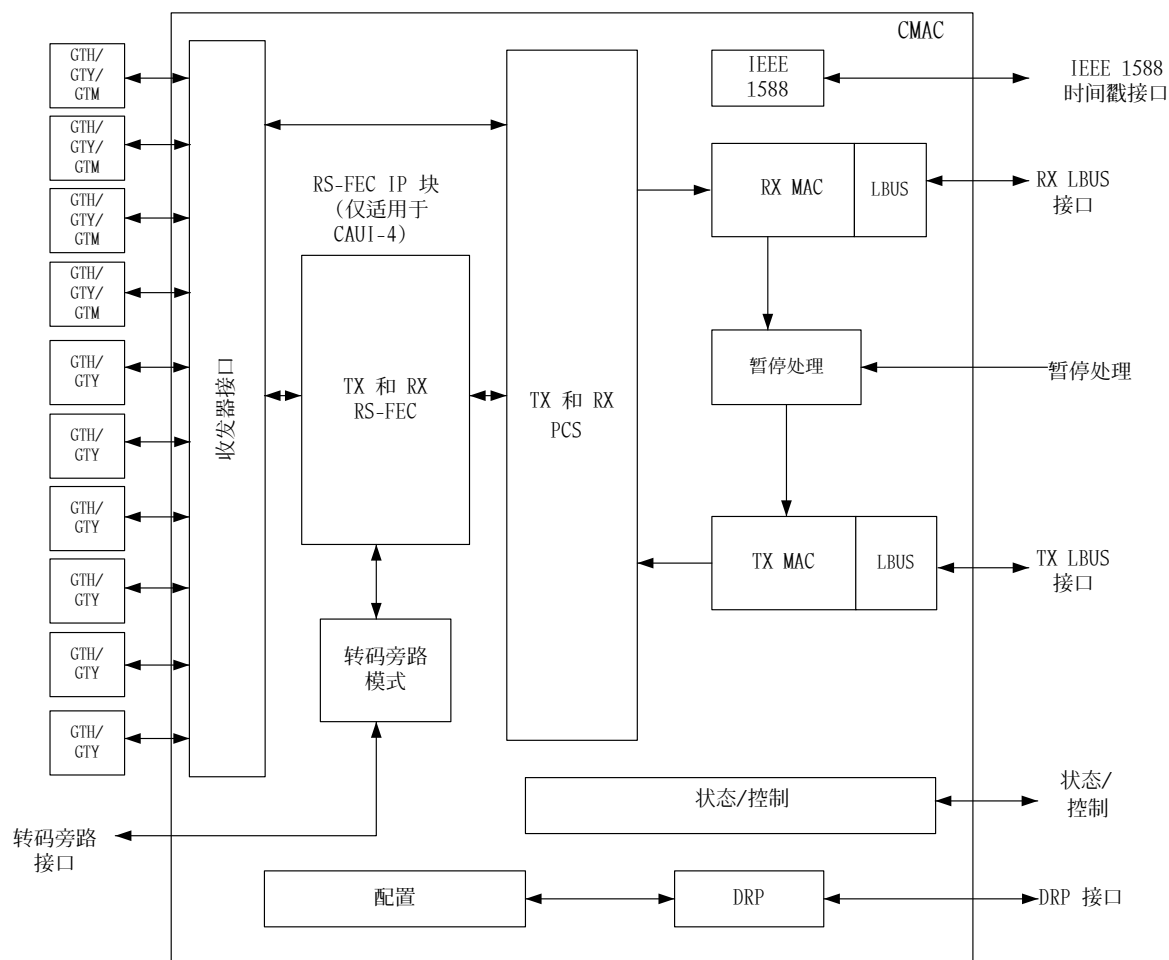
1. CAUI-4 需 GTY 或 GTM 收发器（在选定器件中可用）。运行时可切换 CAUI-10/CAUI-4 需 GTY 收发器（仅限选定器件中才可用）。
2. 在选定器件上支持 25.78125 Gb/s 线速率（在典型速度等级内）。
3. 选定器件上可用线速率为 53.125 Gb/s（GTM 收发器）。
4. 100GAUI-4 需 GTY 或 GTM 收发器（在选定器件中可用）。

该核可将 CMAC 块随必要的 GTH、GTY 或 GTM 收发器一起进行例化。该核提供了示例，用于演示如何将 2 个块连接在一起，并演示了这些块的复位和时钟设置。

该集成块是根据 IEEE 802.3-2012 标准 [参照 2] 设计的。

图 2-1 展示了 CMAC 集成块的如下接口。

- 串行收发器接口
- 用户端发射和接收 LBUS 或 AXIS 接口
- 暂停处理
- IEEE 1588-2008 [参照 1] 时间戳接口
- 状态/控制接口
- 用于配置的 DRP 接口
- RS-FEC IP 块



X17785-102918

图 2-1：适用于 100 Gb/s Ethernet 的 CMAC 集成块

典型操作方法

100G Ethernet Subsystem 可处理所有协议相关功能，以便与其它器件 PCS 和 Ethernet MAC 接口进行通信。这包括握手、同步和纠错。您通过局部总线 (LBUS) TX 接口提供包数据，并从 LBUS RX 接口接收包数据。LBUS 设计为与 SPI4.2 和 Interlaken 协议所推广的通用包总线协议相匹配。如需了解详细描述，请参阅第 3 章中的“用户端 LBUS 接口”。

100G Ethernet subsystem 还提供了对应 AXI4-Stream 用户接口的选项。您可通过 AXI4-Stream TX 接口发射数据包，并通过 AXI4-Stream RX 接口接收数据包。如需了解详细描述，请参阅第 3 章中的“用户端 AXI4-Stream 接口”。

该核围绕灵活性而设计，适用于许多不同应用。RX 路径仅用于执行必要的流水线操作以满足所需操作的要求，而不执行任何缓存。接收数据以直通方式直接传递到用户接口，以便您灵活实现任何所需的缓存方案。并且，核 TX 路径包含单一流水线，其中仅含提供可靠的直通传递操作所需的最少量的缓存。

此外，100G Ethernet IP 核可配置为在 CAUI-4 模式下包含 RS-FEC IP 块，提供位错误检测与纠正以保护整个 100 Gb 数据流。如需了解有关此块的更多信息，请参阅附录 A：适用于 Integrated 100G Ethernet 的 UltraScale+ 器件 RS-FEC。

统计数据收集

100G Ethernet IP 核可提供灵活且对用户友好的统计数据收集机制。对于所有受支持的统计数据，该核可提供 1 个输出信号（或者如果需要，可提供总线），以便在给定的时钟周期内标识统计输出的增量值。这样即可利用该增量值来构建所需的计数器机制。此机制支持您选择系统中所需的统计数据，同时避免了一整套计数器所造成的成本开销。此外，更重要的是，您可实现系统所需的任何计数器和统计数据收集机制。例如，您可以根据需要构建 32 位或 64 位，或者根据需要实现读取时清零计数器或饱和计数器。

对于 TX 统计数据，有效包数定义为无 FCS 或任何其它错误的包的数量，无效包数定义为含 FCS 或任何其它错误的包的数量。

对于 RX 统计数据，有效包数定义为无 FCS 或其它错误（包括长度错误）的包的数量。无效包数定义为含 FCS 或任何其它错误的包的数量。长度字段错误包括包长度字段错误、包大小过大或过小。

可测试性功能

100G Ethernet 设计示例可根据第 82.2.10 条（测试模式生成器）和第 82.2.17 条（测试模式校验器）的定义，实现测试模式生成和校验。请参阅 IEEE 802.3 文档以获取详细信息。

暂停操作

100G Ethernet IP 核支持处理 802.3x 和基于优先级的暂停操作。RX 路径会解析暂停包数，并在状态接口上呈现抽取的暂停量；TX 路径可接受来自控制接口的暂停包请求，并将请求的包注入数据流。全局暂停包和基于优先级的暂停包均可处理。欲知详情，请参阅第 3 章中的“暂停处理接口”。

注释：在这整篇文档中，“802.3x”和“全局暂停”可互换使用。

标准

此 100G Ethernet IP 核设计为符合 IEEE 802.3-2012 标准 [\[参照 2\]](#) 规范的要求。时间戳功能设计为符合 IEEE 1588-2008 [\[参照 1\]](#) 标准。

性能和资源使用情况

如需了解有关性能和资源使用情况的完整详情，请访问[性能与资源使用情况](#)。

端口描述

表 2-2 提供了 Integrated 100G Ethernet 块端口的详细描述。请参阅表 5-2，以查看核的 XCI 级端口。



重要提示：100GAUI-2 模式需含 GTM 收发器（运行速度为 53.125 Gb/s）的器件。CAUI-4 模式需选定器件内的 GTY 或 GTM（速度较低，为 25.78125 Gb/s）。运行时可切换 CAUI-10/CAUI-4 模式需含 GTY 收发器（运行速度为 25.78125 Gb/s）的器件。

表 2-2：收发器 I/O

名称	I/O	域	描述
RX_SERDES_ALT_DATA0[15:0]	I	RX_SERDES_CLK[0]	16 位接收数据总线组（从 SerDes0 输入）。存在 10 个 RX_SERDES_DATA 总线；每个 SerDes 通道对应 1 个总线，每个总线根据操作所采用的模式为 CAUI-4 模式或 CAUI-10 模式，分别包含 80 位或 32 位。前 4 个 SerDes 通道可按 80 位或 32 位运行，剩余 6 个通道则按 32 位运行。前 4 个通道的 32 个 LSB 在 CAUI-10 模式下使用。80 位（由 1 个 16 位组和 1 个 64 位组组成）不显现。欲知详情，请参阅第 3 章中的“PCS 通道多路复用”。
RX_SERDES_ALT_DATA1[15:0]	I	RX_SERDES_CLK[1]	16 位接收数据总线组（从 SerDes1 输入）。
RX_SERDES_ALT_DATA2[15:0]	I	RX_SERDES_CLK[2]	16 位接收数据总线组（从 SerDes2 输入）。
RX_SERDES_ALT_DATA3[15:0]	I	RX_SERDES_CLK[3]	16 位接收数据总线组（从 SerDes3 输入）。
RX_SERDES_DATA0[63:0]	I	RX_SERDES_CLK[0]	64 位接收数据总线组（从 SerDes0 输入）
RX_SERDES_DATA1[63:0]	I	RX_SERDES_CLK[1]	64 位接收数据总线组（从 SerDes1 输入）。
RX_SERDES_DATA2[63:0]	I	RX_SERDES_CLK[2]	64 位接收数据总线组（从 SerDes2 输入）
RX_SERDES_DATA3[63:0]	I	RX_SERDES_CLK[3]	64 位接收数据总线组（从 SerDes3 输入）
RX_SERDES_DATA4[31:0]	I	RX_SERDES_CLK[4]	从 SerDes4 输入的数据总线。
RX_SERDES_DATA5[31:0]	I	RX_SERDES_CLK[5]	从 SerDes5 输入的数据总线。
RX_SERDES_DATA6[31:0]	I	RX_SERDES_CLK[6]	从 SerDes6 输入的数据总线。
RX_SERDES_DATA7[31:0]	I	RX_SERDES_CLK[7]	从 SerDes7 输入的数据总线。
RX_SERDES_DATA8[31:0]	I	RX_SERDES_CLK[8]	从 SerDes8 输入的数据总线。
RX_SERDES_DATA9[31:0]	I	RX_SERDES_CLK[9]	从 SerDes9 输入的数据总线。
TX_SERDES_ALT_DATA0[15:0]	O	TX_SERDES_CLK[0]	16 位发射数据总线组（目标为 SerDes0）。存在 10 个 TX_SERDES_DATA 总线；每个 SerDes 通道对应 1 个总线，每个总线根据操作所采用的模式为 CAUI-4 模式或 CAUI-10 模式，分别包含 80 位或 32 位。前 4 个 SerDes 通道可按 80 位或 32 位运行，剩余 6 个通道则按 32 位运行。前 4 个通道的 32 个 LSB 在 CAUI-10 模式下使用。80 位（由 1 个 16 位组和 1 个 64 位组组成）不显现。欲知详情，请参阅第 3 章中的“PCS 通道多路复用”。
TX_SERDES_ALT_DATA1[15:0]	O	TX_SERDES_CLK[1]	16 位发射数据总线组（目标为 SerDes1）。
TX_SERDES_ALT_DATA2[15:0]	O	TX_SERDES_CLK[2]	16 位发射数据总线组（目标为 SerDes2）。
TX_SERDES_ALT_DATA3[15:0]	O	TX_SERDES_CLK[3]	16 位发射数据总线组（目标为 SerDes3）。
TX_SERDES_DATA0[63:0]	O	TX_SERDES_CLK[0]	64 位发射数据总线组（目标为 SerDes0）。
TX_SERDES_DATA1[63:0]	O	TX_SERDES_CLK[1]	64 位发射数据总线组（目标为 SerDes1）。

表 2-2：收发器 I/O（续）

名称	I/O	域	描述
TX_SERDES_DATA2[63:0]	O	TX_SERDES_CLK[2]	64 位发射数据总线组（目标为 SerDes2）。
TX_SERDES_DATA3[63:0]	O	TX_SERDES_CLK[3]	64 位发射数据总线组（目标为 SerDes3）。
TX_SERDES_DATA4[31:0]	O	TX_SERDES_CLK[4]	输出至 SerDes4 的数据总线。
TX_SERDES_DATA5[31:0]	O	TX_SERDES_CLK[5]	输出至 SerDes5 的数据总线。
TX_SERDES_DATA6[31:0]	O	TX_SERDES_CLK[6]	输出至 SerDes6 的数据总线。
TX_SERDES_DATA7[31:0]	O	TX_SERDES_CLK[7]	输出至 SerDes7 的数据总线。
TX_SERDES_DATA8[31:0]	O	TX_SERDES_CLK[8]	输出至 SerDes8 的数据总线。
TX_SERDES_DATA9[31:0]	O	TX_SERDES_CLK[9]	输出至 SerDes9 的数据总线。
RX_SERDES_CLK[9:0]	I		每个 SerDes 通道的恢复时钟。每个通道的 RX_SERDES_DATA 总线均同步到该总线的对应位的上升沿。
RX_SERDES_RESET[9:0]	I	RX_SERDES_CLK[9:0]	每个 RX SerDes 通道的复位。每个 SerDes 通道的恢复时钟都有 1 个与之关联的高电平有效复位。只要关联的恢复时钟未按正确频率运行，此信号就应为 1。通常此信号衍生自 PLL 锁定信号。此复位信号应保持复位状态，直至 GT 完成其初始化并且 RX_SERDES_CLK 达到稳定为止。

表 2-3：LBUS 接口 - 时钟/复位信号

名称	I/O	域	描述
TX_CLK	I		TX 时钟。100G Ethernet IP 核与用户端逻辑之间的所有 TX 信号均同步到此信号的上升沿。时钟频率等于线速率除以 SerDes 宽度。此频率额定值为 322.265625 MHz。
RX_CLK	I		RX 时钟。100G Ethernet IP 核与用户端逻辑之间的所有 RX 信号均同步到此信号的上升沿。此时钟的频率应与 TX 时钟相同。
RX_RESET	I	异步（最小 5 ns）	RX 电路的复位。此信号为高电平有效（1 = 复位），并且必须保持高电平，直至 RX_CLK 达成稳定状态为止。100G Ethernet IP 核可处理将 RX_RESET 输入同步到 100G Ethernet IP 核中相应的时钟域的操作。
TX_RESET	I	异步（最小 5 ns）	TX 电路的复位。此信号为高电平有效（1 = 复位），并且必须保持高电平，直至 TX_CLK 达到稳定状态为止。100G Ethernet IP 核可处理将 TX_RESET 输入同步到 100G Ethernet IP 核中相应的时钟域的操作。

表 2-4：LBUS 接口 - RX 路径信号

名称	I/O	域	描述
RX_DATAOUT0[127:0]	O	RX_CLK	接收分段式 LBUS 数据（对应 segment0）。该总线的值仅在 RX_ENAOUT0 采样为 1 的周期内才有效。
RX_DATAOUT1[127:0]	O	RX_CLK	接收分段式 LBUS 数据（对应 segment1）。

表 2-4: LBUS 接口 - RX 路径信号（续）

名称	I/O	域	描述
RX_DATAOUT2[127:0]	O	RX_CLK	接收分段式 LBUS 数据（对应 segment2）。
RX_DATAOUT3[127:0]	O	RX_CLK	接收分段式 LBUS 数据（对应 segment3）。
RX_ENAOUT0	O	RX_CLK	接收 LBUS 启用（对应 segment0）。此信号用于限定 RX 分段式 LBUS 接口的其它信号。RX LBUS 接口的信号仅在 RX_ENAOUT 采样为 1 的周期内才有效。
RX_ENAOUT1	O	RX_CLK	接收 LBUS 启用（对应 segment1）。
RX_ENAOUT2	O	RX_CLK	接收 LBUS 启用（对应 segment2）。
RX_ENAOUT3	O	RX_CLK	接收 LBUS 启用（对应 segment3）。
RX_SOPOUT0	O	RX_CLK	接收 LBUS 包起始 (Start-Of-Packet)（对应 segment0）。此信号采样为 1 时用于指示包起始 (SOP) 信号，仅在 RX_ENAOUT 采样为 1 的周期内有效。
RX_SOPOUT1	O	RX_CLK	接收 LBUS 包起始 (Start-Of-Packet)（对应 segment1）。
RX_SOPOUT2	O	RX_CLK	接收 LBUS 包起始 (Start-Of-Packet)（对应 segment2）。
RX_SOPOUT3	O	RX_CLK	接收 LBUS 包起始 (Start-Of-Packet)（对应 segment3）。
RX_EOPOUT0	O	RX_CLK	接收 LBUS 包结束 (End-Of-Packet)（对应 segment0）。此信号采样为 1 时用于指示包结束 (EOP) 信号，仅在 RX_ENAOUT 采样为 1 的周期内有效。
RX_EOPOUT1	O	RX_CLK	接收 LBUS 包结束 (End-Of-Packet)（对应 segment1）。
RX_EOPOUT2	O	RX_CLK	接收 LBUS 包结束 (End-Of-Packet)（对应 segment2）。
RX_EOPOUT3	O	RX_CLK	接收 LBUS 包结束 (End-Of-Packet)（对应 segment3）。
RX_ERROUT0	O	RX_CLK	接收 LBUS 错误（对应 segment0）。此信号采样为 1 时用于指示当前接收的包存在错误。此信号仅在 RX_ENAOUT 和 RX_EOPOUT 均采样为 1 的周期内有效。当该信号值为 0 时，表示当前接收的包不含错误。
RX_ERROUT1	O	RX_CLK	接收 LBUS 错误（对应 segment1）。
RX_ERROUT2	O	RX_CLK	接收 LBUS 错误（对应 segment2）。
RX_ERROUT3	O	RX_CLK	接收 LBUS 错误（对应 segment3）。
RX_MTYOUT0[3:0]	O	RX_CLK	接收 LBUS 为空（对应 segment0）。此总线用于指示对应当前包的最近一次传输的 RX_DATAOUT 总线中为空或无效的字节数。此总线仅在 RX_ENAOUT 和 RX_EOPOUT 均采样为 1 的周期内有效。当 RX_ERROUT 和 RX_ENAOUT 均采样为 1 时，RX_MTYOUT[2:0] 值始终为 000。RX_MTYOUT 的其它位则照常不变。
RX_MTYOUT1[3:0]	O	RX_CLK	接收 LBUS 为空（对应 segment1）。
RX_MTYOUT2[3:0]	O	RX_CLK	接收 LBUS 为空（对应 segment2）。
RX_MTYOUT3[3:0]	O	RX_CLK	接收 LBUS 为空（对应 segment3）。

表 2-5：LBUS 接口 - TX 路径信号

名称	I/O	域	描述
TX_RDYOUT	O	TX_CLK	发射 LBUS 就绪。此信号用于指示专用 100G Ethernet IP 核 TX 路径是否已准备好接受数据并向用户逻辑提供反压。值为 1 表示用户逻辑可将数据传递至 100G Ethernet IP 核。值为 0 表示用户逻辑必须在 4 个周期内停止向 100G Ethernet IP 核传输数据，否则将发生上溢。 如果 TX_RDYOUT 变为 0，则会导致用户逻辑在包传输中间停止数据传输，并且用户逻辑必须在 TX_RDYOUT 值恢复为 1 后的 4 个周期内恢复数据传输。
TX_OVFOUT	O	TX_CLK	发射 LBUS 上溢。此信号用于指示您是否违反了由 TX_RDYOUT 信号提供的反压机制。如果 TX_OVFOUT 采样为 1，则表示已发生违例。您负责设计用户逻辑的其余部分，以避免发生 TX 接口上溢。如果出现上溢状况，则 TX 路径必须复位。
TX_UNFOUT	O	TX_CLK	发射 LBUS 下溢。此信号用于指示 LBUS 接口是否欠载。如果 TX_UNFOUT 采样为 1，则表示已发生违例，即当前包已受损。只要下溢状况仍然存在，就会发射错误控制块信号。用户逻辑负责将完整的包输入核，并避免 LBUS 接口欠载。
TX_DATAIN0[127:0]	I	TX_CLK	发射分段式 LBUS 数据（对应 segment0）。此总线用于接收来自用户逻辑的输入数据。在 TX_ENAIN 采样为 1 的每个周期内捕获该总线的值。
TX_DATAIN1[127:0]	I	TX_CLK	发射分段式 LBUS 数据（对应 segment1）。
TX_DATAIN2[127:0]	I	TX_CLK	发射分段式 LBUS 数据（对应 segment2）。
TX_DATAIN3[127:0]	I	TX_CLK	发射分段式 LBUS 数据（对应 segment3）。
TX_ENAIN0	I	TX_CLK	发射 LBUS 启用（对应 segment0）。此信号用于启用 TX LBUS 接口。仅在 TX_ENAIN 采样为 1 的周期内对发射分段式 LBUS 接口上的所有信号进行采样。
TX_ENAIN1	I	TX_CLK	发射 LBUS 启用（对应 segment1）。
TX_ENAIN2	I	TX_CLK	发射 LBUS 启用（对应 segment2）。
TX_ENAIN3	I	TX_CLK	发射 LBUS 启用（对应 segment3）。
TX_SOPIN0	I	TX_CLK	发射 LBUS 包起始（对应 segment0）。此信号采样为 1 时用于指示包起始 (SOP) 信号，针对包的所有其它传输则采样为 0。仅在 TX_ENAIN 采样为 1 的周期内才对此信号进行采样。
TX_SOPIN1	I	TX_CLK	发射 LBUS 包起始（对应 segment1）。
TX_SOPIN2	I	TX_CLK	发射 LBUS 包起始（对应 segment2）。
TX_SOPIN3	I	TX_CLK	发射 LBUS 包起始（对应 segment3）。
TX_EOPIN0	I	TX_CLK	发射 LBUS 包结束（对应 segment0）。此信号采样为 1 时用于指示包结束 (EOP) 信号，针对包的所有其它传输则采样为 0。仅在 TX_ENAIN 采样为 1 的周期内才对此信号进行采样。
TX_EOPIN1	I	TX_CLK	发射 LBUS 包结束（对应 segment1）。
TX_EOPIN2	I	TX_CLK	发射 LBUS 包结束（对应 segment2）。
TX_EOPIN3	I	TX_CLK	发射 LBUS 包结束（对应 segment3）。
TX_ERRIN0	I	TX_CLK	发射 LBUS 错误（对应 segment0）。此信号采样为 1 时用于指示数据包含有错误，针对包的所有其它传输则采样为 0。仅在 TX_ENAIN 和 TX_EOPIN 均采样为 1 的周期内才对此信号进行采样。当此信号采样为 1 时，最后一个数据字将被替换为 IEEE 802.3-2012 标准错误码控制字，以保证伙伴器件可接收到存在错误的数据包。如果在包的输入端此信号设置为 1，则禁用 FCS 检查和报告（仅针对该数据包）。
TX_ERRIN1	I	TX_CLK	发射 LBUS 错误（对应 segment1）。
TX_ERRIN2	I	TX_CLK	发射 LBUS 错误（对应 segment2）。

表 2-5: LBUS 接口 - TX 路径信号（续）

名称	I/O	域	描述
TX_ERRIN3	I	TX_CLK	发射 LBUS 错误（对应 segment3）。
TX_MTYIN0[3:0]	I	TX_CLK	发射 LBUS 空（对应 segment0）。此总线用于指示对应当前包的最近一次传输的 TX_DATAIN 总线中为空或无效的字节数。仅在 TX_ENAIN 和 TX_EOPIN 均采样为 1 的周期内才对此总线进行采样。当 TX_EOPIN 和 TX_ERRIN 均采样为 1 时，将忽略 TX_MTYIN[2:0] 的值，将其作为 000 来处理。TX_MTYIN 的其它位则照常使用。
TX_MTYIN1[3:0]	I	TX_CLK	发射 LBUS 空（对应 segment1）。
TX_MTYIN2[3:0]	I	TX_CLK	发射 LBUS 空（对应 segment2）。
TX_MTYIN3[3:0]	I	TX_CLK	发射 LBUS 空（对应 segment3）。

表 2-6: LBUS 接口 - TX 路径控制/状态信号

名称	I/O	域	描述
CTL_TX_ENABLE	I	TX_CLK	TX 启用。此信号采样为 1 时用于启用数据发射。当此信号采样为 0 时，100G Ethernet IP 核仅发射空闲信号。仅当数据发射到的接收器（即其它器件中的接收器）完全对齐并且已准备好接收数据（即，其它器件当前未发送远程故障条件）后，此输入才应设置为 1。否则，可能发生数据丢失。如果发射数据包时此信号设置为 0，那么当前数据包发射完成后，100G Ethernet IP 核将停止发射任何其它数据包。
CTL_TX_SEND_LFI	I	TX_CLK	发射本地故障指示 (LFI) 代码字。如果此输入采样为 1，那么 TX 路径仅发射本地故障 (Local Fault) 代码字。
CTL_TX_SEND_RFI	I	TX_CLK	发射远端故障指示 (RFI) 代码字。如果此输入采样为 1，那么 TX 路径仅发射远端故障 (Remote Fault) 代码字。此输入应设置为 1，直至 RX 路径已完全对齐并且已准备好接受来自链路伙伴的数据为止。
CTL_TX_SEND_IDLE	I	TX_CLK	发射空闲代码字。如果此输入采样为 1，那么 TX 路径仅发射空闲 (Idle) 代码字。当伙伴器件正在发送远端故障指示 (RFI) 代码字时，此输入应设置为 1。
TX_PREAMBLEIN[55:0]	I	TX_CLK	自定义 TX 前导码输入数据。 包起始期间，此信号应有效。
STAT_TX_LOCAL_FAULT	O	TX_CLK	值为 1 表示发射编码器状态机当前处于 TX_INIT 状态。此输出对电平敏感。

表 2-7: LBUS 接口 - RX 路径控制/状态信号

名称	I/O	域	描述
CTL_RX_ENABLE	I	RX_CLK	RX 启用。在正常操作期间，此输入必须设置为 1。当此输入设置为 0 时，RX 完成接收当前包（如果有）之后，就会停止接收包并阻止 PCS 继续对传入数据进行解码。在此模式下不报告任何统计数据，并且 LBUS 接口处于空闲状态。
CTL_RX_FORCE_RESYNC	I	异步 (最小 5 ns)	RX 强制再同步输入。此信号用于强制 RX 路径进行复位、再同步和重新对齐。值为 1 即强制执行复位操作。值为 0 允许正常操作。 注释： 此输入通常应为低电平 (Low)，仅限需强制重新对齐时，才应进行脉冲（脉冲至少持续 1 个周期）。
RX_PREAMBLEOUT[55:0]	O	RX_CLK	RX 前导码输出数据。

表 2-7：LBUS 接口 - RX 路径控制/状态信号（续）

名称	I/O	域	描述
STAT_RX_FRAMING_ERR_0[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 0）。每个 PCS 通道都具有 1 个 2 位总线，用于指示该 PCS 通道接收到的同步报头错误数量。仅当对应 STAT_RX_FRAMING_ERR_VALID_0[19:0] 设置为 1 时，该总线的值才有效。这些总线上的值可随时更新，并且这些值旨在作为递增值以供同步报头错误计数器使用。
STAT_RX_FRAMING_ERR_1[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 1）。
STAT_RX_FRAMING_ERR_2[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 2）。
STAT_RX_FRAMING_ERR_3[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 3）。
STAT_RX_FRAMING_ERR_4[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 4）。
STAT_RX_FRAMING_ERR_5[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 5）。
STAT_RX_FRAMING_ERR_6[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 6）。
STAT_RX_FRAMING_ERR_7[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 7）。
STAT_RX_FRAMING_ERR_8[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 8）。
STAT_RX_FRAMING_ERR_9[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 9）。
STAT_RX_FRAMING_ERR_10[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 10）。
STAT_RX_FRAMING_ERR_11[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 11）。
STAT_RX_FRAMING_ERR_12[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 12）。
STAT_RX_FRAMING_ERR_13[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 13）。
STAT_RX_FRAMING_ERR_14[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 14）。
STAT_RX_FRAMING_ERR_15[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 15）。
STAT_RX_FRAMING_ERR_16[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 16）。
STAT_RX_FRAMING_ERR_17[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 17）。
STAT_RX_FRAMING_ERR_18[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 18）。
STAT_RX_FRAMING_ERR_19[1:0]	O	RX_CLK	RX 同步报头位成帧错误（对应通道 19）。
STAT_RX_FRAMING_ERR_VALID_0	O	RX_CLK	STAT_RX_FRAMING_ERR_0[1:0] 的有效性指示符。当此输入采样为 1 时，即表示对应 STAT_RX_FRAMING_ERR_0[1:0] 上的值有效。
STAT_RX_FRAMING_ERR_VALID_1	O	RX_CLK	STAT_RX_FRAMING_ERR_1[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_2	O	RX_CLK	STAT_RX_FRAMING_ERR_2[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_3	O	RX_CLK	STAT_RX_FRAMING_ERR_3[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_4	O	RX_CLK	STAT_RX_FRAMING_ERR_4[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_5	O	RX_CLK	STAT_RX_FRAMING_ERR_5[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_6	O	RX_CLK	STAT_RX_FRAMING_ERR_6[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_7	O	RX_CLK	STAT_RX_FRAMING_ERR_7[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_8	O	RX_CLK	STAT_RX_FRAMING_ERR_8[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_9	O	RX_CLK	STAT_RX_FRAMING_ERR_9[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_10	O	RX_CLK	STAT_RX_FRAMING_ERR_10[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_11	O	RX_CLK	STAT_RX_FRAMING_ERR_11[1:0] 的有效性指示符。

表 2-7：LBUS 接口 - RX 路径控制/状态信号（续）

名称	I/O	域	描述
STAT_RX_FRAMING_ERR_VALID_12	O	RX_CLK	STAT_RX_FRAMING_ERR_12[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_13	O	RX_CLK	STAT_RX_FRAMING_ERR_13[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_14	O	RX_CLK	STAT_RX_FRAMING_ERR_14[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_15	O	RX_CLK	STAT_RX_FRAMING_ERR_15[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_16	O	RX_CLK	STAT_RX_FRAMING_ERR_16[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_17	O	RX_CLK	STAT_RX_FRAMING_ERR_17[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_18	O	RX_CLK	STAT_RX_FRAMING_ERR_18[1:0] 的有效性指示符。
STAT_RX_FRAMING_ERR_VALID_19	O	RX_CLK	STAT_RX_FRAMING_ERR_19[1:0] 的有效性指示符。
STAT_RX_LOCAL_FAULT	O	RX_CLK	当断言 STAT_RX_INTERNAL_LOCAL_FAULT 或 STAT_RX_RECEIVED_LOCAL_FAULT 有效时，此输出为高电平 (High)。此输出对电平敏感。
STAT_RX_SYNCED[19:0]	O	RX_CLK	字边界已同步。这些信号用于指示 PCS 通道是否已完成字边界同步。值为 1 表示对应 PCS 通道已实现字边界同步，并且已接收到 PCS 通道标记。对应于第 82.3 条中所定义的 MDIO 寄存器位 3.52.7:0 和 3.53.11:0。此输出对电平敏感。
STAT_RX_SYNCED_ERR[19:0]	O	RX_CLK	字边界同步错误。这些信号用于指示在相应的 PCS 通道内进行字边界同步期间，是否发生错误。值为 1 表示由于同步报头成帧位错误或者从未收到 PCS 通道标记，对应 PCS 通道已丢失字边界同步。此输出对电平敏感。
STAT_RX_MF_LEN_ERR[19:0]	O	RX_CLK	PCS 通道标记长度错误。这些信号用于指示相应通道内是否发生了 PCS 通道标记不匹配（即，接收到的 PCS 通道标记间隔字数并非 CTL_RX_VL_LENGTH_MINUS1 + 1）。值为 1 表示对应通道接收 PCS 通道标记的间隔错误。此输出将保持高电平 (High)，直至消除错误状况为止。
STAT_RX_MF_REPEAT_ERR[19:0]	O	RX_CLK	PCS 通道标记连续错误。这些信号用于指示相应通道内是否发生了 4 个连续 PCS 通道标记错误。值为 1 表示对应通道内存在错误。此输出将保持高电平 (High)，直至消除错误状况为止。

表 2-7：LBUS 接口 - RX 路径控制/状态信号（续）

名称	I/O	域	描述
STAT_RX_MF_ERR[19:0]	O	RX_CLK	PCS 通道标记字错误。这些信号用于表示在相应通道内检测到构成的 PCS 通道标记字错误。值为 1 表示发生了错误。此输出将脉冲 1 个时钟周期，以指示错误状况。脉冲可在连续周期内发生。
STAT_RX_ALIGNED	O	RX_CLK	所有 PCS 通道均已对齐/去歪斜。此信号表示是否所有 PCS 通道均已对齐/去歪斜。值为 1 表示所有 PCS 通道均已对齐并去歪斜。当此信号为 1 时，表示 RX 路径已对齐并且可接收包数据。当此信号为 0 时，表示存在本地故障状况。这也对应于第 82.3 条中所定义的 MDIO 寄存器位 3.50.12。此输出对电平敏感。
STAT_RX_STATUS	O	RX_CLK	PCS 状态。值为 1 表示 PCS 已对齐，且未处于 HI_BER 状态。对应于第 82.3 条中所定义的管理数据输入/输出 (MDIO) 寄存器位 3.32.12。此输出对电平敏感。
STAT_RX_BLOCK_LOCK[19:0]	O	RX_CLK	每个 PCS 通道的块锁定状态。值为 1 表示对应通道已达到第 82 条中定义的块锁定状态。对应于第 82.3 条中所定义的 MDIO 寄存器位 3.50.7:0 和 3.51.11:0。此输出对电平敏感。
STAT_RX_ALIGNED_ERR	O	RX_CLK	通道对齐/去歪斜丢失。此信号表示 PCS 通道对齐期间发生错误或者 PCS 通道对齐已丢失。值为 1 表示发生了错误。此输出对电平敏感。
STAT_RX_MISALIGNED	O	RX_CLK	对齐错误。此信号表示通道对齐器并未在所有通道上都接收到期望的 PCS 通道标记。在所有通道上都至少接收到 1 个 PCS 通道标记并且至少接收到 1 个错误的通道标记后，此信号才会断言有效。此状况的发生比错误晚 1 个元帧。 如果从未正确接收到任何通道标记，则此信号不会断言有效。通道标记错误通过对应的 STAT_RX_MF_ERR 信号来指示。 此输出将脉冲 1 个时钟周期，以指示错误状况。脉冲可在连续周期内发生。
STAT_RX_REMOTE_FAULT	O	RX_CLK	远端故障指示状态。如果该位采样为 1，则表示检测到远端故障状况。如果该位采样为 0，则表示不存在远端故障状况。此输出对电平敏感。
STAT_RX_PCSL_NUMBER_0[4:0]	O	RX_CLK	stat_rx_pcsl_number_0[4:0] 信号用于指示物理通道 0 上所接收到的 PCS 通道。总计有 20 个不同的 STAT_RX_PCSL_NUMBER[4:0] 总线。仅当 STAT_RX_SYNCED[19:0] 的对应位为 1 时，该总线才有效。这些输出对电平敏感。
STAT_RX_PCSL_NUMBER_1[4:0]	O	RX_CLK	此信号用于指示物理通道 1 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_2[4:0]	O	RX_CLK	此信号用于指示物理通道 2 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_3[4:0]	O	RX_CLK	此信号用于指示物理通道 3 上所接收到的 PCS 通道。

表 2-7: LBUS 接口 - RX 路径控制/状态信号 (续)

名称	I/O	域	描述
STAT_RX_PCSL_NUMBER_4[4:0]	O	RX_CLK	此信号用于指示物理通道 4 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_5[4:0]	O	RX_CLK	此信号用于指示物理通道 5 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_6[4:0]	O	RX_CLK	此信号用于指示物理通道 6 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_7[4:0]	O	RX_CLK	此信号用于指示物理通道 7 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_8[4:0]	O	RX_CLK	此信号用于指示物理通道 8 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_9[4:0]	O	RX_CLK	此信号用于指示物理通道 9 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_10[4:0]	O	RX_CLK	此信号用于指示物理通道 10 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_11[4:0]	O	RX_CLK	此信号用于指示物理通道 11 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_12[4:0]	O	RX_CLK	此信号用于指示物理通道 12 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_13[4:0]	O	RX_CLK	此信号用于指示物理通道 13 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_14[4:0]	O	RX_CLK	此信号用于指示物理通道 14 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_15[4:0]	O	RX_CLK	此信号用于指示物理通道 15 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_16[4:0]	O	RX_CLK	此信号用于指示物理通道 16 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_17[4:0]	O	RX_CLK	此信号用于指示物理通道 17 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_18[4:0]	O	RX_CLK	此信号用于指示物理通道 18 上所接收到的 PCS 通道。
STAT_RX_PCSL_NUMBER_19[4:0]	O	RX_CLK	此信号用于指示物理通道 19 上所接收到的 PCS 通道。
STAT_RX_PCSL_DEMUXED[19:0]	O	RX_CLK	已找到 PCS 通道标记。如果该总线的信号采样为 1，则表示接收器已对该 PCS 通道进行了正确的逆多路复用。这些输出对电平敏感。
STAT_RX_BAD_FCS[2:0]	O	RX_CLK	无效 FCS 指示符。值为 1 表示接收到的数据包含有无效 FCS，但不包含带 stomp 标记的 FCS。含 stomp 标记的 FCS 定义为期望的有效 FCS 的按位反转。此输出将脉冲 1 个时钟周期，以指示错误状况。脉冲可在连续周期内发生。
STAT_RX_STOMPED_FCS[2:0]	O	RX_CLK	含 stomp 标记的 FCS 指示符。值为 1 或更大的值表示接收到的数据包含有 1 个或多个带 stomp 标记的 FCS。含 stomp 标记的 FCS 定义为期望的有效 FCS 的按位反转。此输出将脉冲 1 个时钟周期，以指示含 stomp 标记。脉冲可在连续周期内发生。
STAT_RX_TRUNCATED	O	RX_CLK	包截断指示符。值为 1 表示当前进行中的包因长度超过 CTL_RX_MAX_PACKET_LEN[14:0] 而被截断。此输出将脉冲 1 个时钟周期，以指示截断状况。脉冲可在连续周期内发生。
STAT_RX_INTERNAL_LOCAL_FAULT	O	RX_CLK	当由于以下任一操作导致生成内部本地故障时，此信号将转为高电平 (High)：测试模式生成、通道对齐错误或误码率过高。只要故障状况仍然存在，此信号就会保持高电平 (High)。
STAT_RX_RECEIVED_LOCAL_FAULT	O	RX_CLK	当接收到来自链路伙伴的本地故障字数足以触发 IEEE 故障状态机所指定的故障条件时，此信号将转为高电平 (High)。只要故障状况仍然存在，此信号就会保持高电平 (High)。
STAT_RX_BIP_ERR_0	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 0）。非 0 值表示 BIP8 签名字节针对对应 PCS 通道存在错误。非 0 值将脉冲 1 个时钟周期。此输出将脉冲 1 个时钟周期，以指示错误状况。脉冲可在连续周期内发生。

表 2-7：LBUS 接口 - RX 路径控制/状态信号（续）

名称	I/O	域	描述
STAT_RX_BIP_ERR_1	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 1）。
STAT_RX_BIP_ERR_2	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 2）。
STAT_RX_BIP_ERR_3	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 3）。
STAT_RX_BIP_ERR_4	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 4）。
STAT_RX_BIP_ERR_5	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 5）。
STAT_RX_BIP_ERR_6	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 6）。
STAT_RX_BIP_ERR_7	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 7）。
STAT_RX_BIP_ERR_8	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 8）。
STAT_RX_BIP_ERR_9	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 9）。
STAT_RX_BIP_ERR_10	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 10）。
STAT_RX_BIP_ERR_11	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 11）。
STAT_RX_BIP_ERR_12	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 12）。
STAT_RX_BIP_ERR_13	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 13）。
STAT_RX_BIP_ERR_14	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 14）。
STAT_RX_BIP_ERR_15	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 15）。
STAT_RX_BIP_ERR_16	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 16）。
STAT_RX_BIP_ERR_17	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 17）。
STAT_RX_BIP_ERR_18	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 18）。
STAT_RX_BIP_ERR_19	O	RX_CLK	BIP8 错误指示符（对应 PCS 通道 19）。
STAT_RX_HI_BER	O	RX_CLK	误码率 (BER) 过高指示符。设置为 1 时，BER 过高（根据 802.3 的定义）。对应于第 82.3 条中所定义的 MDIO 寄存器位 3.32.1。此输出对电平敏感。

表 2-8：其它状态/控制信号

名称	I/O	域	描述
STAT_RX_GOT_SIGNAL_OS	O	RX_CLK	Signal OS 指示。如果该位采样为 1，则表示接收到“Signal OS”字。在以太网网络中不应接收到 Signal OS。
CTL_RX_TEST_PATTERN	I	RX_CLK	测试模式检查启用（对应 RX 核）。值为 1 即表示根据第 82.2.18 条中的定义启用测试模式。对应于第 82.3 条中所定义的 MDIO 寄存器位 3.42.2。检查扰码空闲模式。
CTL_TX_TEST_PATTERN	I	TX_CLK	测试模式生成启用（对应 TX 核）。值为 1 即表示根据第 82.2.18 条中的定义启用测试模式。对应于第 82.3 条中所定义的 MDIO 寄存器位 3.42.3。生成扰码空闲模式。

表 2-8：其它状态/控制信号（续）

名称	I/O	域	描述
STAT_RX_TEST_PATTERN_MISMATCH[2:0]	O	RX_CLK	测试模式不匹配数递增值。任一周期内的非 0 值均表示 RX 核中针对测试模式发生的不匹配次数。仅当 CTL_RX_TEST_PATTERN 设置为 1 时，此输出才有效。此输出可用于根据第 82.3 条的定义生成 MDIO 寄存器 3.43.15:0。此输出将脉冲 1 个时钟周期。
CTL_CAUI4_MODE	I	异步状态	当此输入为高电平 (High) 时，专用 100G Ethernet IP 核将以 CAUI-4 模式运行，当此输入为低电平 (Low) 时，该核则以 CAUI-10 模式运行。
CTL_TX_LANE0_VLM_BIP7_OVERRIDE	I	TX_CLK	当此输入为高电平 (High) 时，PCS lane0 标记的 bip7 将被 CTL_TX_LANE0_VLM_BIP7_OVERRIDE_VALUE[7:0] 覆盖
CTL_TX_LANE0_VLM_BIP7_OVERRIDE_VALUE[7:0]	I	TX_CLK	当断言 CTL_TX_LANE0_VLM_BIP7_OVERRIDE 有效时，此输入为 PCS lane0 标记的 bip7 字节的覆盖值。
STAT_RX_LANE0_VLM_BIP7[7:0]	O	RX_CLK	此输出为 PCS lane0 标记中的 bip7 字节的接收值。
STAT_RX_LANE0_VLM_BIP7_VALID	O	RX_CLK	此输出断言有效时，表示 STAT_RX_LANE0_VLM_BIP[7:0] 的值有效。

表 2-9：统计数据接口 - RX 路径

名称	I/O	域	描述
STAT_RX_TOTAL_BYTES[6:0]	O	RX_CLK	对应已收到的字节总数的递增值。
STAT_RX_TOTAL_PACKETS[2:0]	O	RX_CLK	对应已收到的数据包总数的递增值。
STAT_RX_TOTAL_GOOD_BYTES[13:0]	O	RX_CLK	对应已收到的有效字节总数的递增值。仅当完全收到不含错误的数据包时，该值才为非 0 值。
STAT_RX_TOTAL_GOOD_PACKETS	O	RX_CLK	对应已收到的有效数据包总数的递增值。仅当完全收到不含错误的数据包时，该值才为非 0 值。
STAT_RX_PACKET_BAD_FCS	O	RX_CLK	对应具有 FCS 错误的数据包（所含字节数为 64 到 ctl_rx_max_packet_len 之间）的递增值。
STAT_RX_PACKET_64_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 64 个字节）的递增值。
STAT_RX_PACKET_65_127_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 65 到 127 个字节）的递增值。
STAT_RX_PACKET_128_255_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 128 到 255 个字节）的递增值。
STAT_RX_PACKET_256_511_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 256 到 511 个字节）的递增值。
STAT_RX_PACKET_512_1023_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 512 到 1,023 个字节）的递增值。
STAT_RX_PACKET_1024_1518_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 1,024 到 1,518 个字节）的递增值。
STAT_RX_PACKET_1519_1522_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 1,519 到 1,522 个字节）的递增值。

表 2-9：统计数据接口 - RX 路径（续）

名称	I/O	域	描述
STAT_RX_PACKET_1523_1548_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 1,523 到 1,548 个字节）的递增值。
STAT_RX_PACKET_1549_2047_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 1,549 到 2,047 个字节）的递增值。
STAT_RX_PACKET_2048_4095_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 2,048 到 4,095 个字节）的递增值。
STAT_RX_PACKET_4096_8191_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 4,096 到 8,191 个字节）的递增值。
STAT_RX_PACKET_8192_9215_BYTES	O	RX_CLK	对应已收到的有效和无效数据包（含 8,192 到 9,215 个字节）的递增值。
STAT_RX_PACKET_SMALL[2:0]	O	RX_CLK	对应所含数据小于 64 个字节的所有包的递增值。
STAT_RX_PACKET_LARGE	O	RX_CLK	对应所含数据超过 9,215 个字节的所有包的递增值。
STAT_RX_UNICAST	O	RX_CLK	对应有效单播数据包的递增值。
STAT_RX_MULTICAST	O	RX_CLK	对应有效多播数据包的递增值。
STAT_RX_BROADCAST	O	RX_CLK	对应有效广播数据包的递增值。
STAT_RX_OVERSIZE	O	RX_CLK	对应含有效 FCS 且长度超过 CTL_RX_MAX_PACKET_LEN 的数据包的递增值。
STAT_RX_TOOLONG	O	RX_CLK	对应含有效和无效 FCS 且长度超过 CTL_RX_MAX_PACKET_LEN 的数据包的递增值。
STAT_RX_UNDERSIZE[2:0]	O	RX_CLK	对应含有效 FCS 且长度小于 STAT_RX_MIN_PACKET_LEN 的数据包的递增值。
STAT_RX_FRAGMENT[2:0]	O	RX_CLK	对应含无效 FCS 且长度小于 stat_rx_min_packet_len 的数据包的递增值。
STAT_RX_VLAN	O	RX_CLK	对应含有效 802.1Q 标记的 VLAN 数据包的递增值。
STAT_RX_INRANGEERR	O	RX_CLK	对应含“长度 (Length)”字段错误但具有有效 FCS 的数据包的递增值。
STAT_RX_JABBER	O	RX_CLK	对应含无效 FCS 且长度超过 CTL_RX_MAX_PACKET_LEN 的数据包的递增值。
STAT_RX_PAUSE	O	RX_CLK	对应含有效 FCS 的 802.3x Ethernet MAC 暂停包的递增值。
STAT_RX_USER_PAUSE	O	RX_CLK	对应含有效 FCS 的基于优先级的暂停包的递增值。
STAT_RX_BAD_CODE[2:0]	O	RX_CLK	对应 64B/66B 编码违例的递增值。此信号用于指示 RX PCS 接收状态机处于 802.3 规范所指定的 RX_E 状态。此输出可用于根据第 82.3 条的定义生成 MDIO 寄存器 3.33:7:0。
STAT_RX_BAD_SFD	O	RX_CLK	对应无效 SFD 的递增值。此信号用于指示接收到以太网数据包之前是否已接收到有效的 SFD。值为 1 表示接收到的 SFD 无效。
STAT_RX_BAD_PREAMBLE	O	RX_CLK	对应无效前导码的递增值。此信号用于指示接收到以太网数据包之前是否已接收到有效的前导码。值为 1 表示接收到的前导码无效。

表 2-10：统计数据接口 - TX 路径

名称	I/O	域	描述
STAT_TX_TOTAL_BYTES[5:0]	O	TX_CLK	对应已发射的字节总数的递增值。
STAT_TX_TOTAL_PACKETS	O	TX_CLK	对应已发射的数据包总数的递增值。
STAT_TX_TOTAL_GOOD_BYTES[13:0]	O	TX_CLK	对应已发射的有效字节总数的递增值。仅当完全发射不含错误的数据包时，该值才为非 0 值。
STAT_TX_TOTAL_GOOD_PACKETS	O	TX_CLK	对应已发射的有效数据包总数的递增值。
STAT_TX_BAD_FCS	O	TX_CLK	对应具有 FCS 错误的数据包（大于 64 个字节）的递增值。
STAT_TX_PACKET_64_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 64 个字节）的递增值。
STAT_TX_PACKET_65_127_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 65 到 127 个字节）的递增值。
STAT_TX_PACKET_128_255_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 128 到 255 个字节）的递增值。
STAT_TX_PACKET_256_511_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 256 到 511 个字节）的递增值。
STAT_TX_PACKET_512_1023_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 512 到 1,023 个字节）的递增值。
STAT_TX_PACKET_1024_1518_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 1,024 到 1,518 个字节）的递增值。
STAT_TX_PACKET_1519_1522_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 1,519 到 1,522 个字节）的递增值。
STAT_TX_PACKET_1523_1548_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 1,523 到 1,548 个字节）的递增值。
STAT_TX_PACKET_1549_2047_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 1,549 到 2,047 个字节）的递增值。
STAT_TX_PACKET_2048_4095_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 2,048 到 4,095 个字节）的递增值。
STAT_TX_PACKET_4096_8191_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 4,096 到 8,191 个字节）的递增值。
STAT_TX_PACKET_8192_9215_BYTES	O	TX_CLK	对应已发射的有效和无效数据包（含 8,192 到 9,215 个字节）的递增值。
STAT_TX_PACKET_SMALL	O	TX_CLK	对应所含数据小于 64 个字节的所有包的递增值。不允许传输小于 64 个字节的数据包。
STAT_TX_PACKET_LARGE	O	TX_CLK	对应所含数据超过 9,215 个字节的所有包的递增值。
STAT_TX_UNICAST	O	TX_CLK	对应有效单播数据包的递增值。
STAT_TX_MULTICAST	O	TX_CLK	对应有效多播数据包的递增值。
STAT_TX_BROADCAST	O	TX_CLK	对应有效广播数据包的递增值。
STAT_TX_VLAN	O	TX_CLK	对应含有效 802.1Q 标记的 VLAN 数据包的递增值。
STAT_TX_PAUSE	O	TX_CLK	对应含有效 FCS 的 802.3x Ethernet MAC 暂停包的递增值。
STAT_TX_USER_PAUSE	O	TX_CLK	对应含有效 FCS 的基于优先级的暂停包的递增值。
STAT_TX_FRAME_ERROR	O	TX_CLK	对应已设置 tx_errin（用于指示 EOP 中止）的数据包的递增值。

表 2-11：暂停接口 - 控制信号

名称	I/O	域	描述
CTL_RX_PAUSE_ENABLE[8:0]	I	RX_CLK	RX 暂停启用信号。此输入用于启用对应优先级的暂停量的处理。此信号仅影响 RX 用户接口，不影响暂停处理逻辑。
CTL_TX_PAUSE_ENABLE[8:0]	I	TX_CLK	TX 暂停启用信号。此输入用于启用对应优先级的暂停量的处理。此信号用于对暂停包的发射进行门控。

表 2-12：暂停接口 - RX 路径

名称	I/O	域	描述
CTL_RX_ENABLE_GCP	I	RX_CLK	值为 1 即表示启用全局控制包处理。
CTL_RX_CHECK_MCAST_GCP	I	RX_CLK	值为 1 即表示启用全局控制多播目标地址处理。
CTL_RX_CHECK_UCAST_GCP	I	RX_CLK	值为 1 即表示启用全局控制单播目标地址处理。
CTL_RX_CHECK_SA_GCP	I	RX_CLK	值为 1 即表示启用全局控制源地址处理。
CTL_RX_CHECK_ETYPE_GCP	I	RX_CLK	值为 1 即表示启用全局控制以太类型 (Ethertype) 处理。
CTL_RX_CHECK_OPCODE_GCP	I	RX_CLK	值为 1 即表示启用全局控制操作代码 (opcode) 处理。
CTL_RX_ENABLE_PCP	I	RX_CLK	值为 1 即表示启用优先控制包处理。
CTL_RX_CHECK_MCAST_PCP	I	RX_CLK	值为 1 即表示启用优先控制多播目标地址处理。
CTL_RX_CHECK_UCAST_PCP	I	RX_CLK	值为 1 即表示启用优先控制单播目标地址处理。
CTL_RX_CHECK_SA_PCP	I	RX_CLK	值为 1 即表示启用优先控制源地址处理。
CTL_RX_CHECK_ETYPE_PCP	I	RX_CLK	值为 1 即表示启用优先控制以太类型 (Ethertype) 处理。
CTL_RX_CHECK_OPCODE_PCP	I	RX_CLK	值为 1 即表示启用优先控制操作代码 (opcode) 处理。
CTL_RX_ENABLE_GPP	I	RX_CLK	值为 1 即表示启用全局暂停包处理。
CTL_RX_CHECK_MCAST_GPP	I	RX_CLK	值为 1 即表示启用全局暂停多播目标地址处理。
CTL_RX_CHECK_UCAST_GPP	I	RX_CLK	值为 1 即表示启用全局暂停单播目标地址处理。
CTL_RX_CHECK_SA_GPP	I	RX_CLK	值为 1 即表示启用全局暂停源地址处理。
CTL_RX_CHECK_ETYPE_GPP	I	RX_CLK	值为 1 即表示启用全局暂停以太类型 (Ethertype) 处理。
CTL_RX_CHECK_OPCODE_GPP	I	RX_CLK	值为 1 即表示启用全局暂停操作代码 (opcode) 处理。
CTL_RX_ENABLE_PPP	I	RX_CLK	值为 1 即表示启用优先暂停包处理。
CTL_RX_CHECK_MCAST_PPP	I	RX_CLK	值为 1 即表示启用优先暂停多播目标地址处理。
CTL_RX_CHECK_UCAST_PPP	I	RX_CLK	值为 1 即表示启用优先暂停单播目标地址处理。
CTL_RX_CHECK_SA_PPP	I	RX_CLK	值为 1 即表示启用优先暂停源地址处理。
CTL_RX_CHECK_ETYPE_PPP	I	RX_CLK	值为 1 即表示启用优先暂停以太类型 (Ethertype) 处理。
CTL_RX_CHECK_OPCODE_PPP	I	RX_CLK	值为 1 即表示启用优先暂停操作代码 (opcode) 处理。
STAT_RX_PAUSE_REQ[8:0]	O	RX_CLK	暂停请求信号。当 RX 收到有效的暂停帧时，它会将该总线的对应位设置为 1，并保持值为 1 不变，直至完成暂停包的处理为止。请参阅第 3 章中的“暂停处理接口”。
CTL_RX_PAUSE_ACK[8:0]	I	RX_CLK	暂停确认信号。该总线用于确认收到来自用户逻辑的暂停帧。请参阅第 3 章中的“暂停处理接口”。

表 2-12：暂停接口 - RX 路径（续）

名称	I/O	域	描述
STAT_RX_PAUSE_VALID[8:0]	O	RX_CLK	该总线用于指示已收到暂停包，并且 STAT_RX_PAUSE_QUANTA[8:0][15:0] 总线上的关联暂停量有效，且必须将其用于暂停处理。如果收到的是 802.3x Ethernet MAC 暂停包，则 bit[8] 设置为 1。
STAT_RX_PAUSE_QUANTA0[15:0]	O	RX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 0 接收的暂停量。如果收到的是 802.3x Ethernet MAC 暂停包，那么此暂停量将置于 STAT_RX_PAUSE_QUANTA8[15:0] 内。
STAT_RX_PAUSE_QUANTA1[15:0]	O	RX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 1 接收的暂停量。
STAT_RX_PAUSE_QUANTA2[15:0]	O	RX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 2 接收的暂停量。
STAT_RX_PAUSE_QUANTA3[15:0]	O	RX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 3 接收的暂停量。
STAT_RX_PAUSE_QUANTA4[15:0]	O	RX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 4 接收的暂停量。
STAT_RX_PAUSE_QUANTA5[15:0]	O	RX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 5 接收的暂停量。
STAT_RX_PAUSE_QUANTA6[15:0]	O	RX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 6 接收的暂停量。
STAT_RX_PAUSE_QUANTA7[15:0]	O	RX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 7 接收的暂停量。
STAT_RX_PAUSE_QUANTA8[15:0]	O	RX_CLK	该总线用于指示收到 802.3x Ethernet MAC 暂停包时，此包的值。

表 2-13：暂停接口 - TX 路径

名称	I/O	域	描述
CTL_TX_PAUSE_REQ[8:0]	I	TX_CLK	如果该总线的某个位设置为 1，那么专用 100G Ethernet IP 核会使用 CTL_TX_PAUSE_QUANTA[8:0][15:0] 总线上关联的暂停量值来发射暂停包。如果 bit[8] 设置为 1，那么将发射全局暂停包。所有其它位设置为 1 都会导致发射优先暂停包。此总线的每个位都必须保持稳定状态达至少 16 个周期，随后才能执行下一次转换。
CTL_TX_PAUSE_QUANTA0[15:0]	I	TX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 0 发射的暂停量。如果发射的是 802.3x Ethernet MAC 暂停包，那么此暂停量将置于 CTL_TX_PAUSE_QUANTA8[15:0] 内。
CTL_TX_PAUSE_QUANTA1[15:0]	I	TX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 1 发射的暂停量。
CTL_TX_PAUSE_QUANTA2[15:0]	I	TX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 2 发射的暂停量。
CTL_TX_PAUSE_QUANTA3[15:0]	I	TX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 3 发射的暂停量。
CTL_TX_PAUSE_QUANTA4[15:0]	I	TX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 4 发射的暂停量。
CTL_TX_PAUSE_QUANTA5[15:0]	I	TX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 5 发射的暂停量。

表 2-13：暂停接口 - TX 路径（续）

名称	I/O	域	描述
CTL_TX_PAUSE_QUANTA6[15:0]	I	TX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 6 发射的暂停量。
CTL_TX_PAUSE_QUANTA7[15:0]	I	TX_CLK	该总线用于指示在基于优先级的暂停操作中针对优先级 7 发射的暂停量。
CTL_TX_PAUSE_QUANTA8[15:0]	I	TX_CLK	该总线用于指示要发射的 802.3x MAC 暂停包的值。
CTL_TX_PAUSE_REFRESH_TIMER0[15:0]	I	TX_CLK	该总线用于设置在基于优先级的暂停操作中针对优先级 0 重新发射暂停包的时间。
CTL_TX_PAUSE_REFRESH_TIMER1[15:0]	I	TX_CLK	该总线用于设置在基于优先级的暂停操作中针对优先级 1 重新发射暂停包的时间。
CTL_TX_PAUSE_REFRESH_TIMER2[15:0]	I	TX_CLK	该总线用于设置在基于优先级的暂停操作中针对优先级 2 重新发射暂停包的时间。
CTL_TX_PAUSE_REFRESH_TIMER3[15:0]	I	TX_CLK	该总线用于设置在基于优先级的暂停操作中针对优先级 3 重新发射暂停包的时间。
CTL_TX_PAUSE_REFRESH_TIMER4[15:0]	I	TX_CLK	该总线用于设置在基于优先级的暂停操作中针对优先级 4 重新发射暂停包的时间。
CTL_TX_PAUSE_REFRESH_TIMER5[15:0]	I	TX_CLK	该总线用于设置在基于优先级的暂停操作中针对优先级 5 重新发射暂停包的时间。
CTL_TX_PAUSE_REFRESH_TIMER6[15:0]	I	TX_CLK	该总线用于设置在基于优先级的暂停操作中针对优先级 6 重新发射暂停包的时间。
CTL_TX_PAUSE_REFRESH_TIMER7[15:0]	I	TX_CLK	该总线用于设置在基于优先级的暂停操作中针对优先级 7 重新发射暂停包的时间。
CTL_TX_PAUSE_REFRESH_TIMER8[15:0]	I	TX_CLK	该总线用于设置针对全局暂停操作重新发射暂停包的时间。
CTL_TX_RESEND_PAUSE	I	TX_CLK	重新发射挂起的暂停包。当此输入采样为 1 时，所有挂起的暂停包都将尽快（即，在当前进行中的包完成后）重新发射，并且重新发射计数器将复位。此输入应脉冲至 1，并且每次保持 1 个周期不变。
STAT_TX_PAUSE_VALID[8:0]	O	TX_CLK	如果该总线的位设置为 1，则表示专用 100G Ethernet IP 核已发射暂停包。如果 bit[8] 设置为 1，则表示已发射全局暂停包。所有其它位设置为 1 都会导致发射优先暂停包。

表 2-14：IEEE 1588 接口 - TX 路径

名称	I/O	域	描述
CTL_TX_SYSTEMTIMERIN[80-1:0]	I	TX_CLK	适用于 TX 的系统定时器输入。 在正常时钟模式下，时间格式遵循 IEEE 1588 格式，以 48 位表示秒，32 位表示纳秒。 在透明时钟模式下，位 63 表示符号位，位 62:16 用于承载纳秒，位 15:0 用于承载小数纳秒。请参阅 IEEE 1588v2 以了解相关表示法的定义。 此输入必须位于 TX 时钟域内。
TX_PTP_TSTAMP_VALID_OUT	O	TX_CLK	此位用于表示 TX 上当前呈现的有效时间戳。
TX_PTP_PCS_LANE_OUT[5-1:0]	O	TX_CLK	该总线用于指示在 20 条 PCS 通道中，检测到对应时间戳的 SOP 所在的通道。
TX_PTP_TSTAMP_TAG_OUT[15:0]	O	TX_CLK	对应于 TX_PTP_TAG_FIELD_IN[15:0] 的标签输出。

表 2-14： IEEE 1588 接口 - TX 路径（续）

名称	I/O	域	描述
TX_PTP_TSTAMP_OUT[79:0]	O	TX_CLK	已发射的包 SOP 的时间戳，对应于它通过捕获平面的时间。该总线中包含的位的表示法与定时器输入相同。
TX_PTP_1588OP_IN[1:0]	I	TX_CLK	2'b00 - “无操作 (No operation)”：不记录时间戳，不修改帧。 2'b01 - “单步 (1-step)”：应记录时间戳并将其插入帧。 2'b10 - “双步 (2-step)”：应记录时间戳并使用对应双步操作的额外端口将该时间戳返回到客户端。帧本身无需修改。 2'b11 - 保留。 注释：CMAC 核将在 SOP 时对此信号进行采样。
TX_PTP_TAG_FIELD_IN[15:0]	I	TX_CLK	该字段的使用取决于 1588 操作 - 对于“无操作 (No operation)”，将忽略该字段。 - 对于“双步 (2-step)”，该字段将成为标签字段。该标签值将通过使用双步操作的额外端口，与对应当前帧的时间戳一起返回至客户端。该标签值可供软件用于确保该时间戳能够与其发送的 PTP 帧（用于发射）相匹配。 注释：CMAC 核将在 SOP 时对此信号进行采样。
TX_PTP_UPD_CHKSUM_IN	I	TX_CLK	该字段的使用取决于 1588 操作 对于“无操作 (No operation)”或“双步 (2-step)”，将忽略该位。
TX_PTP_CHKSUM_OFFSET_IN[15:0]	I	TX_CLK	该字段的使用取决于 1588 操作和“更新校验和 (Update Checksum)”位。 对于“无操作 (No operation)”或“双步 (2-step)”，当“更新校验和 (Update Checksum)”设置为 1'b0 时，将忽略该字段。 注释：IPv6 报头大小无限制，因此该字段可适用于所有帧大小（上限为 16K 巨型帧）。 注释：仅支持偶数值。
TX_PTP_TSTAMP_OFFSET_IN[15:0]	I	TX_CLK	该字段的使用取决于 1588 操作 对于“无操作 (No operation)”或“双步 (2-step)”，将忽略该字段。 此输入还可用于指定纠正字段的偏移（如果需要）。 注释：IPv6 报头大小无限制，因此该字段可适用于所有帧大小（上限为 16K 巨型帧）。 注释：仅支持偶数值。 注释：在透明时钟模式中且 tx_ptp_upd_chksum_in=1 时，该值不得大于 tx_ptp_chksum_offset_in + 34（十进制）。
CTL_TX_PTP_VLANE_ADJUST_MODE	I	异步状态	断言有效时，此信号将根据发生 SOP 的 PCS 通道对 TX 时间戳进行调整。当值为 0 时，不执行调整。 此信号仅影响单步操作。
TX_PTP_RXTSTAMP_IN[63:0]	I	TX_CLK	保留。
STAT_TX_PTP_FIFO_WRITE_ERROR	O	TX_CLK	发射 PTP FIFO 写入错误。此状态值为 1 表示 PTP Tag 写入期间发生错误。需 TX 路径复位才能清除此错误。
STAT_TX_PTP_FIFO_READ_ERROR	O	TX_CLK	发射 PTP FIFO 读取错误。此状态值为 1 表示 PTP Tag 读取期间发生错误。需 TX 路径复位才能清除此错误。

表 2-15：IEEE 1588 接口 - RX 路径

名称	I/O	域	描述
CTL_RX_SYSTEMTIMERIN[80-1:0]	I	rx_serdes_clk[0]	适用于 RX 的系统定时器输入。 在正常时钟模式下，时间格式遵循 IEEE 1588 格式，以 48 位表示秒，32 位表示纳秒。 在透明时钟模式下，位 63 表示符号位，位 62:16 用于承载纳秒，位 15:0 用于承载小数纳秒。请参阅 IEEE 1588v2 以了解相关表示法的定义。 此输入必须与通道 0 RX SerDes 位于相同时钟域内。
RX_PTP_TSTAMP_OUT[79:0]	O	RX_CLK	已接收的包 SOP 的时间戳，对应于它通过捕获平面的时间。只要针对任一 LBUS 分段断言 SOP 有效，则从断言有效的时钟周期开始，此信号即生效。 该总线中包含的位的表示法与定时器输入相同。
RX_PTP_PCSLANE_OUT[5-1:0]	O	RX_CLK	该总线用于指示在 20 条 PCS 通道中，检测到对应时间戳的 SOP 所在的通道。 只要针对任一 LBUS 分段断言 SOP 有效，则从断言有效的时钟周期开始，此信号即生效。
RX_LANE_ALIGNER_FILL_0[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane0 的对齐缓存的填充级别。此信息可供 PTP 应用配合 RX_PTP_PCSLANE_OUT[4:0] 信号一起使用，以便调整即将到达的 SOP 的通道偏差。单位为 SerDes 时钟周期数。
RX_LANE_ALIGNER_FILL_1[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane1 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_2[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane2 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_3[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane3 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_4[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane4 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_5[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane5 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_6[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane6 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_7[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane7 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_8[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane8 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_9[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane9 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_10[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane10 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_11[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane11 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_12[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane12 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_13[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane13 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_14[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane14 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_15[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane15 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_16[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane16 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_17[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane17 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_18[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane18 的对齐缓存的填充级别。
RX_LANE_ALIGNER_FILL_19[7-1:0]	O	RX_CLK	此输出用于指示 PCS lane19 的对齐缓存的填充级别。

表 2-16: DRP 路径/控制信号

名称	I/O	域	描述
DRP_DO[15:0]	O	DRP_CLK	用于将配置数据从 100G Ethernet IP 核读取到 FPGA 逻辑资源的数据总线。
DRP_RDY	O	DRP_CLK	用于指示写入操作已完成，并且数据有效，可供读取操作使用。
DRP_ADDR[9:0]	I	DRP_CLK	DRP 地址总线。
DRP_CLK	I		DRP 接口时钟。不使用 DRP 时，可将其绑定到 GND。
DRP_DI[15:0]	I	DRP_CLK	用于将配置数据从 FPGA 逻辑资源写入到 100G Ethernet IP 核的数据总线。
DRP_EN	I	DRP_CLK	DRP 启用信号。 0: 不执行读取或写入操作。 1: 启用读取或写入操作。 对于写入操作，DRP_WE 和 DRP_EN 应驱动至高电平 (High) (仅限 1 个 DRP_CLK 周期)。
DRP_WE	I	DRP_CLK	DRP 写入启用。 0: 当 DRP_EN 为 1 时执行读取操作。 1: 当 DRP_EN 为 1 时执行写入操作。 对于写入操作，DRP_WE 和 DRP_EN 应驱动至高电平 (High) (仅限 1 个 DRP_CLK 周期)。

属性描述

表 2-17 提供了 100G Ethernet IP 核的属性的详细描述及其默认值。

表 2-17: UltraScale+ 器件 100G Ethernet IP 核属性

名称	类型	描述	默认值
LBUS 接口 - TX 路径控制/状态			
CTL_TX_FCS_INS_ENABLE	布尔	启用由 TX 核执行 FCS 插入。 - TRUE: 100G Ethernet IP 核会计算 FCS 并将其添加到包中。 - FALSE: 100G Ethernet IP 核不会将 FCS 添加到包中。 在不同数据包之间不得动态更改该属性。	TRUE
CTL_TX_IGNORE_FCS	布尔	启用由 TX 核在 LBUS 接口上执行 FCS 纠错。仅当 <code>ctl_tx_fcs_ins_enable</code> 为 FALSE 时，该输入才有影响。 - TRUE: 含无效 FCS 的包已发射，且被作为有效包丢弃。 - FALSE: 含无效 FCS 的包已发射，且未被作为有效包丢弃。 在 <code>stat_tx_bad_fcs</code> 信号和 <code>STAT_RX_STOMPED_FCS</code> 信号上会标记此错误，并且此数据包将作为已接收的包进行发射。 报告的统计数据中显示不含 FCS 错误。	FALSE

表 2-17: UltraScale+ 器件 100G Ethernet IP 核属性 (续)

名称	类型	描述	默认值
CTL_TX_IPG_VALUE[3:0]	4 位十六进制	ctl_tx_ipg_value 用于定义在 LBUS 包之间插入的目标平均最小包间隔 (IPG, 以字节为单位)。有效值范围为 8 到 12。ctl_tx_ipg_value 还可编程为范围介于 0 到 7 之间的值, 但在此情况下, 它解释为表示最小 IPG, 因此仅插入终止 (Terminate) 代码字 IPG; 在此情况下从不添加空闲 (Idle) - 因此发射随机大小的数据包时, 生成的 IPG 平均约为 4 个字节。	4'hC
CTL_TX_VL_LENGTH_MINUS1[15:0]	16 位十六进制	PCS 通道标记间的字数减 1。根据 IEEE 802.3 中的定义, 默认值应设置为 16383 (十进制)。	16'h3FFF
CTL_TX_VL_MARKER_ID0[63:0]	64 位十六进制	该总线用于为 PCS 通道 0 设置 TX PCS 通道标记。要了解 IEEE 802.3 默认值, 请参阅其规范。	64'hc16821003e97de00
CTL_TX_VL_MARKER_ID1[63:0]	64 位十六进制	该总线用于为 PCS 通道 1 设置 TX PCS 通道标记。	64'h9d718e00628e7100
CTL_TX_VL_MARKER_ID2[63:0]	64 位十六进制	该总线用于为 PCS 通道 2 设置 TX PCS 通道标记。	64'h594be800a6b41700
CTL_TX_VL_MARKER_ID3[63:0]	64 位十六进制	该总线用于为 PCS 通道 3 设置 TX PCS 通道标记。	64'h4d957b00b26a8400
CTL_TX_VL_MARKER_ID4[63:0]	64 位十六进制	该总线用于为 PCS 通道 4 设置 TX PCS 通道标记。	64'hf50709000af8f600
CTL_TX_VL_MARKER_ID5[63:0]	64 位十六进制	该总线用于为 PCS 通道 5 设置 TX PCS 通道标记。	64'hdd14c20022eb3d00
CTL_TX_VL_MARKER_ID6[63:0]	64 位十六进制	该总线用于为 PCS 通道 6 设置 TX PCS 通道标记。	64'h9a4a260065b5d900
CTL_TX_VL_MARKER_ID7[63:0]	64 位十六进制	该总线用于为 PCS 通道 7 设置 TX PCS 通道标记。	64'h7b45660084ba9900
CTL_TX_VL_MARKER_ID8[63:0]	64 位十六进制	该总线用于为 PCS 通道 8 设置 TX PCS 通道标记。	64'ha02476005fdb8900
CTL_TX_VL_MARKER_ID9[63:0]	64 位十六进制	该总线用于为 PCS 通道 9 设置 TX PCS 通道标记。	64'h68c9fb0097360400
CTL_TX_VL_MARKER_ID10[63:0]	64 位十六进制	该总线用于为 PCS 通道 10 设置 TX PCS 通道标记。	64'hfd6c990002936600
CTL_TX_VL_MARKER_ID11[63:0]	64 位十六进制	该总线用于为 PCS 通道 11 设置 TX PCS 通道标记。	64'hb9915500466eaa00
CTL_TX_VL_MARKER_ID12[63:0]	64 位十六进制	该总线用于为 PCS 通道 12 设置 TX PCS 通道标记。	64'h5cb9b200a3464d00
CTL_TX_VL_MARKER_ID13[63:0]	64 位十六进制	该总线用于为 PCS 通道 13 设置 TX PCS 通道标记。	64'h1af8bd00e5074200
CTL_TX_VL_MARKER_ID14[63:0]	64 位十六进制	该总线用于为 PCS 通道 14 设置 TX PCS 通道标记。	64'h83c7ca007c383500
CTL_TX_VL_MARKER_ID15[63:0]	64 位十六进制	该总线用于为 PCS 通道 15 设置 TX PCS 通道标记。	64'h3536cd00cac93200

表 2-17: UltraScale+ 器件 100G Ethernet IP 核属性 (续)

名称	类型	描述	默认值
CTL_TX_VL_MARKER_ID16[63:0]	64 位十六进制	该总线用于为 PCS 通道 16 设置 TX PCS 通道标记。	64'hc4314c003bceb300
CTL_TX_VL_MARKER_ID17[63:0]	64 位十六进制	该总线用于为 PCS 通道 17 设置 TX PCS 通道标记。	64'hadd6b70052294800
CTL_TX_VL_MARKER_ID18[63:0]	64 位十六进制	该总线用于为 PCS 通道 18 设置 TX PCS 通道标记。	64'h5f662a00a099d500
CTL_TX_VL_MARKER_ID19[63:0]	64 位十六进制	该总线用于为 PCS 通道 19 设置 TX PCS 通道标记。	64'hc0f0e5003f0f1a00
LBUS 接口 - RX 路径控制/状态信号			
CTL_RX_CHECK_PREAMBLE	布尔	设为 TRUE 时，该属性会导致 Ethernet MAC 检查接收到的帧的前导码。	FALSE
CTL_RX_CHECK_SFD	布尔	设为 TRUE 时，该属性会导致 Ethernet MAC 检查接收到的帧的帧起始定界符。	FALSE
CTL_RX_DELETE_FCS	布尔	启用由 RX 核执行 FCS 移除。 • TRUE: 100G Ethernet IP 核会删除传入包的 FCS。 • FALSE: 100G Ethernet IP 核不会移除传入包的 FCS。 针对长度小于等于 8 个字节的包，不删除 FCS。	TRUE
CTL_RX_IGNORE_FCS	布尔	启用由 RX 核在 LBUS 接口上执行 FCS 纠错。 • TRUE: 100G Ethernet IP 核不会在 LBUS 接口处标记 FCS 错误。 • FALSE: 对于接收到的含 FCS 错误的包，将随在上一次传输期间断言有效 (RX_EOPOUT 和 RX_ENAOUT 均采样为 1) 的 RX_ERROUT 管脚一起发送。 注释: 报告的统计数据中显示此数据包有效。但 stat_rx_bad_fcs 信号则会报告错误。	FALSE
CTL_RX_MAX_PACKET_LEN[14:0]	15 位十六进制	长度超过该值的任何包都将被视为大小过大。如果包的大小大于该值，则该包将被截断至该值，并且 RX_ERROUT 信号随 rx_eopout 信号一起断言有效。ctl_rx_max_packet_len[14] 则保留并且必须设为 0。 小于 64 个字节的包将被丢弃。该总线的值允许的范围为 64 到 16,383。	15'h2580
CTL_RX_MIN_PACKET_LEN[7:0]	8 位十六进制	小于默认值 64 (十进制) 的任何包都将被视为大小过小。如果包的大小小于该值，则在 rx_eopout 断言有效的周期内，rx_errout 信号将断言有效。小于 64 个字节的包将被丢弃。该总线的值必须小于或等于 CTL_RX_MAX_PACKET_LEN[14:0] 的值。	8'h40
CTL_RX_VL_LENGTH_MINUS1[15:0]	16 位十六进制	PCS 通道标记间的字数减 1。根据 IEEE 802.3 中的定义，默认值应设置为 16383 (十进制)。	16'h3FFF

表 2-17: UltraScale+ 器件 100G Ethernet IP 核属性 (续)

名称	类型	描述	默认值
CTL_RX_VL_MARKER_ID0[63:0]	64 位十六进制	该总线用于为 PCS 通道 0 设置 RX PCS 通道标记。要了解 IEEE 802.3 默认值, 请参阅其规范。	64'hc16821003e97de00
CTL_RX_VL_MARKER_ID1[63:0]	64 位十六进制	该总线用于为 PCS 通道 1 设置 RX PCS 通道标记。	64'h9d718e00628e7100
CTL_RX_VL_MARKER_ID2[63:0]	64 位十六进制	该总线用于为 PCS 通道 2 设置 RX PCS 通道标记。	64'h594be800a6b41700
CTL_RX_VL_MARKER_ID3[63:0]	64 位十六进制	该总线用于为 PCS 通道 3 设置 RX PCS 通道标记。	64'h4d957b00b26a8400
CTL_RX_VL_MARKER_ID4[63:0]	64 位十六进制	该总线用于为 PCS 通道 4 设置 RX PCS 通道标记。	64'hf50709000af8f600
CTL_RX_VL_MARKER_ID5[63:0]	64 位十六进制	该总线用于为 PCS 通道 5 设置 RX PCS 通道标记。	64'hdd14c20022eb3d00
CTL_RX_VL_MARKER_ID6[63:0]	64 位十六进制	该总线用于为 PCS 通道 6 设置 RX PCS 通道标记。	64'h9a4a260065b5d900
CTL_RX_VL_MARKER_ID7[63:0]	64 位十六进制	该总线用于为 PCS 通道 7 设置 RX PCS 通道标记。	64'h7b45660084ba9900
CTL_RX_VL_MARKER_ID8[63:0]	64 位十六进制	该总线用于为 PCS 通道 8 设置 RX PCS 通道标记。	64'ha02476005fdb8900
CTL_RX_VL_MARKER_ID9[63:0]	64 位十六进制	该总线用于为 PCS 通道 9 设置 RX PCS 通道标记。	64'h68c9fb0097360400
CTL_RX_VL_MARKER_ID10[63:0]	64 位十六进制	该总线用于为 PCS 通道 10 设置 RX PCS 通道标记。	64'hfd6c990002936600
CTL_RX_VL_MARKER_ID11[63:0]	64 位十六进制	该总线用于为 PCS 通道 11 设置 RX PCS 通道标记。	64'hb9915500466eaa00
CTL_RX_VL_MARKER_ID12[63:0]	64 位十六进制	该总线用于为 PCS 通道 12 设置 RX PCS 通道标记。	64'h5cb9b200a3464d00
CTL_RX_VL_MARKER_ID13[63:0]	64 位十六进制	该总线用于为 PCS 通道 13 设置 RX PCS 通道标记。	64'h1af8bd00e5074200
CTL_RX_VL_MARKER_ID14[63:0]	64 位十六进制	该总线用于为 PCS 通道 14 设置 RX PCS 通道标记。	64'h83c7ca007c383500
CTL_RX_VL_MARKER_ID15[63:0]	64 位十六进制	该总线用于为 PCS 通道 15 设置 RX PCS 通道标记。	64'h3536cd00cac93200
CTL_RX_VL_MARKER_ID16[63:0]	64 位十六进制	该总线用于为 PCS 通道 16 设置 RX PCS 通道标记。	64'hc4314c003bceb300
CTL_RX_VL_MARKER_ID17[63:0]	64 位十六进制	该总线用于为 PCS 通道 17 设置 RX PCS 通道标记。	64'hadd6b70052294800
CTL_RX_VL_MARKER_ID18[63:0]	64 位十六进制	该总线用于为 PCS 通道 18 设置 RX PCS 通道标记。	64'h5f662a00a099d500
CTL_RX_VL_MARKER_ID19[63:0]	64 位十六进制	该总线用于为 PCS 通道 19 设置 RX PCS 通道标记。	64'hc0f0e5003f0f1a00

表 2-17: UltraScale+ 器件 100G Ethernet IP 核属性 (续)

名称	类型	描述	默认值
其它状态/控制信号			
CTL_RX_PROCESS_LFI	布尔	TRUE: 100G Ethernet IP 核 RX 核将预测能够接收到来自 SerDes 的 LFI 控制代码, 并对其进行处理。 FALSE: 100G Ethernet IP 核 RX 核将忽略来自 SerDes 的 LFI 控制代码。 注释: 如果检测到 LFI 状况, 该核将停止接收数据包, 直至清除 LFI 为止。正在传输中的包将被终止, 并在 LBUS 上指示发生错误。必须先接收到 START 块, 然后才能再次接收数据包。	FALSE
暂停接口 - RX 路径			
CTL_RX_PAUSE_DA_UCAST[47:0]	48 位十六进制	暂停处理的单播目标地址。	48'h000000000000
CTL_RX_PAUSE_SA[47:0]	48 位十六进制	暂停处理的源地址。	48'h000000000000
CTL_RX_OPCODE_MIN_GCP[15:0]	16 位十六进制	最小全局控制操作代码值。	16'h0000
CTL_RX_OPCODE_MAX_GCP[15:0]	16 位十六进制	最大全局控制操作代码值。	16'hffff
CTL_RX_ETYPE_GCP[15:0]	16 位十六进制	全局控制处理的以太类型 (Ethertype) 字段。	16'h8808
CTL_RX_PAUSE_DA_MCAST[47:0]	48 位十六进制	暂停处理的多播目标地址。	48'h0180c2000001
CTL_RX_ETYPE_PCP[15:0]	16 位十六进制	优先控制处理的以太类型 (Ethertype) 字段。	16'h8808
CTL_RX_OPCODE_MIN_PCP[15:0]	16 位十六进制	最小优先级控制操作代码值。	16'h0000
CTL_RX_OPCODE_MAX_PCP[15:0]	16 位十六进制	最大优先级控制操作代码值。	16'hffff
CTL_RX_ETYPE_GPP[15:0]	16 位十六进制	全局暂停处理的以太类型 (Ethertype) 字段。	16'h8808
CTL_RX_OPCODE_GPP[15:0]	16 位十六进制	全局暂停操作代码值。	16'h0001
CTL_RX_ETYPE_PPP[15:0]	16 位十六进制	优先暂停处理的以太类型 (Ethertype) 字段。	16'h8808
CTL_RX_OPCODE_PPP[15:0]	16 位十六进制	优先暂停操作代码值。	16'h0101
CTL_RX_CHECK_ACK	布尔	等待确认。 • TRUE: 100G Ethernet IP 核使用 CTL_RX_PAUSE_ACK[8:0] 总线来执行暂停处理。 • FALSE: 不使用 CTL_RX_PAUSE_ACK[8:0]。	TRUE
CTL_RX_FORWARD_CONTROL	布尔	TRUE: 100G Ethernet IP 核将转发控制包。 FALSE: 100G Ethernet IP 核将丢弃控制包。 请参阅第 3 章中的“暂停处理接口”。	FALSE
暂停接口 - TX 路径			
CTL_TX_DA_GPP[47:0]	48 位十六进制	发射全局暂停包的目标地址。	48'h0180c2000001
CTL_TX_SA_GPP[47:0]	48 位十六进制	发射全局暂停包的源地址。	48'h000000000000

表 2-17: UltraScale+ 器件 100G Ethernet IP 核属性（续）

名称	类型	描述	默认值
CTL_TX_ETHERTYPE_GPP[15:0]	16 位十六进制	发 射 全 局 暂 停 包 的 以 太 类 型 (Ethertype)。	16'h8808
CTL_TX_OPCODE_GPP[15:0]	16 位十六进制	发射全局暂停包的操作代码。	16'h0001
CTL_TX_DA_PPP[47:0]	48 位十六进制	发射优先暂停包的目标地址。	48'h0180c2000001
CTL_TX_SA_PPP[47:0]	48 位十六进制	发射优先暂停包的源地址。	48'h000000000000
CTL_TX_ETHERTYPE_PPP[15:0]	16 位十六进制	发 射 优 先 暂 停 包 的 以 太 类 型 (Ethertype)。	16'h8808
CTL_TX_OPCODE_PPP[15:0]	16 位十六进制	发射优先暂停包的操作代码。	16'h0101

表 2-17: UltraScale+ 器件 100G Ethernet IP 核属性 (续)

名称	类型	描述	默认值
IEEE 1588 接口 - TX 路径			
CTL_TX_PTP_1STEP_ENABLE	布尔	FALSE: 禁用单步操作。	FALSE
CTL_PTP_TRANSPCLK_MODE	布尔	该属性设为 TRUE 时会时间戳逻辑置于透明时钟模式, 并在 TX 上启用纠正字段更新。在透明时钟模式下, 系统定时器输入将解释为纠正值。TX 将计算纠正字段值并覆盖原始值。 注释: RX 和 TX 定时器输入以及时间戳都应采用纠正字段格式。	FALSE
CTL_TX_PTP_LATENCY_ADJUST[10:0]	11'位十六进制	该总线可用于调整与双步时间戳有关的单步 TX 时间戳。总线位 [10:3] 的单位为纳秒。此输入中的 3 个 LSB 位均为小数纳秒。 在正常模式下, 一般值为十进制值 705 (十六进制值 2C1), 对应于单步逻辑和双步时间戳捕获平面之间的延迟。 在透明时钟模式下, 推荐值为十进制值 802 (十六进制值 322)。	11'h2C1
CTL_RX_RSSEC_FILL_ADJUST[1:0]	2 位十六进制	保留。必须设置为 2'h0。	2'h0
CTL_RX_RSSEC_AM_THRESHOLD[8:0]	9'位十六进制	保留。必须设置为 9'h46。	9'h46
CTL_TX_CUSTOM_PREAMBLE	布尔	启用/禁用自定义前导码功能。 TRUE: 启用自定义前导码。 FALSE: 禁用自定义前导码。	FALSE
测试属性			
CTL_TEST_MODE_PIN_CHAR	布尔	保留。设置为 FALSE。	FALSE
TEST_MODE_PIN_CHAR	布尔	保留。设置为 FALSE。	FALSE

用核设计

本章包含有关利用该核来协助简化设计的指导信息和其它信息。

时钟

UltraScale+™ 器件 Integrated Block for 100G Ethernet Subsystem 具有多达 13 个时钟输入供 CAUI-10 接口使用，另有多达 7 个时钟输入供 CAUI-4 接口使用。这些时钟包括 RX_SERDES_CLK[9:0] 和 RX_SERDES_CLK[3:0]（分别用于 CAUI-10 模式和 CAUI-4 模式）、TX_CLK、RX_CLK 以及 DRP_CLK。DRP_CLK 为可选，仅在 DRP 操作期间才需要使用。

其中 10 个 CAUI-10 或 4 个 CAUI-4 RX_SERDES_CLK 时钟因 FPGA 而引发的动态偏差不得超过 1000 ps。以下章节中提供了有关时钟的更多详细信息。

“运行时可切换 (Runtime Switchable)”模式的时钟结构与前文所述来自 CAUI-10 的时钟结构相同。

RX GT/通道逻辑时钟 (RX_SERDES_CLK)

这些时钟从串行收发器 (GT) 提供给 CMAC 块，以便对逻辑 RX 接口进行时钟设置。这些时钟必须保持 322.266 MHz 才能执行 CAUI-10、CAUI-4、100GAUI-4 和 100GAUI-2 操作。GT 接口数据路径则分别为每通道 32 位（针对 CAUI-10）、每通道 80 位（针对 CAUI-4/100GAUI-4）和每通道 160 位（针对 100GAUI-2）。

另一种实现方法仅允许 1 个 RX_SERDES_CLK 连接至 Ethernet MAC RX_SERDES_CLK 输入。串行收发器同样处于原始模式，但在此情况下将使用缓存。如果您可承受更高的时延并且想要节省 FPGA 时钟资源，则可使用此模式。

TX CLK

此时钟可提供给 CMAC 块和串行收发器，用于对 GT/通道逻辑 TX 接口以及整个 Ethernet MAC 进行时钟设置。此时钟必须保持 322.266 MHz 才能执行 CAUI-10、CAUI-4、100GAUI-4 和 100GAUI-2 操作。GT 通道逻辑接口数据路径则分别为每通道 32 位（针对 CAUI-10）和每通道 80 位（针对 CAUI-4、100GAUI-4 和 100GAUI-2）。只需 1 个 TX_CLK 即可，与使用的实现方法 (CAUI-10/CAUI-4/100GAUI-4/100GAUI-2) 无关。此时钟还可用于对发射 Ethernet MAC、LBUS/AXIS 接口和控制/状态端口进行时钟设置。

RX CLK

此时钟可提供给 CMAC 块。此时钟必须保持 322.266 MHz 才能执行 CAUI-10、CAUI-4、100GAUI-4 和 100GAUI-2 操作，并且必须与 TX_CLK 相同。此时钟还可在接收 Ethernet MAC、LBUS/AXIS 接口和控制/状态端口中使用。

DRP 时钟 (drp_clk)

此信号用于对 DRP 端口进行时钟设置。可选择任何便于使用的频率（上限为 250 MHz）。

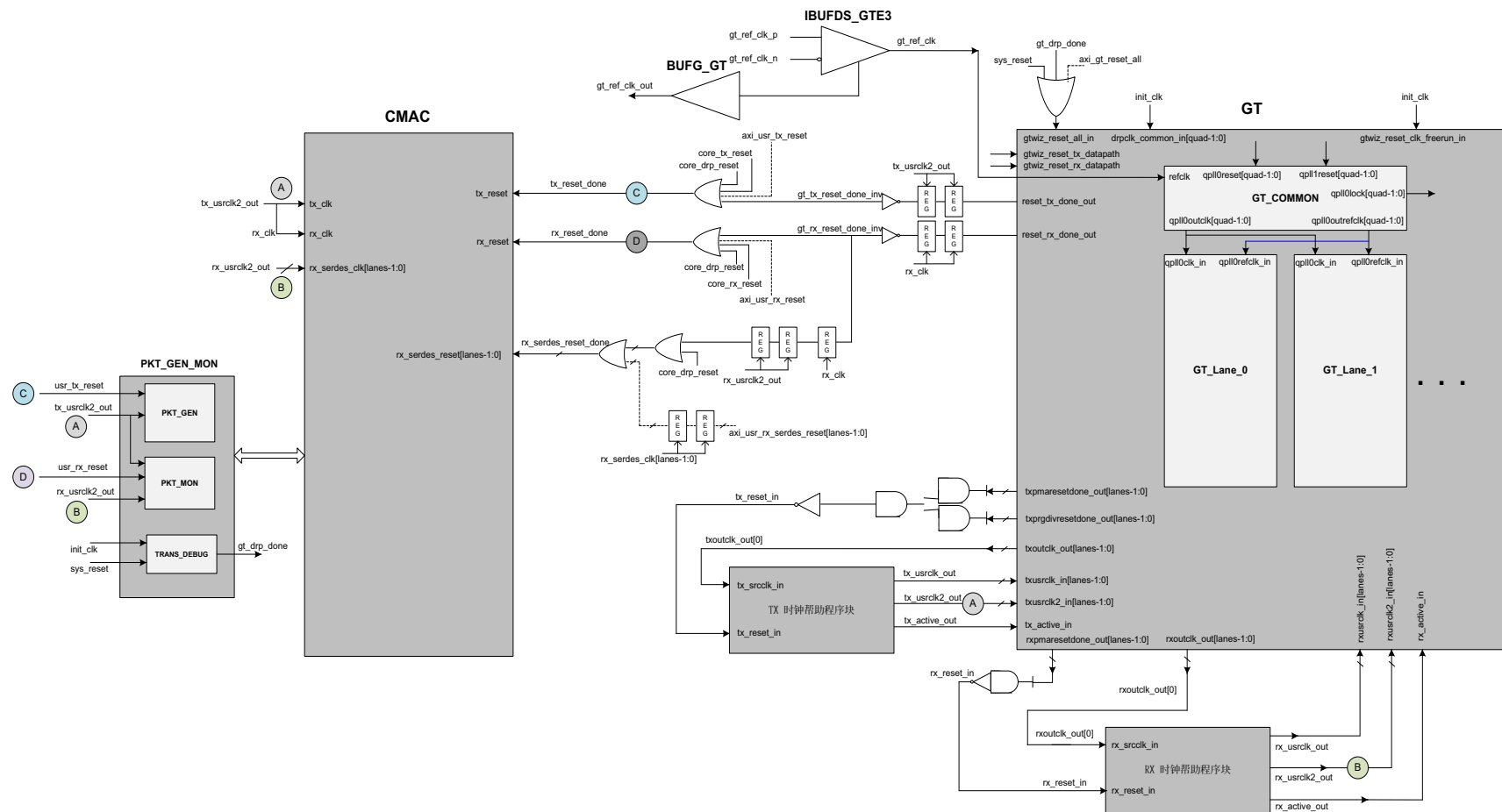
复位

CMAC 集成块总计具有 12 个复位。包括 TX_RESET、RX_RESET 和 RX_SERDES_RESET[9:0]。配置期间，TX_RESET、RX_RESET 和 RX_SERDES_RESET[9:0] 需断言为高电平有效，当时钟达到稳定状态后，将释放复位。正常操作期间，RX 路径和 TX 路径可单独断言有效。在 RX 和 TX 逻辑路径中，核与通道逻辑具有各自独立的复位。复位过程很简单，唯一要求是复位必须保持断言有效，直至对应的一个或多个时钟达到稳定状态为止。100G Ethernet IP 核负责确保将不同复位正确同步到所需的域。而您负责确保复位保持不变直至对应时钟达到完全稳定状态为止。

100G Ethernet IP 核可提供 sys_reset 输入用于复位 GT 和 CMAC 集成块，并可提供 gt wiz_reset_tx_datapath 和 gt wiz_reset_rx_datapath，分别用于复位 GT 及 CMAC RX 和 TX 数据路径。

注释：100G Ethernet IP 核的某些控制输入仅限在该核保持复位状态时才能进行修改。如果其中某一输入需要更改，则相应的 RX 或 TX LBUS 复位输入（RX_RESET 或 TX_RESET）必须断言有效，直至控制输入达到稳定状态为止。此块内的所有复位都将同步断言有效并同步断言无效。将根据指导信息，使用适用的标准单元同步器来将复位的断言和释放同步到相应的时钟输入。

请参阅图 3-1 和图 3-2，以查看时钟和复位的图示。可用的模式取决于 Vivado® 集成设计环境 (IDE) 的选择和配置。对于“异步 (Asynchronous)”模式，TXOUTCLK 将源于 TXUSRCLK，而 RXOUTCLK 则源于 RXUSRCLK。“Asynchronous”模式支持时钟间存在 PPM 差异（按规范）。



X18950-Q83017

图 3-1：CMAC 时钟和复位 - 多通道异步时钟模式（多通道通过 RX GT 缓存模式启用）

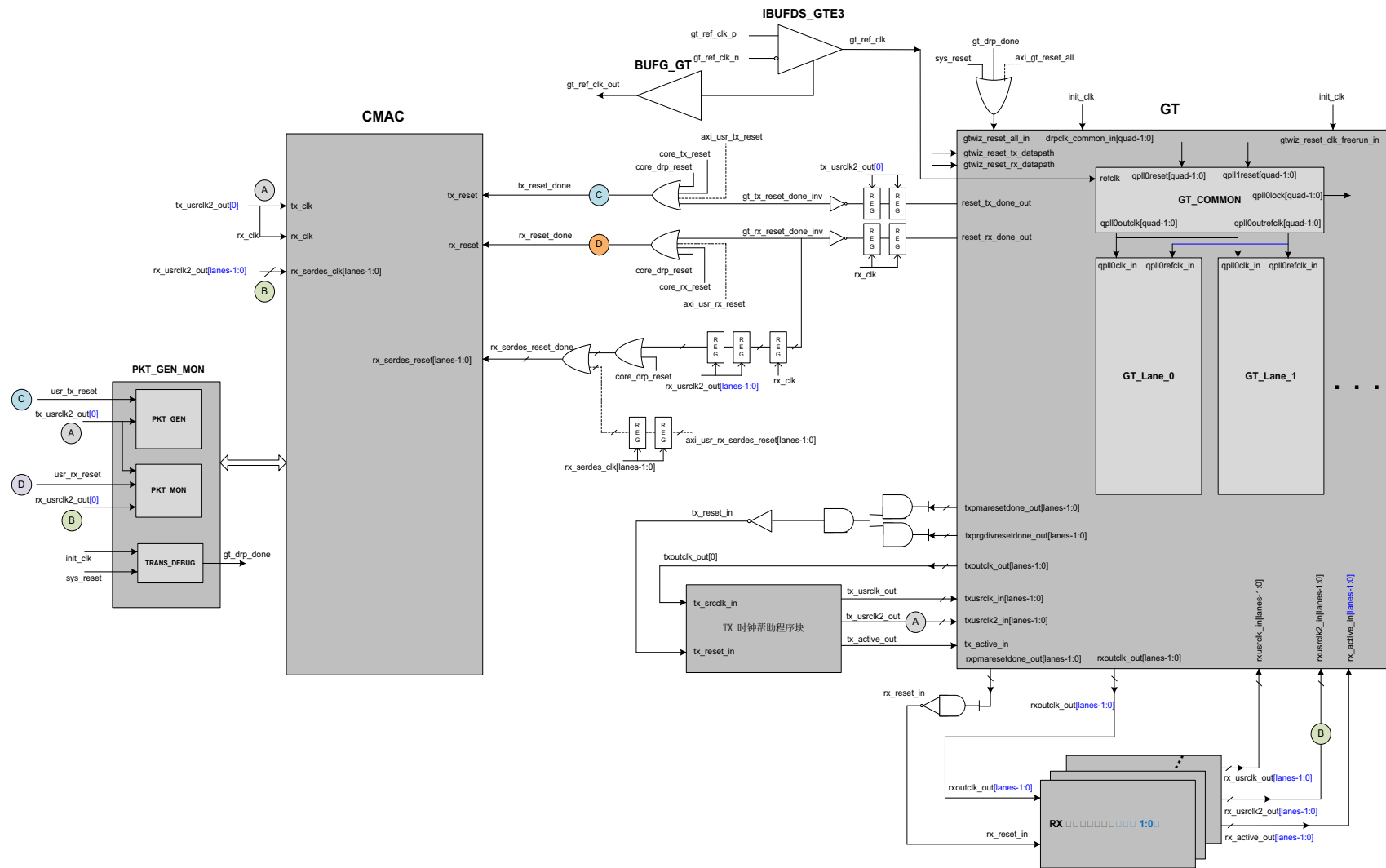


图 3-2: CMAC 时钟和复位 - 单通道异步时钟模式（单通道通过 RX GT 缓存模式绕过）

含 GTM 映射的 CMAC

图 3-3 和图 3-4 显示了含高速 GTM 收发器的 100G Ethernet IP 与时钟和复位模块之间的映射。

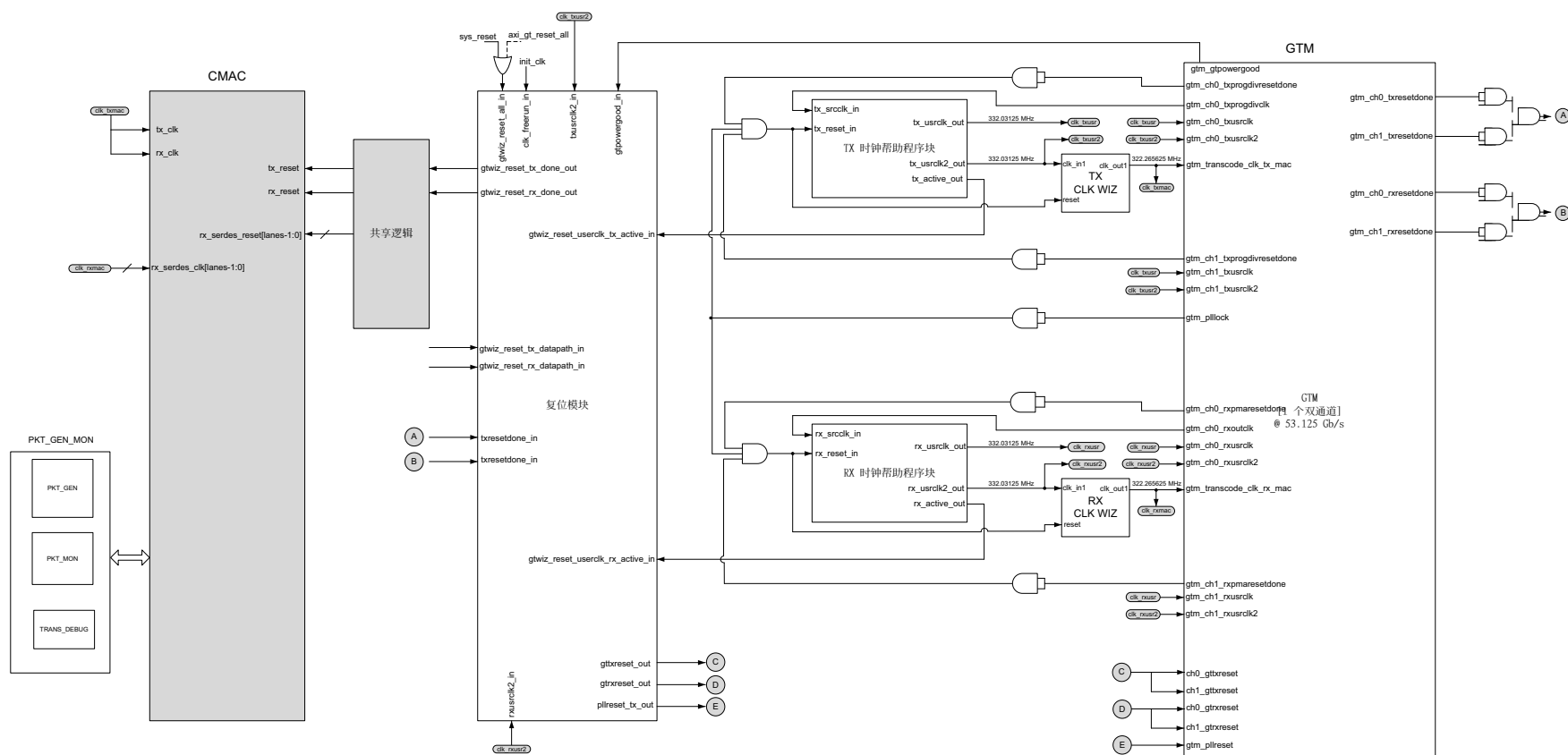


图 3-3：CMAC 时钟和复位 - 含转码配置的 100GAUI-2 GTM

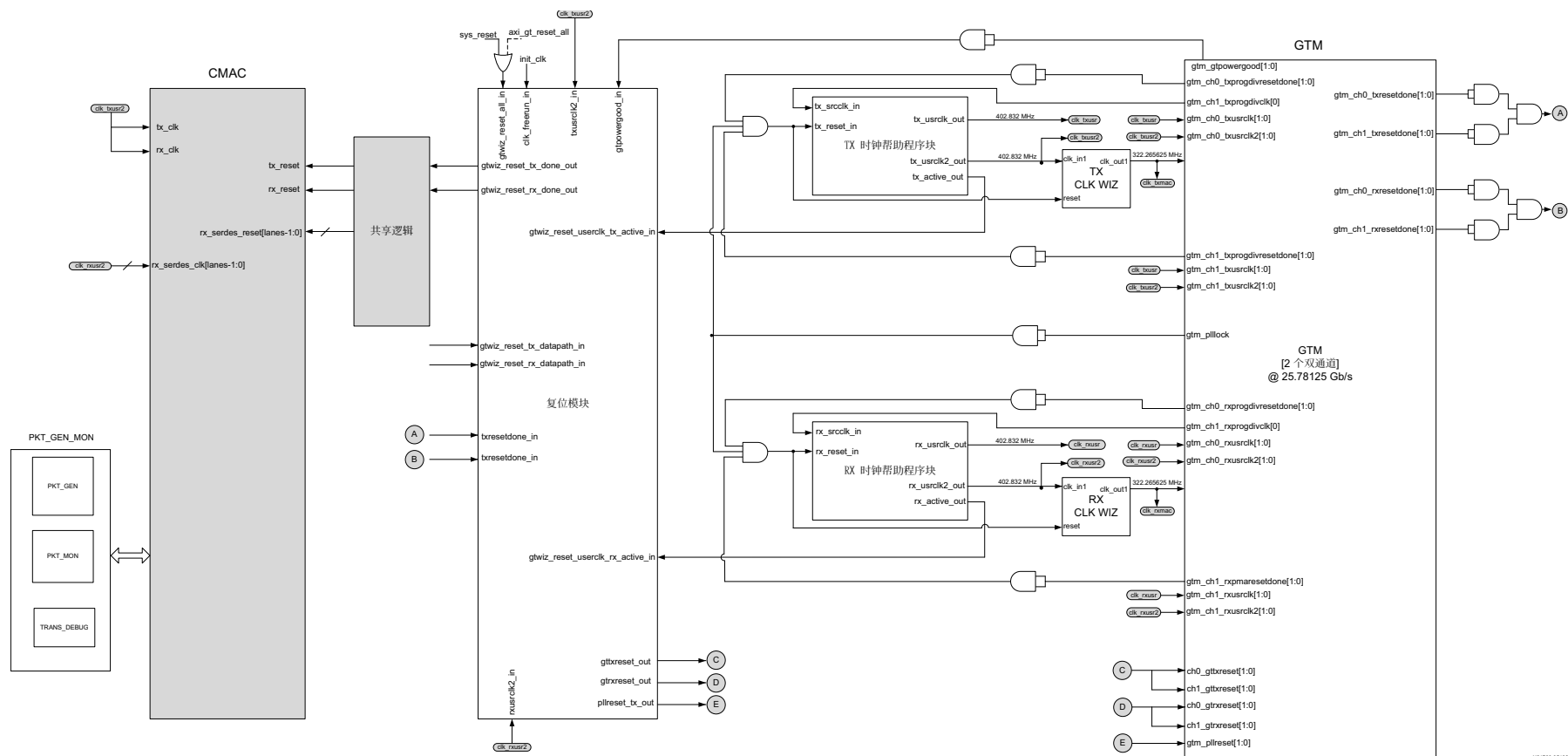


图 3-4：CMAC 时钟和复位 - CAUI-4 GTM 配置

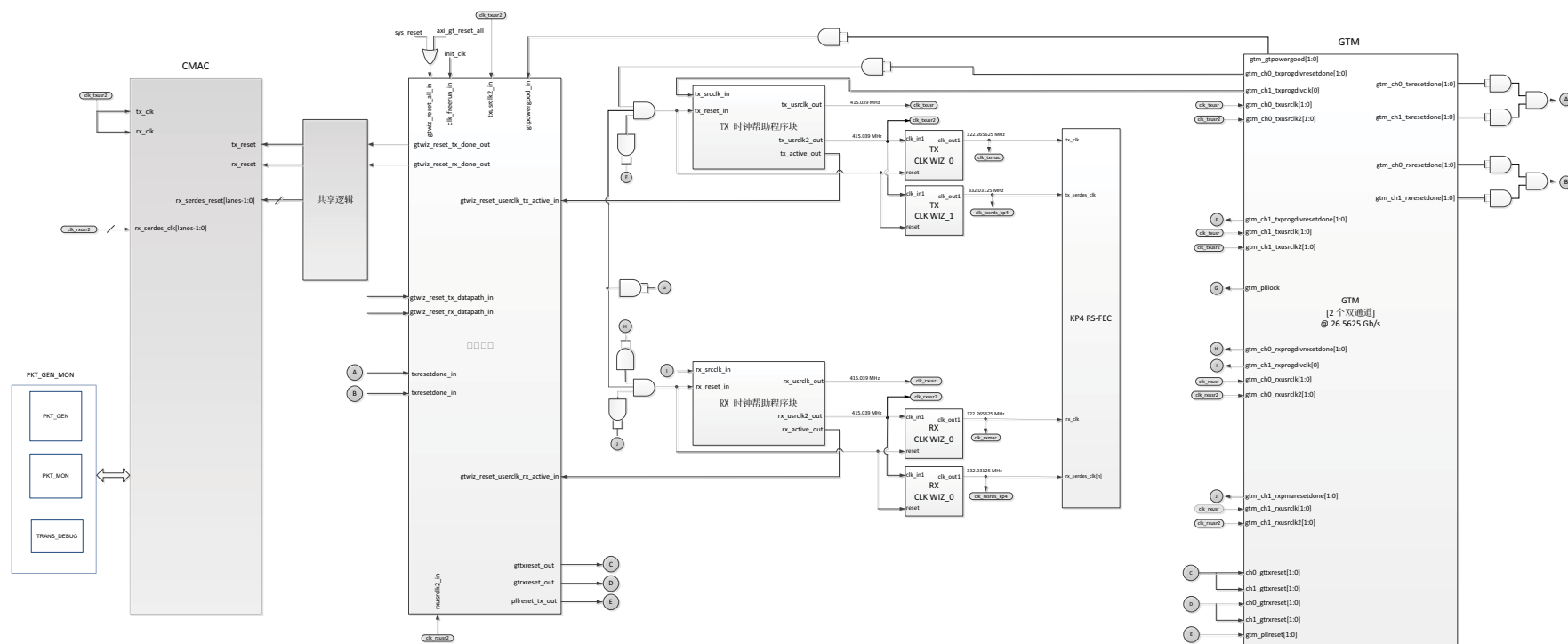


图 3-5：CMAC 时钟和复位 - 100GAUI-4 GTM 配置

表 3-1 中显示了受支持的 CMAC GTM 配置。

表 3-1：受支持的 CMAC-GTM 配置

配置	所用 GTM 预设	线速率 (Gb/s)	GTM 数据编码	GTM 数据宽度
100GAUI-2	GTM-PAM4_100GAUI_2	53.125	PAM4	160
CAUI-4	GTM-NRZ_CAUI_4	25.78125	NRZ	64
100GAUI-4	GTM-NRZ_100GAUI_4	26.5625	NRZ	64

协议描述

100G Ethernet IP 核完全遵循适用于 100G Ethernet 协议的 IEEE 802.3 规范设计。100G Ethernet IP 核可例化 CMAC 块、GTH (CAUI-10)、GTy (CAUI-10、CAUI-4 或 100GAUI-4) 或者 GTM (100GAUI-2、100GAUI-4 或 CAUI-4) 收发器和时钟资源，以实现 100G Ethernet IP 核协议。

PCS

本节旨在讲解 CMAC 块中的 PCS 通道逻辑，而非串行收发器内的 PCS。PCS 通道逻辑架构取决于发射器件在通过多个（相对）低速的物理接口发射包时所采用的数据包分发（或分割）方式。

随后，接收器件 PCS 通道逻辑负责对不同数据包不同部分进行反分割，并重构数据包，然后再将其交付给 CMAC 块。

接收器 PCS 通道逻辑也必须对来自不同物理接口的数据进行去歪斜，因为这些接口可能将不同延迟视为在整个网络内进行传输。此外，该核还负责处理接收到的所有 PCS 通道间的 PCS 通道交换，以使 100G Ethernet IP 核可供所有光传输系统使用。

PCS 通道逻辑包含扰码/解扰和 64B/66B 编码器/解码器，能够支持 100 Gb/s 线速率。表 3-2 中显示了 PCS 运行频率。

表 3-2：100G PCS 频率

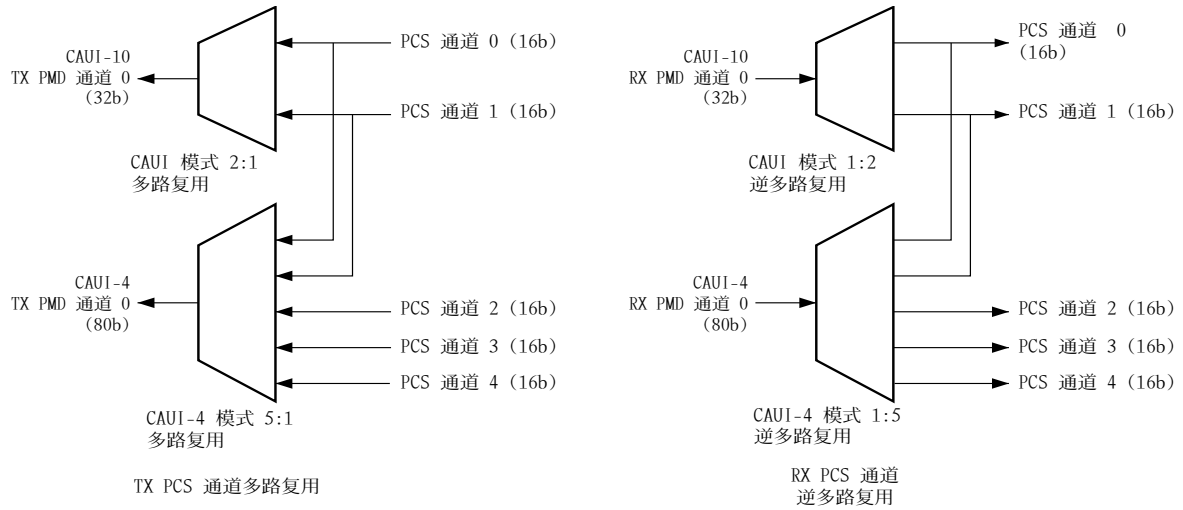
配置	GT 接口宽度	100G PCS 频率 (MHz)
100G (2 x 53.125)	160	322.266
100G (4 x 26.5625)/ 100G (4 x 25.78125)	含 GTy: 80 含 GTM: 64 ⁽¹⁾	322.266
100G (10 x 10.3125)	32	322.266

注释：

1. 含 GTM 配置的 100GAUI-4/CAUI-4 模式采用的是 GTM_NRZ 类型配置。

PCS 通道多路复用

在 CAUI-10 模式与 CAUI-4 模式之间，PCS 多路复用器块可用于将来自 SerDes 的 PMD 通道加以组合并将其分发到内部 PCS 通道逻辑。图 3-6 显示了位宽为 80 的 SerDes 接口的 RX 和 TX PCS 多路复用器块中包含的多路复用和多路分解功能。下 32 位用于 CAUI-10 模式。

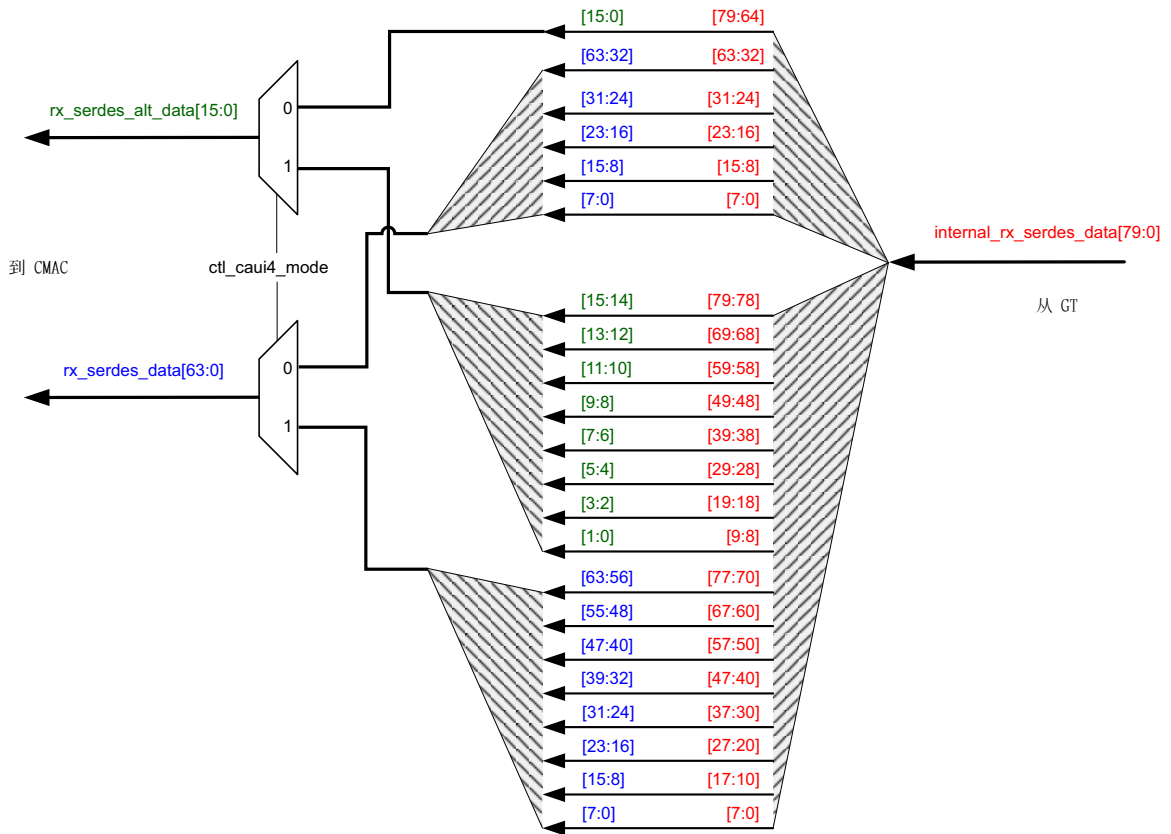


X17167-022117

图 3-6：CAUI-10 模式和 CAUI-4 模式下的 PCS 多路复用

另 3 个 80 位 SerDes 接口将复用前述模式。

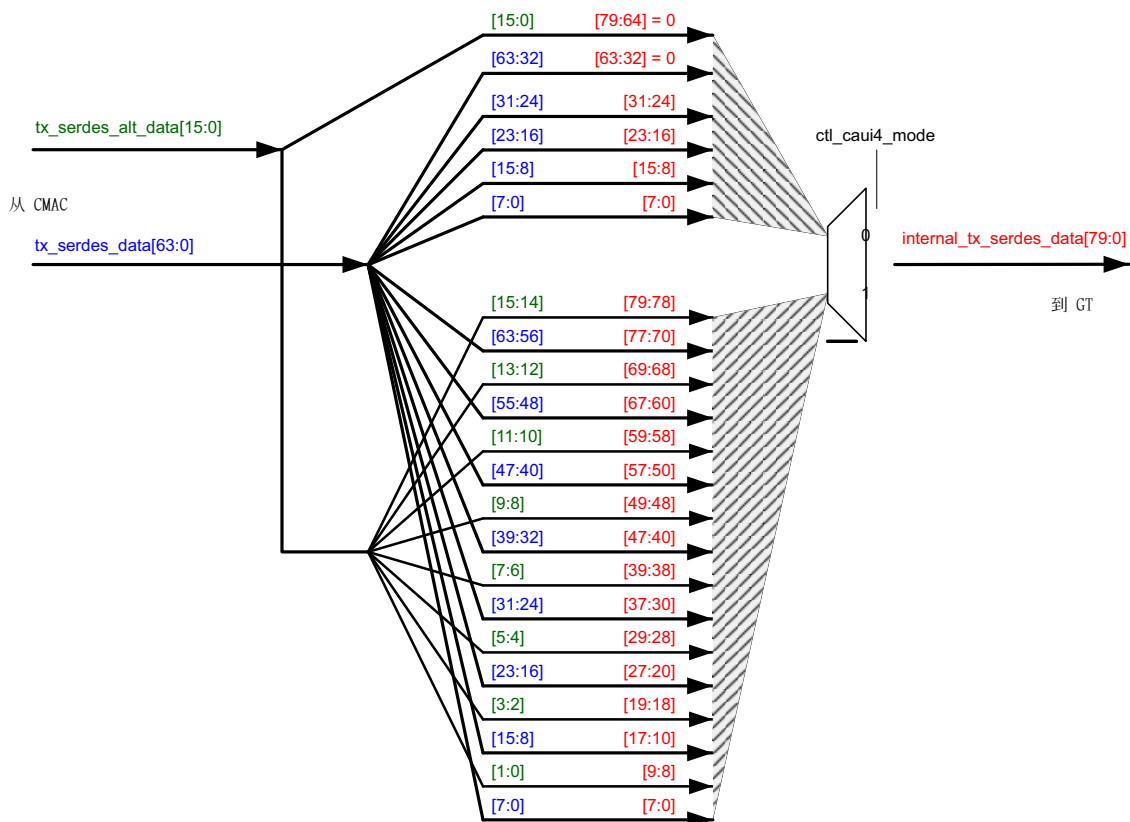
每个 80 位 SerDes 接口实际上都是由 1 个 16 位组和 1 个 64 位组组成的。图 3-7 和图 3-8 分别对应 RX 和 TX 显示了将这 2 个组映射到 80 位接口的过程。



X21413-09041E

图 3-7：RX GTY 映射

注释：由 100G Ethernet IP 核负责将 100G Ethernet IP RX SerDes 数据接口连接到 GTY 收发器 RX 数据路径以执行 CAUI-10 和 CAUI-4/100GAUI-4 操作。



X21414-090411

图 3-8：TX GTY 映射

注释：由 100G Ethernet IP 核负责将 100G Ethernet IP TX SerDes 数据接口连接到 GTY 收发器 TX 数据路径以执行 CAUI-10 和 CAUI-4/100GAUI-4 操作。

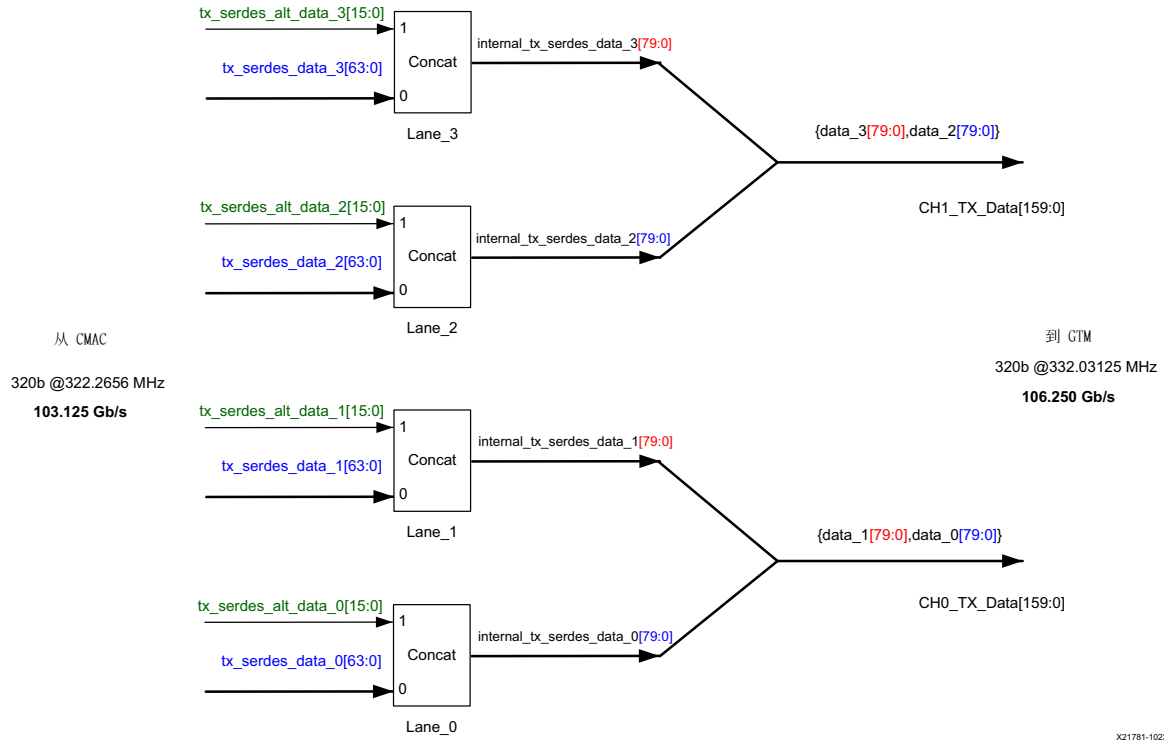


图 3-9：100GAUI-2 TX GTM 映射

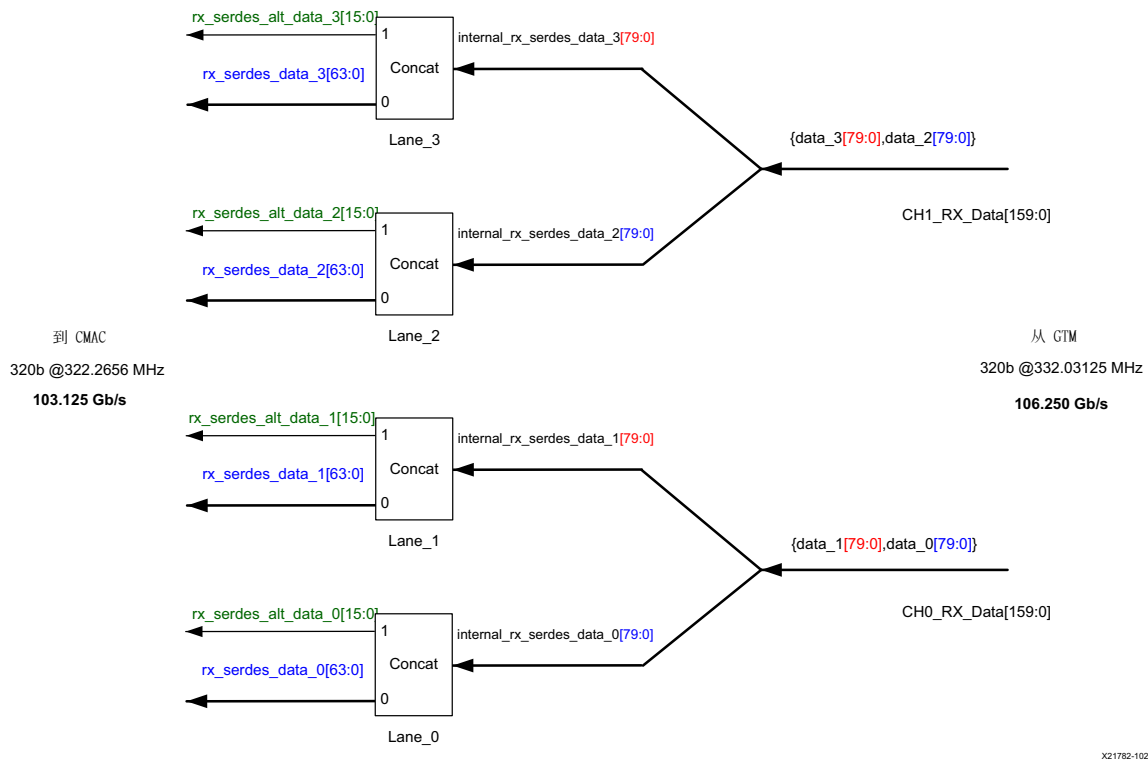
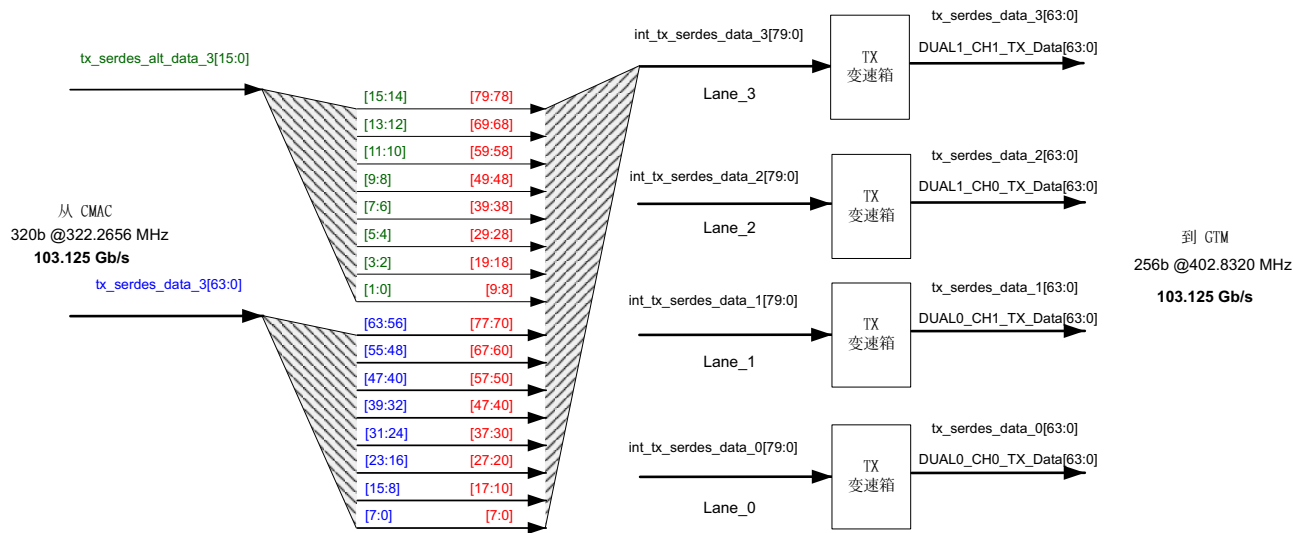
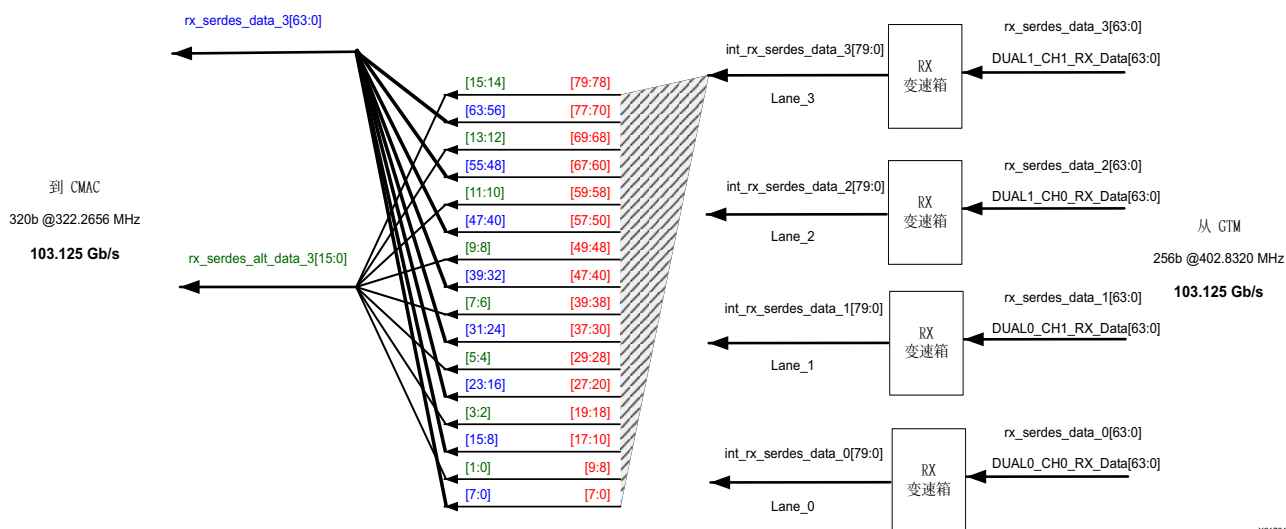


图 3-10：100GAUI-2 RX GTM 映射



X21783-03141

图 3-11: CAUI-4 TX GTM 映射

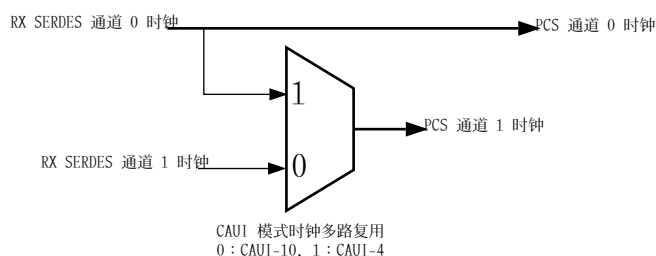


X21784-03141

图 3-12: CAUI-4 RX GTM 映射

PCS 通道时钟分布

TX 接口针对所有 SerDes 通道使用同 1 个公用时钟。但在 RX 方向中，与从 SerDes 接口到 PCS 通道的数据流分布相似，RX PCS 通道时钟同样随操作模式而变。可通过采用硬核时钟多路复用器块来更改时钟。图 3-13 通过观察 PCS 通道 0 和 1 所需的时钟多路复用来演示此时钟多路复用方法。



X23997-051820

图 3-13：RX PCS 通道 0 (Lane0) 和通道 1 (Lane1) 时钟设置

Ethernet MAC

100G Ethernet IP 核可提供多个接口来与之交互。包括：

- “用户端 LBUS 接口”（用于 RX 和 TX 数据以及 RX 和 TX 控制信号）
- “用户端 AXI4-Stream 接口”
- “暂停处理接口”
- “状态和控制接口”

用户端 LBUS 接口

UltraScale+ 器件 Integrated 100G Ethernet IP 核的用户端接口是简单的数据包接口，称为 LBUS。100G Ethernet IP 核中实现的 LBUS 接口采用 512 位分段。

此 LBUS 由下列 3 个接口组成：

- 发射器 (TX) 接口
- 接收器 (RX) 接口
- 状态/控制接口

发射器可接受包导向数据，根据 IEEE 802.3 规范封装数据，并将封装后的数据发送到串行收发器接口。发射器具有控制/配置输入，用于对数据封装进行塑形，以满足特定设计要求。

接收器可接受来自串行收发器接口的 IEEE 802.3 数据流，并向用户端提供包导向数据。

状态/控制接口用于设置接口特性，并监控其操作。

100G Ethernet IP 核采用分段式 LBUS 接口，这样当包大小并非 LBUS 宽度的倍数时，即可避免包传输结束时可能发生的带宽损失。

分段式 LBUS 是较窄的 LBUS（位宽为 128）组成的集合，在相同时钟周期内并行呈现多个传输。每个分段都具有与单个完整 128 位 LBUS 关联的所有控制信号。512 位分段式 LBUS 具有 4 个 128 位分段，并包含每个分段的信号，如表 3-3 所示。

表 3-3：分段式 LBUS 信号

段号	TX 信号	RX 信号
0	tx_datain0[127:0] tx_enain0 tx_sopin0 tx_eopin0 tx_errin0 tx_mtyin0[3:0]	rx_dataout0[127:0] rx_enaout0 rx_sopout0 rx_eopout0 rx_errout0 rx_mtyout0[3:0]
1	tx_datain1[127:0] tx_enain1 tx_sopin1 tx_eopin1 tx_errin1 tx_mtyin1[3:0]	rx_dataout1[127:0] rx_enaout1 rx_sopout1 rx_eopout1 rx_errout1 rx_mtyout1[3:0]
2	tx_datain2[127:0] tx_enain2 tx_sopin2 tx_eopin2 tx_errin2 tx_mtyin2[3:0]	rx_dataout2[127:0] rx_enaout2 rx_sopout2 rx_eopout2 rx_errout2 rx_mtyout2[3:0]
3	tx_datain3[127:0] tx_enain3 tx_sopin3 tx_eopin3 tx_errin3 tx_mtyin3[3:0]	rx_dataout3[127:0] rx_enaout3 rx_sopout3 rx_eopout3 rx_errout3 rx_mtyout3[3:0]

发射信号和接收信号定义如下：

- **tx_datain0[127:0]**：发射 LBUS 数据。此总线用于接收来自用户逻辑的输入数据。在 tx_enain 采样为 1 的每个周期内捕获该总线的值。
- **tx_enain0**：发射 LBUS 启用。此信号用于启用 TX LBUS 接口。仅在 tx_enain 采样为 1 的周期内对 LBUS 接口上的所有信号进行采样。
- **tx_sopin0**：发射 LBUS 包起始。此信号采样为 1 时用于指示包起始 (SOP) 信号，针对包的所有其它传输则采样为 0。仅在 tx_enain 采样为 1 的周期内才对此信号进行采样。
- **tx_eopin0**：发射 LBUS 包结束。此信号采样为 1 时用于指示包结束 (EOP) 信号，针对包的所有其它传输则采样为 0。仅在 tx_enain 采样为 1 的周期内才对此信号进行采样。
- **tx_errin0**：发射 LBUS 错误。此信号采样为 1 时用于指示数据包含有错误，针对包的所有其它传输则采样为 0。仅在 tx_enain 和 tx_eopin 均采样为 1 的周期内才对此信号进行采样。
- **tx_mtyin0[3:0]**：发射 LBUS 空。此总线用于指示对应当前包的最近一次传输的 tx_datain 总线中为空或无效的字节数。仅在 tx_enain 和 tx_eopin 均采样为 1 的周期内才对此总线进行采样。

当 tx_eopin 和 tx_errin 均采样为 1 时，将忽略 tx_mtyin[2:0] 的值，将其作为 000 来处理。tx_mtyin 的其它位则照常使用。

- **rx_dataout0[127:0]**：接收 LBUS 数据。该总线的值仅在 rx_enaout 采样为 1 的周期内才有效。
- **rx_enaout0**：接收 LBUS 启用。此信号用于限定 RX LBUS 接口的其它信号。RX LBUS 接口的信号仅在 rx_enaout 采样为 1 的周期内才有效。
- **rx_sopout0**：接收 LBUS 包起始。此信号采样为 1 时用于指示包起始 (SOP)，仅在 rx_enaout 采样为 1 的周期内有效。
- **rx_eopout0**：接收 LBUS 包结束。此信号采样为 1 时用于指示包结束 (EOP)，仅在 rx_enaout 采样为 1 的周期内有效。

- **rx_errout0**: 接收 LBUS 错误。此信号采样为 1 时用于指示当前接收的包存在错误。此信号仅在 **rx_enaout** 和 **rx_eopout** 均采样为 1 的周期内有效。当该信号为 0 时，表示当前接收的包不含错误。
- **rx_mtyout0[3:0]**: 接收 LBUS 空。此总线用于指示对应当前包的最近一次传输的 **rx_dataout** 总线中为空或无效的字节数。此总线仅在 **rx_enaout** 和 **rx_eopout** 均采样为 1 的周期内有效。

当 **rx_errout** 和 **rx_enaout** 均采样为 1 时，**rx_mtyout[2:0]** 的值始终为 000。**rx_mtyout** 的其它位则照常不变。

发射器可接受包导向数据。发射器具有控制/配置输入，用于对数据封装进行塑形，以满足特定设计要求。接收器可接受来自 SerDes 的以太网比特流，并向用户端分段式 LBUS 提供包导向数据。



重要提示：在以下章节中，术语“断言有效”用于表示“赋值 1”，术语“否定”用于表示“赋值 0”。

TX LBUS 接口

同步 TX 局部总线接口可接受任意长度的包导向数据。所有信号均与 **clk** 端口的上升沿保持相对同步。图 3-14 显示了对应连续 2 个数据包的数据传输事务的波形样本，这 2 个包均为 65 字节并使用 512 位分段式总线。4 个段的位宽各为 128 位。



X23415-102219

图 3-14：发射时序图

TX 传输事务

当 **tx_enain** 断言有效时，数据将在每个时钟周期内写入接口。此信号用于限定 TX 局部总线接口的其它输入。此信号在每个时钟周期内都必须有效。当断言 **tx_enain** 无效时，将忽略其它总线上的数据。

包起始是通过断言 **tx_sopin** 和 **tx_enain** 有效来识别的。包结束是通过断言 **tx_eopin** 和 **tx_enain** 有效来识别的。**tx_sopin** 和 **tx_eopin** 可在同一周期内断言有效，前提是这两者之间不存在空的段。针对小于或等于总线宽度的包执行此操作。

数据将呈现在 `tx_datain` 输入上。对于给定的分段，包的第一个字节将写入位 [127:120]，第二个字节则写入位 [119:112]，以此类推。

对于 128 位的分段，在 `tx_sopin` 和 `tx_enain` 均断言有效的周期内，数据包的前 16 个字节将呈现在总线上。后 16 字节区块将在后续周期内写入，并否定 `tx_sopin`。包的剩余字节将在 `tx_eopin` 断言有效时写入。除非 `tx_eopin` 断言有效，否则只要 `tx_enain` 断言有效，有效数据就必须呈现全部 128 位。

在包的最后一个周期内，`tx_mtyin` 信号可能断言有效。对于除最后一个周期以外的所有其它周期，`tx_mtyin` 的值都必须为 0。`tx_mtyin` 信号用于指示数据总线内无效（或为空）的字节通道数。仅在 `tx_enain` 和 `tx_eopin` 均断言有效的周期内，`tx_mtyin` 信号才有意义。对于位宽为 128 位的分段，`tx_mtyin` 位宽为 4 位。

如果 `tx_mtyin` 值为 0x0，则不存在空字节通道，换言之，数据总线的所有位均有效。如果 `tx_mtyin` 值为 0x1，则 1 字节通道为空。具体来说，`tx_datain` 的位 [7:0] 不包含有效数据。如果 `tx_mtyin` 值为 0x2，则 2 字节通道为空。具体来说，位 [15:0] 不包含有效数据。如果 `tx_mtyin` 值为 0x3，则 3 字节通道为空，具体来说，位 [23:0] 不包含有效数据。此模式将持续直至 16 个字节中的 15 个字节无效或为空为止。表 3-4 显示了 `tx_mtyin` 与空字节通道之间的关系。

表 3-4: `tx_mtyin` 值

<code>tx_mtyin</code> 值	空字节通道	<code>tx_datain</code> 的空位
0x0	无	无
0x1	1 字节	[7:0]
0x2	2 字节	[15:0]
0x3	3 字节	[23:0]
...	...	...
0x15	15 字节	[119:0]

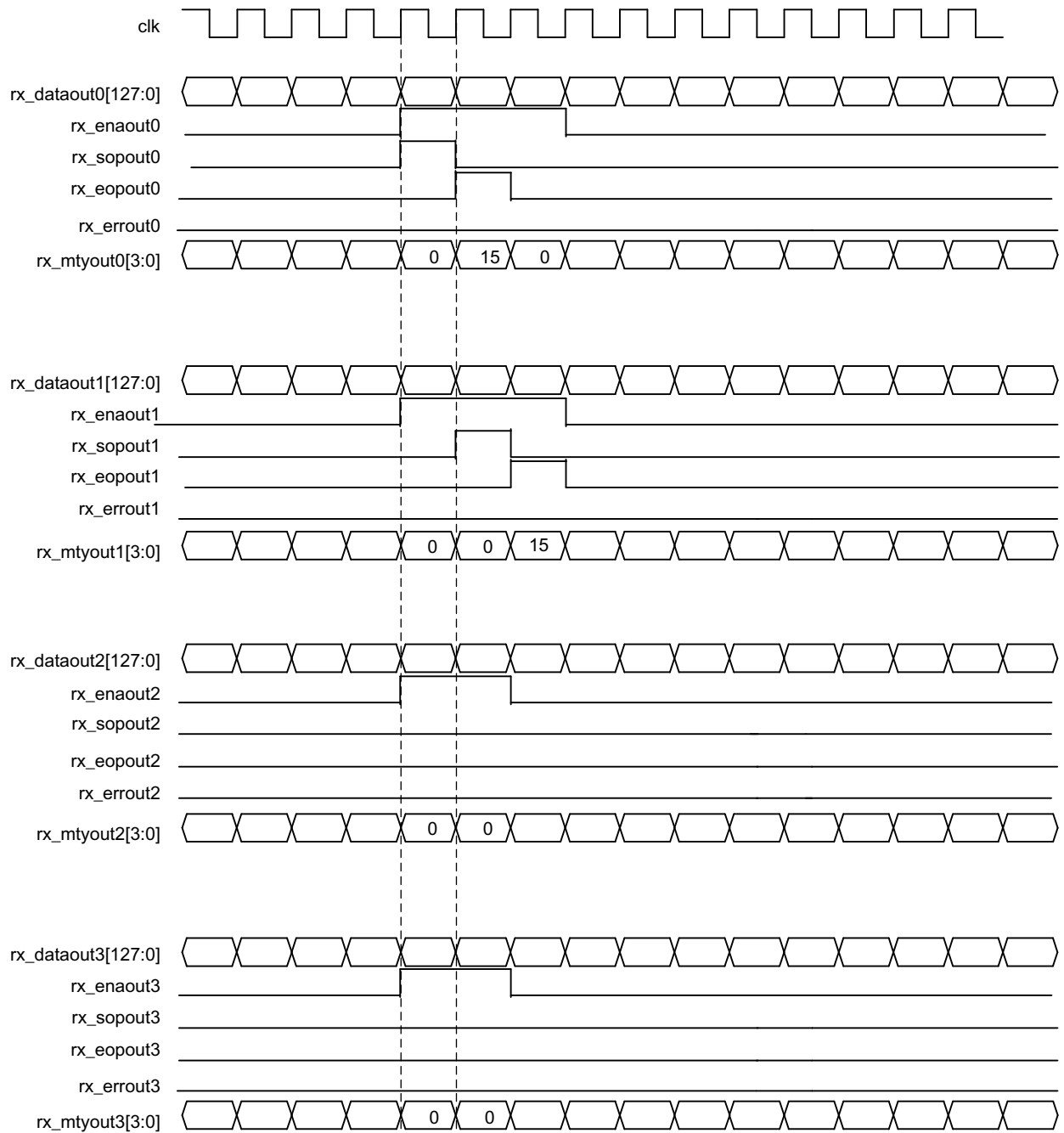
在包的最后一个周期内，当 `tx_eopin` 与 `tx_enain` 一起断言有效时，`tx_errin` 也可能断言有效。这样会导致将此包标记为错误，并将其丢弃（即，不执行发射）。当 `tx_errin` 断言有效时，将忽略 `tx_mtyin` 的值。

tx_rdyout

数据可安全写入，即，当 tx_rdyout 断言有效时，tx_enain 断言有效。否定 tx_rdyout 后，可使用 tx_enain 安全执行其它写入操作，前提是从不将 tx_ovfout 断言有效。当 tx_rdyout 再次断言有效时，即可写入其它数据。无论何时一旦发生反压机制违例，tx_ovfout 就会断言有效以指示发生违例。否定 tx_rdyout 后，除非 tx_rdyout 再次断言有效，否则最多只能安全执行 4 个写入周期。

RX LBUS 接口

与 TX 局部总线接口接受的数据相似，同步 RX 局部总线接口可提供包导向数据。所有信号均与局部总线时钟的上升沿保持相对同步。图 3-15 显示了 2 项数据传输事务的波形样本，其对应的包为 65 字节并使用 512 位分段式 LBUS。



X23416-102215

图 3-15：接收时序图

当 `rx_enaout` 断言有效时，数据由 100G Ethernet IP 核在每个 `clk` 时钟周期内提供。此信号用于限定 RX 局部总线接口的其它输出。

此 RX 与 TX 的类似之处在于 `rx_sopout` 用于标识包起始，`rx_eopout` 用于标识包结束。针对小于或等于总线宽度的包，`rx_sopout` 和 `rx_eopout` 在同一周期内断言有效。

就像 TX 一样，包的第一个字节在 `rx_dataout` 的最显著的位上提供。对于位宽为 128 位的分段，包的第一个字节将写入位 [127:120]，第二个字节则写入位 [119:112]，以此类推。

就像 TX 一样，除非 `rx_eopout` 断言有效，否则在总线上，数据包的各部分将写入该总线的完整宽度。当 `rx_eopout` 断言有效时，`rx_mtyout` 总线用于标识数据总线中无效的字节通道数。其编码与 `tx_mtyin` 的编码相同。

在包的最后一个周期内，当 `rx_eopout` 与 `rx_enaout` 一起断言有效时，`rx_errout` 也可能断言有效。这表示接收到的包含有以下某一错误：

- FCS 错误
- 长度超出有效范围（64 到 9,216 个字节）
- 接收数据包期间，收到的 64B/66B 代码错误。

RX 局部总线接口不存在反压机制。当 `rx_enaout` 断言有效时，用户逻辑必须能够接收数据。

总线规则

本节描述了管辖分段式 LBUS 协议的成功使用的规则。

分段排序

128 位分段按 0 到 3 排序（针对 512 位分段式 LBUS）。首次 128 位传输发生在分段 0 上，第二次传输发生在分段 1 上，以此类推。在通过分段式 LBUS 传输数据的每个局部总线时钟周期内，分段 0 必须处于活动状态。分段式总线将对齐，以将传入数据的第一个位置于分段 0 的 MSB 上。

活动分段

当对应 `tx_enainS` 值为 1 时，在 TX 接口上通过单一段传输数据。TX 接口用于缓存数据，但包必须整体写入，除非应用反压（请参阅“[间隔](#)”）。因此，可接受在某些时钟周期内所有 `tx_enainS` 信号在反压期间都处于不活动状态。但在 `tx_enain0` 处于活动状态的时钟周期内，分段必须按顺序填充，并且活动分段间没有间隔。以下是 `tx_enainS` 的部分非法组合：

- `tx_enain0=0`、`tx_enain1=1`、`tx_enain2=1`、`tx_enain3=1`
- `tx_enain0=1`、`tx_enain1=0`、`tx_enain2=1`、`tx_enain3=1`
- `tx_enain0=1`、`tx_enain1=1`、`tx_enain2=0`、`tx_enain3=1`

当对应 `rx_enainS` 值为 1 时，在 RX 接口上通过单一段传输数据。同样，RX 接口可缓存数据，且直至数量足够后才执行转发。因此，在某些时钟周期内所有 `rx_enainS` 信号都处于不活动状态。

TX 反压

为了最大限度充分利用带宽，TX 局部总线数据的写入速率必须大于串行接口上数据交付速率。这意味着在 TX 分段式 LBUS 上必须存在反压或流量控制。用于实现反压的信号为 `tx_rdyout` 和 `tx_ovfout`。这些信号对于所有分段都是公用的。在任一时钟周期内响应反压时，所有 `tx_enainS` 都不得处于活动状态。

间隔

分段式 LBUS 的目的是提供最大限度充分利用数据总线的方法。因此，正如“[活动分段](#)”中所述，分段必须按顺序填充，已用分段之间不得存在间隔。但如果某一段具有 EOP，则以下分段可能处于不活动状态。例如，单一时钟周期内允许以下组合：

- `tx_enain0=1 tx_eopin0=0` `tx_enain1=1 tx_eopin1=0`
`tx_enain2=1 tx_eopin2=1` `tx_enain3=0 tx_eopin3=0`
- `tx_enain0=1 tx_eopin0=0` `tx_enain1=1 tx_eopin1=1`
`tx_enain2=0 tx_eopin2=0` `tx_enain3=0 tx_eopin3=0`
- `tx_enain0=1 tx_eopin0=1` `tx_enain1=0 tx_eopin1=0`
`tx_enain2=0 tx_eopin2=0` `tx_enain3=0 tx_eopin3=0`

示例

本节包含用于演示分段式 LBUS 周期的示例，其中涵盖了 SOP（包起始）、Dat（包中间数据）、EOP（包结束）和空闲（总线上无数据）的各种组合。并且还显示了有效和无效的周期。

分段式 LBUS 假定位宽为 512 位，并且每个分段位宽均为 128 位（16 个字节）。TX 方向如图所示。RX 方向存在相似的行为，但接收分段式 LBUS 上不存在无效周期。

有效周期

表 3-5 显示了可能有效的 TX 分段式 LBUS 周期。

表 3-5：有效的 TX 分段式 LBUS 周期

时钟周期	1	2	3	4	5	6	7	8	9	10
seg0	Dat	空闲	SOP	SOP	Dat	Dat	空闲	Dat	SOP	空闲
seg1	Dat	空闲	Dat	Dat	EOP	Dat	空闲	Dat	Dat	空闲
seg2	Dat	空闲	Dat	Dat	SOP	Dat	空闲	Dat	Dat	空闲
seg3	EOP	空闲	EOP	Dat	Dat	Dat	空闲	EOP	Dat	空闲
tx_rdyout	1	1	1	1	1	1	0	1	0	0
tx_ovfout	0	0	0	0	0	0	0	0	0	0

周期 1 显示了包结束传输。如果分段 3 (EOP) 为 16 个字节，那么 tx_mtyin3 为 0。如果分段 3 小于 16 个字节，那么 tx_mtyin3 的值范围为 0001b 到 1111b。

周期 2 为空闲，不传输数据。

周期 3 显示了长度为 64 个字节的包的传输。



注意！ 根据以太网 802.3-2012 规范，小于 64 个字节的包被视为大小过小，并由 stat_tx_packet_small 信号（针对发射方向）将这些包标记为大小过小。大小过小的包可能导致核被锁定，因此必须避免。

周期 4 显示了大于 64 个字节的包的第一部分传输。

周期 5 显示了始于周期 4 的包结束的传输，以分段 1 中的 EOP 来表示。同一时钟周期内可开始传输另一个包，以分段 2 中的 SOP 来表示。EOP 与 SOP 之间不存在空闲分段。

周期 6 显示了对应于周期 5 期间开始的包的其它数据的传输。

周期 7 为空闲，即使此包尚未完全完成传输也是如此，原因是 tx_rdyout 已断言无效。这是包传输可能因空闲周期而中断的唯一实例。

周期 8 显示了周期 5 期间开始的包传输的完成过程。

在周期 9 期间，tx_rdyout 将断言无效。在此周期内仍可写入数据，因为这是此信号断言无效的首个周期。



重要提示： 赛灵思建议在后续周期内不再写入其它数据，直至 tx_rdyout 再次断言有效为止，否则可能出现上溢状况（以 tx_ovfout 来表示）。必须避免出现此状况。

周期 10 为空闲，原因是 tx_rdyout 继续断言无效。

无效周期

表 3-6 显示了多种无效的 TX 分段式 LBUS 周期（以阴影表示）。

表 3-6：无效的分段式 LBUS 周期

时钟周期	1	2	3	4	5	6	7	8	9	10	--	14	15
seg0	SOP	空闲	Sop	Dat	Dat	SOP	空闲	Dat	SOP	SOP	--	Dat	Dat
seg1	Dat	空闲	Dat	Dat	Dat	Dat	空闲	Dat	Dat	Dat		Dat	Dat
seg2	Dat	空闲	EOP	Dat	Dat	Dat	空闲	Dat	空闲	Dat		Dat	Dat
seg3	EOP	空闲	SOP	Dat	Dat	Dat	空闲	EOP	EOP	Dat		Dat	Dat
tx_rdyout	1	1	1	1	1	1	1	1	1	0		0	0
tx_ovfout	0	0	0	0	0	0	0	0	0	0		0	1

周期 3 无效，因为它包含 2 个 SOP。

周期 5 不含 EOP，即使下一个周期内存在 SOP 也是如此。

周期 6 包含 SOP，即使前一个包未以 EOP 结束也是如此。LBUS 规则不允许此序列，它会导致出现未定义的行为。

周期 7 为空闲，即使 tx_rdyout 断言有效并且已在执行包传输也是如此。这可能导致缓存欠载。如果发生此状况，则以太网包无法在不发生中断的情况下完成整体发送，并且会发生 FCS 计算错误。

周期 9 在包传输期间包含空闲分段，LBUS 规则不允许出现此状况。

周期 14 不建议采用，因为即使 tx_rdyout 已连续 5 个周期断言无效，但仍在执行数据传输。

周期 15 不得执行，因为 tx_ovfout 已断言无效。如果 tx_ovfout 断言有效，则 100G Ethernet IP 核应复位。

用户端 AXI4-Stream 接口

对于 AXI4-Stream 接口，位于 TX 路径中的 AXIS 到 LBUS 转换器与位于 RX 路径中的 LBUS 到 AXIS 转换器将整合在一起。这些模块用于将 LBUS 接口的 4 个 128 位数据分段转换为单一 512 位 AXI4-Stream 数据以供用户端接口使用。

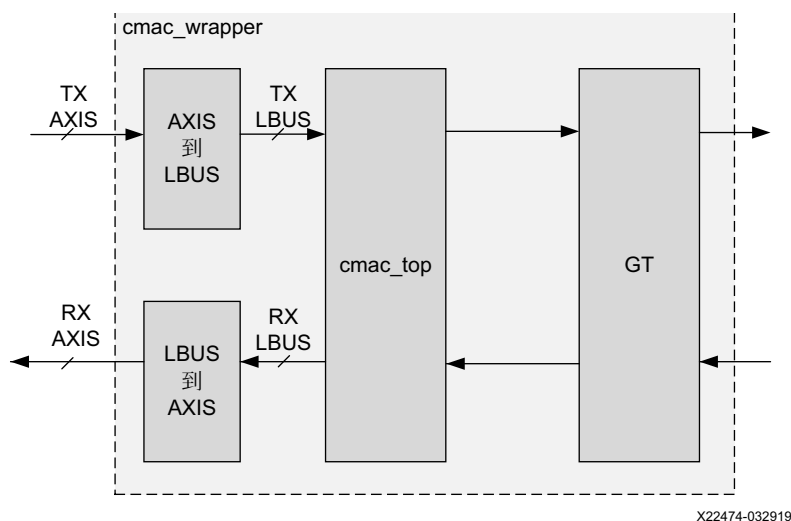


图 3-16：LBUS 到 AXI4-Stream 核

暂停处理接口

专用 100G Ethernet IP 核提供了一整套暂停包终止和生成机制。TX 和 RX 具有独立接口用于处理暂停信息，如本节中所述。

TX 暂停生成

您可使用 CTL_TX_PAUSE_REQ[8:0] 和 CTL_TX_PAUSE_ENABLE[8:0] 输入总线请求发射暂停包。位 8 对应于全局暂停包，位 [7:0] 对应于优先暂停包。

此总线的每个位都必须保持稳定状态达至少 16 个周期，随后才能执行下一次转换。



重要提示：100G Ethernet IP 核不支持全局暂停包和优先暂停包同时断言有效。

暂停包的内容可使用下列属性来确定。

全局暂停包：

- CTL_TX_DA_GPP[47:0]
- CTL_TX_SA_GPP[47:0]
- CTL_TX_ETHERTYPE_GPP[15:0]
- CTL_TX_OPCODE_GPP[15:0]
- CTL_TX_PAUSE_QUANTA8[15:0]

优先暂停包：

- CTL_TX_DA_PPP[47:0]
- CTL_TX_SA_PPP[47:0]
- CTL_TX_ETHERTYPE_PPP[15:0]
- CTL_TX_OPCODE_PPP[15:0]
- CTL_TX_PAUSE_QUANTA0[15:0]
- CTL_TX_PAUSE_QUANTA1[15:0]
- CTL_TX_PAUSE_QUANTA2[15:0]
- CTL_TX_PAUSE_QUANTA3[15:0]
- CTL_TX_PAUSE_QUANTA4[15:0]
- CTL_TX_PAUSE_QUANTA5[15:0]
- CTL_TX_PAUSE_QUANTA6[15:0]
- CTL_TX_PAUSE_QUANTA7[15:0]

专用 100G Ethernet IP 核会自动计算 FCS 并将其添加到包中。对于优先暂停包，专用 100G Ethernet IP 核还会根据请求的优先级来自动生成启用矢量。

要请求暂停包，必须将 CTL_TX_PAUSE_REQ[8:0] 和 CTL_TX_PAUSE_ENABLE[8:0] 总线的对应位设置为 1，并在暂停请求期间使其保持为 1 不变（即，如果这些输入设置为 0，则取消所有挂起的暂停包）。

专用 100G Ethernet IP 核将在当前进行中的包完成后立即发射暂停包。此总线的每个位都必须保持稳定状态达至少 16 个周期，随后才能执行下一次转换。

为重新发射暂停包，专用 100G Ethernet IP 核包含总计 9 个独立定时器：对应每个优先暂停包 1 个定时器，对应全局暂停包 1 个定时器。这些定时器将加载对应输入总线的值。发射暂停包后，对应定时器将加载

CTL_TX_PAUSE_REFRESH_TIMERn[15:0] 输入总线的值（n 的范围为 0 到 8）。当定时器超时后，一旦当前进行中

的包完成后就会立即发射对应该优先级的另一个包（或全局包）。此外，您可将定时器手动强制设为 0，因此，可针对某一时钟周期将 CTL_TX_RESEND_PAUSE 输入强制设置为 1 来强制重新发射。

为了减少暂停包执行优先模式操作的次数，只要任一定时器超时，该暂停包对应的定时器就会被视为“已超时”。此外，等待当前进行中的包完成的过程中，只要任何新定时器发生超时，或者收到来自用户的任何新请求，都将合并为单一暂停帧。例如，如有 2 个定时器正在倒计时，并且您针对第 3 个优先暂停包发送请求，则前 2 个定时器将被强制超时，并且发射当前进行中的包（如有）后就会立即发送一个对应全部 3 个优先级的暂停包。

同样，如果前 2 个定时器中的任何一个定时器超时且未收到其它用户请求，则这 2 个定时器都会被强制超时，并且发射当前进行中的包（如有）后就会立即发送一个对应这 2 个优先级的暂停包。

您可通过将 CTL_TX_PAUSE_REQ[8:0] 或 CTL_TX_PAUSE_ENABLE[8:0] 的相应位设置为 0 来停止生成暂停包。

RX 暂停终止

专用 100G Ethernet IP 核可终止全局暂停帧和优先暂停帧，并提供了一个简单的握手接口以允许用户响应暂停包。

暂停包判定

暂停包判定分 3 个步骤：

1. 执行检查，确认包属于全局控制包还是优先控制包。仅当 CTL_RX_FORWARD_CONTROL 设为 1 时才会将通过步骤 1 的包转发给您。
2. 如果通过步骤 1，则会检查该包以判定它是否属于全局暂停包。
3. 如果未通过步骤 2，则会检查该包以判定它是否属于优先暂停包。

对于步骤 1，以下伪代码显示了检查功能：

```
assign da_match_gcp = (!ctl_rx_check_mcast_gcp && !ctl_rx_check_ucast_gcp) || ((DA ==
ctl_rx_pause_da_ucast) && ctl_rx_check_ucast_gcp) || ((DA == 48'h0180c2000001) &&
ctl_rx_check_mcast_gcp);

assign sa_match_gcp = !ctl_rx_check_sa_gcp || (SA == ctl_rx_pause_sa);

assign etype_match_gcp = !ctl_rx_check_etype_gcp || (ETYPE == ctl_rx_etype_gcp);

assign opcode_match_gcp = !ctl_rx_check_opcode_gcp || ((OPCODE >=
ctl_rx_opcode_min_gcp) && (OPCODE <= ctl_rx_opcode_max_gcp));

assign global_control_packet = da_match_gcp && sa_match_gcp && etype_match_gcp &&
opcode_match_gcp && ctl_rx_enable_gcp;

assign da_match_pcp = (!ctl_rx_check_mcast_pcp && !ctl_rx_check_ucast_pcp) || ((DA ==
ctl_rx_pause_da_ucast) && ctl_rx_check_ucast_pcp) || ((DA ==
ctl_rx_pause_da_mcast) && ctl_rx_check_mcast_pcp);

assign sa_match_pcp = !ctl_rx_check_sa_pcp || (SA == ctl_rx_pause_sa);

assign etype_match_pcp = !ctl_rx_check_etype_pcp || (ETYPE == ctl_rx_etype_pcp);

assign opcode_match_pcp = !ctl_rx_check_opcode_pcp || ((OPCODE >=
ctl_rx_opcode_min_pcp) && (OPCODE <= ctl_rx_opcode_max_pcp));

assign priority_control_packet = da_match_pcp && sa_match_pcp && etype_match_pcp &&
opcode_match_pcp && ctl_rx_enable_pcp;

assign control_packet = global_control_packet || priority_control_packet;
```


其中 DA 表示目标地址，SA 表示源地址，OPCODE 为 opcode，而 ETYPE 则是从传入的包提取的 ethertype/length 字段。

对于步骤 2，以下伪代码显示了检查功能：

```
assign da_match_gpp = (!ctl_rx_check_mcast_gpp && !ctl_rx_check_ucast_gpp) || ((DA
== ctl_rx_pause_da_ucast) && ctl_rx_check_ucast_gpp) || ((DA == 48'h0180c2000001) &&
ctl_rx_check_mcast_gpp);

assign sa_match_gpp = !ctl_rx_check_sa_gpp || (SA == ctl_rx_pause_sa);

assign etype_match_gpp = !ctl_rx_check_etype_gpp || (ETYPE == ctl_rx_etype_gpp);

assign opcode_match_gpp = !ctl_rx_check_opcode_gpp || (OPCODE == ctl_rx_opcode_gpp);

assign global_pause_packet = da_match_gpp && sa_match_gpp && etype_match_gpp &&
opcode_match_gpp && ctl_rx_enable_gpp;
```

其中 DA 表示目标地址，SA 表示源地址，OPCODE 为 opcode，而 ETYPE 则是从传入的包提取的 ethertype/length 字段。

对于步骤 3，以下伪代码显示了检查功能：

```
assign da_match_ppp = (!ctl_rx_check_mcast_ppp && !ctl_rx_check_ucast_ppp) || ((DA
== ctl_rx_pause_da_ucast) && ctl_rx_check_ucast_ppp) || ((DA ==
ctl_rx_pause_da_mcast) && ctl_rx_check_mcast_ppp);

assign sa_match_ppp = !ctl_rx_check_sa_ppp || (SA == ctl_rx_pause_sa);

assign etype_match_ppp = !ctl_rx_check_etype_ppp || (ETYPE == ctl_rx_etype_ppp);

assign opcode_match_ppp = !ctl_rx_check_opcode_ppp || (OPCODE == ctl_rx_opcode_ppp);

assign priority_pause_packet = da_match_ppp && sa_match_ppp && etype_match_ppp &&
opcode_match_ppp && ctl_rx_enable_ppp;
```

其中 DA 表示目标地址，SA 表示源地址，OPCODE 为操作代码 (opcode)，而 ETYPE 则是从传入的包提取的“以太类型/长度 (ethertype/length)”字段。

用户接口

简单的握手协议将使用 CTL_RX_PAUSE_ENABLE[8:0]、STAT_RX_PAUSE_REQ[8:0] 和 CTL_RX_PAUSE_ACK[8:0] 总线来告知您已接收到暂停包。对于这些总线，位 [8] 对应于全局暂停包，位 [7:0] 对应于优先暂停包。

收到暂停包时，会发生以下步骤：

1. 如果 CTL_RX_PAUSE_ENABLE[8:0] 的对应位为 0，那么将忽略暂停量并且专用 100G Ethernet IP 核保持处于步骤 1 不变。否则，STAT_RX_PAUSE_REQ[8:0] 总线的对应位将设置为 1，并且接收到的暂停量将加载到定时器中。
 注释：如果当暂停处理处于步骤 2 或后续阶段时 CTL_RX_PAUSE_ENABLE[8:0] 的任一位设置为 0（即禁用），专用 100G Ethernet IP 核会照常完成这些步骤，然后返回步骤 1。
2. 如果 CTL_RX_CHECK_ACK 输入为 1，那么专用 100G Ethernet IP 核会等待您将 CTL_RX_PAUSE_ACK[8:0] 总线的相应位设置为 1。
3. 当您 CTL_RX_PAUSE_ACK[8:0] 的适当位设置为 1 之后或者如果 CTL_RX_CHECK_ACK 为 0，那么专用 100G Ethernet IP 核会开始对定时器进行倒计时。
4. 当定时器超时，专用 100G Ethernet 会将 STAT_RX_PAUSE_REQ[8:0] 的相应位重新设置为 0。
5. 如果 CTL_RX_CHECK_ACK 输入为 1，则当您 CTL_RX_PAUSE_ACK[8:0] 的相应位重新设为 0 时，此操作即告完成。

如果您不将 CTL_RX_PAUSE_ACK[8:0] 的相应位重新设为 0，那么专用 100G Ethernet IP 核会在 32 个时钟周期后将此操作视为完成。

图 3-17 中演示了前述步骤，每个步骤均显示在波形上。

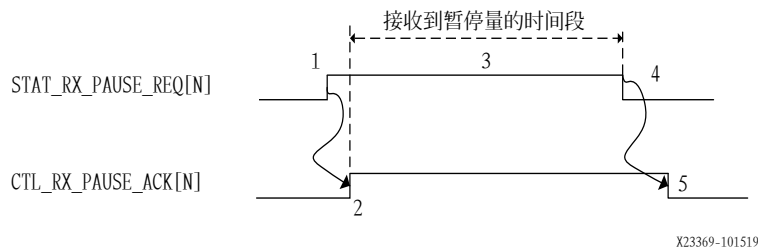


图 3-17：RX 暂停接口示例

如果步骤 2 到 5 期间任意时间收到新的暂停包，那么定时器将加载新获取的暂停量值，并且此进程继续运行。

状态和控制接口

状态/控制接口支持您设置 100G Ethernet IP 核配置并监控该核的状态。以下小节对各状态信号和控制信号进行了描述。

RX 和 TX

802.3-2012 标准定义了 PCS 通道标记值，如表 3-7 中所示。

表 3-7：PCS 通道标记值

PCS 通道标记属性	值
CTL_RX_VL_MARKER_ID[0][63:0] CTL_TX_VL_MARKER_ID[0][63:0]	64'hc1_68_21_00_3e_97_de_00
CTL_RX_VL_MARKER_ID[1][63:0] CTL_TX_VL_MARKER_ID[1][63:0]	64'h9d_71_8e_00_62_8e_71_00
CTL_RX_VL_MARKER_ID[2][63:0] CTL_TX_VL_MARKER_ID[2][63:0]	64'h59_4b_e8_00_a6_b4_17_00

表 3-7：PCS 通道标记值（续）

PCS 通道标记属性	值
CTL_RX_VL_MARKER_ID[3][63:0] CTL_TX_VL_MARKER_ID[3][63:0]	64'h4d_95_7b_00_b2_6a_84_00
CTL_RX_VL_MARKER_ID[4][63:0] CTL_TX_VL_MARKER_ID[4][63:0]	64'hf5_07_09_00_0a_f8_f6_00
CTL_RX_VL_MARKER_ID[5][63:0] CTL_TX_VL_MARKER_ID[5][63:0]	64'hdd_14_c2_00_22_eb_3d_00
CTL_RX_VL_MARKER_ID[6][63:0] CTL_TX_VL_MARKER_ID[6][63:0]	64'h9a_4a_26_00_65_b5_d9_00
CTL_RX_VL_MARKER_ID[7][63:0] CTL_TX_VL_MARKER_ID[7][63:0]	64'h7b_45_66_00_84_ba_99_00
CTL_RX_VL_MARKER_ID[8][63:0] CTL_TX_VL_MARKER_ID[8][63:0]	64'ha0_24_76_00_5f_db_89_00
CTL_RX_VL_MARKER_ID[9][63:0] CTL_TX_VL_MARKER_ID[9][63:0]	64'h68_c9_fb_00_97_36_04_00
CTL_RX_VL_MARKER_ID[10][63:0] CTL_TX_VL_MARKER_ID[10][63:0]	64'hfd_6c_99_00_02_93_66_00
CTL_RX_VL_MARKER_ID[11][63:0] CTL_TX_VL_MARKER_ID[11][63:0]	64'hb9_91_55_00_46_6e_aa_00
CTL_RX_VL_MARKER_ID[12][63:0] CTL_TX_VL_MARKER_ID[12][63:0]	64'h5c_b9_b2_00_a3_46_4d_00
CTL_RX_VL_MARKER_ID[13][63:0] CTL_TX_VL_MARKER_ID[13][63:0]	64'h1a_f8_bd_00_e5_07_42_00
CTL_RX_VL_MARKER_ID[14][63:0] CTL_TX_VL_MARKER_ID[14][63:0]	64'h83_c7_ca_00_7c_38_35_00
CTL_RX_VL_MARKER_ID[15][63:0] CTL_TX_VL_MARKER_ID[15][63:0]	64'h35_36_cd_00_ca_c9_32_00
CTL_RX_VL_MARKER_ID[16][63:0] CTL_TX_VL_MARKER_ID[16][63:0]	64'hc4_31_4c_00_3b_ce_b3_00
CTL_RX_VL_MARKER_ID[17][63:0] CTL_TX_VL_MARKER_ID[17][63:0]	64'had_d6_b7_00_52_29_48_00
CTL_RX_VL_MARKER_ID[18][63:0] CTL_TX_VL_MARKER_ID[18][63:0]	64'h5f_66_2a_00_a0_99_d5_00
CTL_RX_VL_MARKER_ID[19][63:0] CTL_TX_VL_MARKER_ID[19][63:0]	64'hc0_f0_e5_00_3f_0f_1a_00

RX PCS 通道对齐状态

100G Ethernet IP 核可提供状态位以指示字边界同步和 PCS 通道对齐的状态。所有信号均与 RX_CLK 的上升沿同步。以下是每个信号的详细描述。

STAT_RX_SYNCED[19:0]

当该总线的某个位为 0 时，表示对应通道的字边界同步未完成，或者发生了错误（由另一个状态位来标识）。

当该总线的某个位为 1 时，表示对应通道的字边界同步已完成，并且正在接收期望的 PCS 通道标记字。

STAT_RX_SYNCED_ERR[19:0]

当该总线的某个位为 1 时，表示对应通道上发生故障，可能发生的故障如下：

- 无法使用成帧位 [65:64] 完成通道中的字边界同步。
- 通道中达成字边界同步后，在成帧位 [65:64] 上检测到错误。
- 通道中达成字边界同步后，从未收到有效的 PCS 通道标记字。

总线的位保持处于断言有效状态直至执行字边界同步为止或者直至对应通道发出某些其它错误/故障信号为止。

STAT_RX_MF_LEN_ERR[19:0]

当该总线的某个位为 1 时，表示正在接收 PCS 通道标记字，但接收速度与对应通道预期不符。发射器和接收器必须以相同“元帧 (Meta Frame)”长度重新进行配置。

总线的位保持处于断言有效状态直至执行字边界同步为止或者直至对应通道发出某些其它错误/故障信号为止。

STAT_RX_MF_REPEAT_ERR[19:0]

在某个通道内达成字边界同步后，如果该总线的某个位为 1，则表示在对应通道内已检测到 4 个连续无效的 PCS 通道标记字。

总线的位保持处于断言有效状态直至执行重新同步为止，或者直至对应通道发出某些其它错误/故障信号为止。

STAT_RX_MF_ERR[19:0]

当该总线的某个位为 1 时，表示在对应通道上已收到无效的 PCS 通道标记字。仅当达成字边界同步后，此位才能断言有效。每次检测到 1 个无效元包同步字，就会断言此输出有效并保持 1 个时钟周期。

STAT_RX_ALIGNED

当 STAT_RX_ALIGNED 值为 1 时，表示全部通道都已对齐/去歪斜，并且接收器已准备好接收包数据。

STAT_RX_ALIGNED_ERR

当 STAT_RX_ALIGNED_ERR 值为 1 时，将发生以下 2 种情况之一。通道对齐经多次尝试后失败，或者通道对齐已丢失 (STAT_RX_ALIGNED 已断言有效，随后被否定)。

STAT_RX_MISALIGNED

当 STAT_RX_MISALIGNED 值为 1 时，表示未能在所有 PCS 通道上同时接收到有效的 PCS 通道标记字。每次检测到此错误状况时，就会断言此输出有效并保持 1 个时钟周期。

STAT_RX_FRAMING_ERR_[0-19][1:0] and STAT_RX_FRAMING_ERR_VALID_[0-19]

这组总线旨在用于保留同步报头错误记录。每个 PCS 通道都有一对输出。STAT_RX_FRAMING_ERR_[0-19] 输出总线用于指示已接收到的同步报头错误数量，当对应 STAT_RX_FRAMING_ERR_VALID_[0-19] 采样为 1 时，此输出总线合格（即，仅限在此情况下其值才有效）。

STAT_RX_PCSL_NUMBER_[0-19][4:0]

每个总线所指示的特定 PCS 通道的状态将反映在特定状态管脚上。例如，STAT_RX_PCSL_NUMBER_0 所指示的 PCS 通道的状态将反映在其它状态信号的管脚 0 上。这些总线可用于检测是否尚未找到 PCS 通道或者是否某一 PCS 通道已映射到多个状态管脚。

在 CAUI-10 模式下：

- 物理通道 0 和 1 映射到 GT0；
- 物理通道 2 和 3 映射到 GT1；
- 物理通道 4 和 5 对应于 GT2，以此类推。

在 CAUI-4 模式下：

- 物理通道 0、1、2、3 和 4 映射到 GT0；
- 物理通道 5、6、7、8 和 9 映射到 GT1；
- 物理通道 10、11、12、13 和 14 映射到 GT2，且
- 物理通道 15、16、17、18 和 19 映射到 GT3。

STAT_RX_PCSL_DEMUXED[19:0]

在每个通道上都达成字边界同步后，如果该总线的位为 1，则表示已正确查找到对应 PCS 通道，并且已对其正确完成逆多路复用。

STAT_RX_BLOCK_LOCK[19:0]

每个位都用于指示对应 PCS 通道已达成 802.3-2012 所定义的同步报头锁定。值为 1 表示已达成块锁定。

STAT_RX_STATUS

当 STAT_RX_ALIGNED 为 1 且 STAT_RX_HI_BER 为 0 时，此输出设置为 1。此设置由 802.3-2012 的定义。

STAT_RX_LOCAL_FAULT

当断言 STAT_RX_INTERNAL_LOCAL_FAULT 或 STAT_RX_RECEIVED_LOCAL_FAULT 有效时，此输出为高电平 (High)。此输出对电平敏感。

RX 错误状态

100G Ethernet IP 核可提供状态信号以识别 64 位/66 位数据字和序列违例以及 CRC32 校验故障。所有信号都与 CLK 上升沿同步。以下是每个信号的详细描述。

STAT_RX_BAD_FCS[2:0]

当此信号值为 1 时，表示错误检测逻辑已在接收到的包中发现接收的值与期望的值不匹配。

当检测到 CRC32 错误时，接收到的包将被标记为包含错误，并随在上一次传输（即断言 RX_EOP_OUT 有效的周期）期间断言有效的 RX_ERR_OUT 一起发送，但断言 CTL_RX_IGNORE_FCS 有效的情况下除外。每次检测到 CRC32 错误时，都将断言此信号有效并保持 1 个时钟周期。

STAT_RX_BAD_CODE[2:0]

此信号用于指示 RX PCS 接收状态机处于 802.3-2012 规范所定义的 RX_E 状态的周期数。

1588v2 时间戳

100G Ethernet IP 核的集成块支持 1588v2 时间戳。它将提供所有必要的信号以允许外部软核逻辑对 IP 所捕获的时间戳进行精确的纠正。该核通过入口和出口时间戳捕获来支持单步或双步 1588v2 时钟。

根据 IEEE 1588v2 标准，存在多种 PTP 消息封装 [参照 1]。对于双步时钟，只要设计包含特定于 PTP（软件）的实现，100G Ethernet IP 核即可执行所有类型的封装。

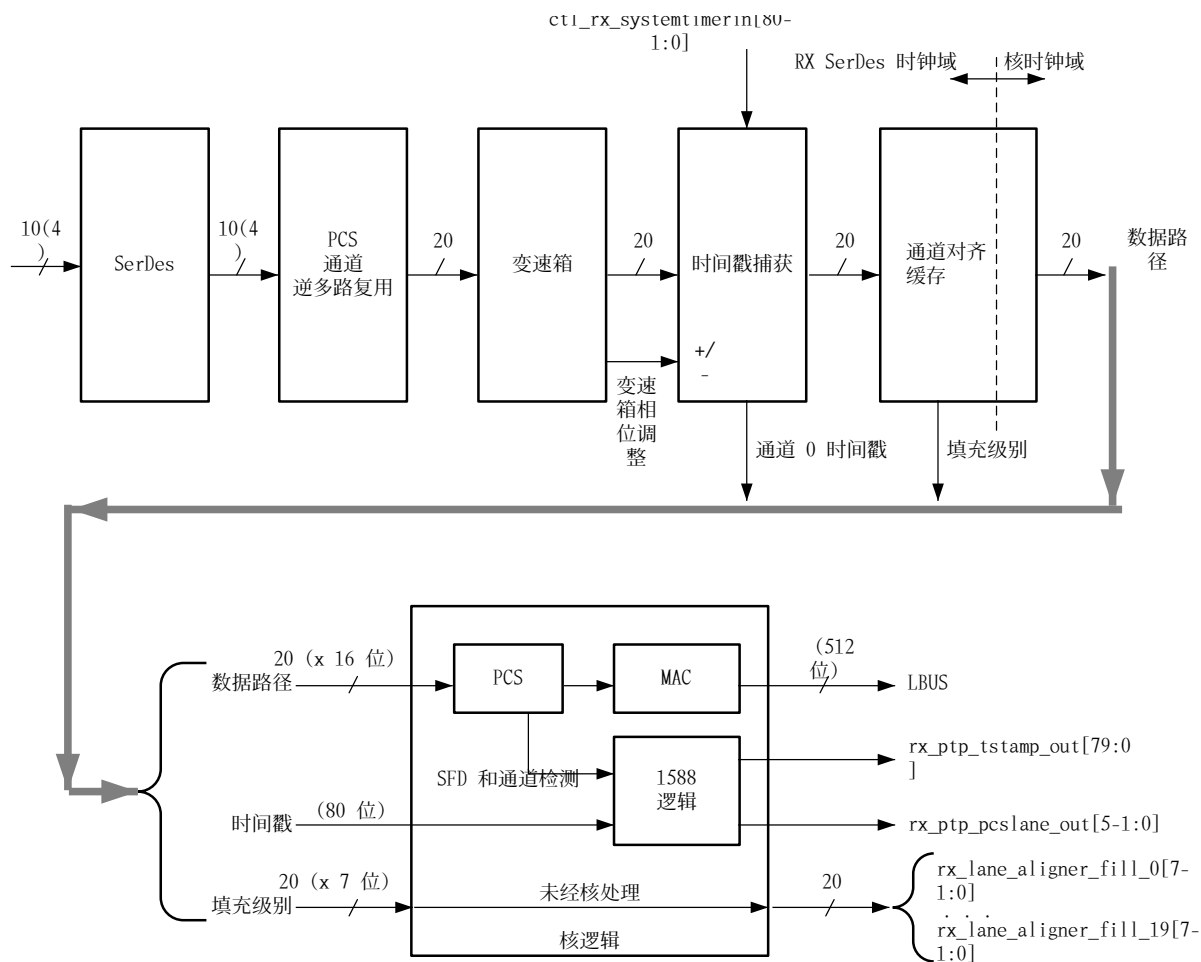
此外，还将提供输入以用作消息中的时间戳偏移值，并供 RX 路径时间戳用于字段调整。在表 2-2 中提供了有关命令字段的功能的进一步详情。

接收时间戳功能

入口逻辑不会通过解析入口数据包来搜索 1588 (PTP) 帧。而是改为提取接收到的每个帧的时间戳，并将该值输出到用户逻辑。该功能始终启用，但如果无需此功能，则可忽略时间戳输出。

请参阅表 2-2，以获取与 RX 时间戳功能相关的信号的详细描述。

为补偿通道偏差，将提供每个 PCS 通道的对齐缓存填充级别作为输出。图 3-18 中显示了 RX 时间戳功能。



X23417-102219

图 3-18: RX 时间戳

在图 3-18 中，针对变速箱平面中存在的通道 0 的每个字都将捕获时间戳。捕获逻辑会考量每隔 33 个周期发生的变速箱死循环。



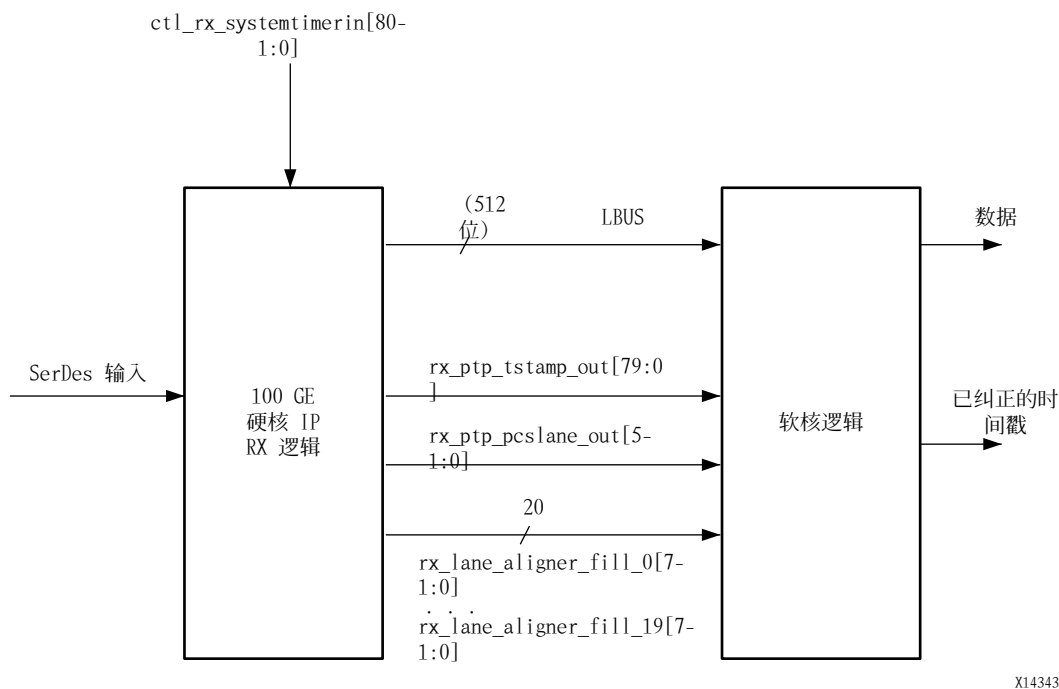
重要提示： RX 系统定时器输入必须位于 RX SerDes 时钟域的通道 0 中。

先过滤 PCS 解码器，然后再过滤时间戳，这样即可仅保留对应于 SOP 的时间戳。PCS 还可识别发生 SOP 的 PCS 通道。

通道对齐填充缓存将一并传输到用户接口输出。这些填充级别的平均值不应随时间而改变。平均值应达到所需的精确度，以消除时钟周期抖动。对齐填充值可反映每个通道内存在的静态偏差。

stat_rx_pcs_l_number_0[4:0] 信号到 stat_rx_pcs_l_number_19[4:0] 信号可用于将每个 PCS 通道关联到 1 个物理通道。

软核逻辑可通过加减所选通道的相对填充级别来提升时间戳精确度，并补偿通道对齐 FIFO 填充级别。参考填充级别是通过 stat_rx_pcs_l_number_* 将 rx_ptp_pcs_lane_out 所承载的 PCS 通道编号转换为 PMD 通道编号之后，RX 通道对齐器的平均填充级别。图 3-19 中显示了 100G Ethernet IP 核与软核逻辑之间的关系。



X14343

图 3-19：软核逻辑

纠正后的时间戳计算方式为：

- $\text{rx_ptp_timestamp_out} + (\text{参考填充级别} - \text{rx_lane_aligner_fill_0})$

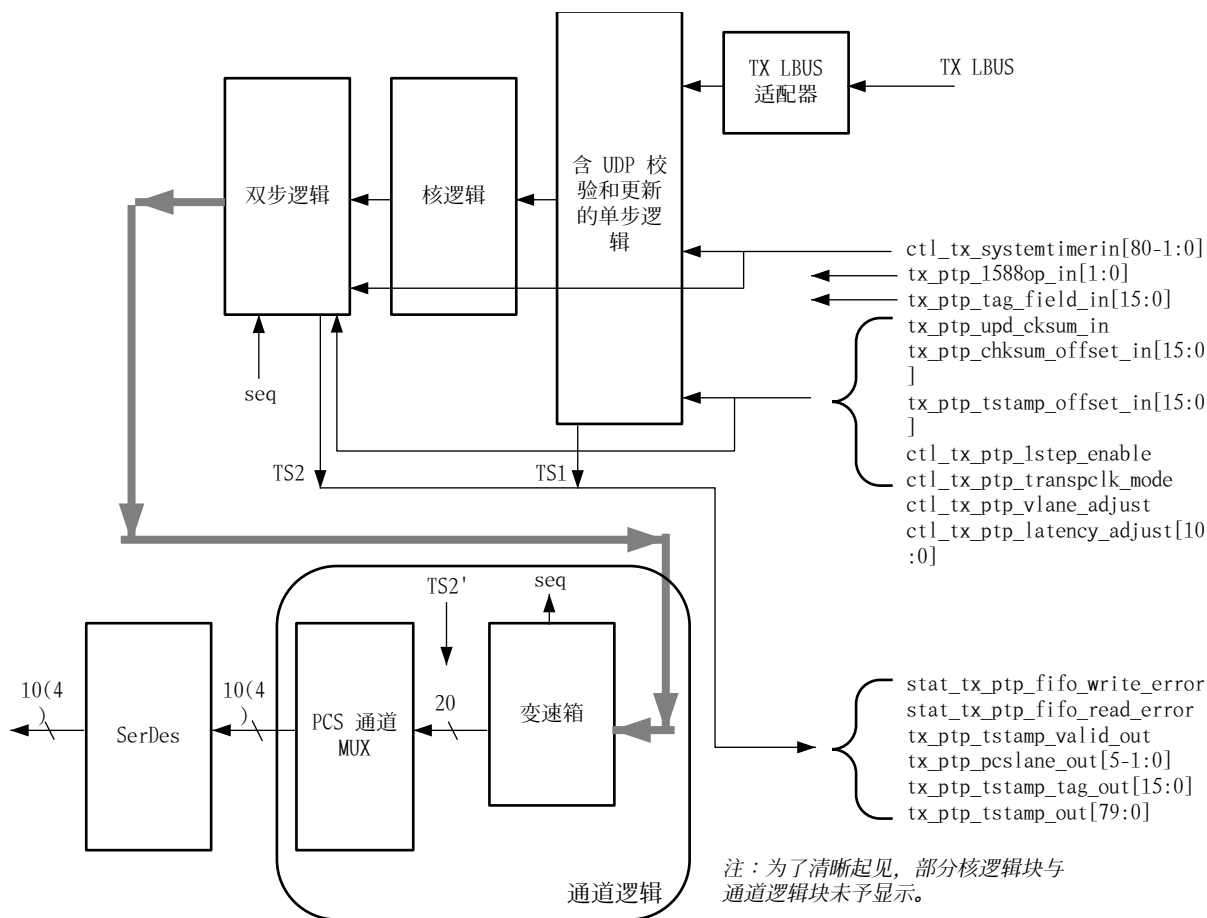
其中：

- rx_ptp_timestamp_out 是首个变速箱的时间戳，由 PCS 过滤以与 SOP 开始位置相对应。rx_ptp_timestamp_out 值为时间单位，而填充级别则并非时间单位。要将填充级别转换为时间，请将填充级别乘以周期。
- rx_lane_aligner_fill_0 是从中提取时间戳的通道的对齐缓存填充级别的平均时间。
- 参考填充级别是通过 stat_rx_pcs_l_number_* 将 rx_ptp_pcs_lane_out 所承载的 PCS 通道编号转换为 PMD 通道编号之后，RX 通道对齐器的平均填充级别。

发射 1588 插入和时间戳功能

出口逻辑使用操作/命令总线来识别需向用户返回时间戳的帧或者应为其插入时间戳的帧。请参阅表 2-14 以获取命令字段的描述。

图 3-20 中显示了发射时间戳。



X14344

图 3-20: TX 时间戳

如图所示，根据所需的是单步操作还是双步操作，时间戳逻辑存在于两处不同位置。单步操作需 UDP 校验和及 FCS 更新，因此复用 FCS 核逻辑。

TS 参考定义如下：

- TS1：选中单步操作时的输出时间戳信号。
- TS2：选中双步操作时的输出时间戳信号。
- TS2'：2 个时间戳纠正到的平面。

对于 TS2，始终应用纠正以便将其引用到 TS2' 平面。TS1 可根据 `ctl_tx_ptp_latency_adjust[7:0]` 信号的值来选择是否应用 TS2' 纠正。此信号的默认值为 90（十进制）。

在发射端，控制输入由客户端随发送的帧（以供发射之用）并行提供给子系统。这表示根据每个帧来确定要执行的 1588 功能（即，无操作、单步操作或双步操作），并且对于单步帧，这还可用于指示是否存在需更新的 UDP 校验和字段。

- 如果使用“普通时钟 (Ordinary Clock)”模式，那么对于单步操作和双步操作，完整捕获的 80 位 ToD 时间戳将使用表 2-14 和表 2-15 中定义的附加端口返回给客户端逻辑。
- 如果使用“透明时钟 (Transparent clock)”模式，那么对于单步操作和双步操作，完整捕获的 64 位时间戳将使用表 2-14 和表 2-15 中定义的附加端口返回给客户端逻辑（根据表中定义，高位数据设置为 0）。

- 如果使用“普通时钟 (Ordinary Clock)”模式，那么对于单步操作，完整捕获的 80 位 ToD 时间戳将插入帧中。如果使用“透明时钟 (Transparent clock)”模式，那么对于单步操作，捕获的 64 位时间戳将与帧中包含的现有“纠正字段 (Correction Field)”求和，求和所得结果将覆盖到帧中的原“纠正字段 (Correction Field)”中。针对单步时间戳支持的帧类型包括：
 - 原始以太网 (Raw Ethernet)
 - UDP/IPv4
 - UDP/IPv6

对于单步 UDP 帧类型，将根据 IETF RFC 1624 来更新 UDP 校验和。对于所有单步帧，将在完成所有帧修改之后计算“以太网帧校验序列 (Ethernet Frame Check Sequence, FCS)”字段。对于双步发射操作，支持所有“精确时间协议 (Precision Time Protocol, PTP)”帧类型。

逐帧设置时间戳操作

出口时间戳功能的操作模式由 TX_PTP_15880P_IN 端口上的设置判定。命令端口中所含信息用于指示以下任一结果：

- 无操作：该帧并非 PTP 帧，不应执行任何时间戳操作。
- 需执行双步操作并在控制输入中提供 1 个标签值（用户序列 ID）；对于该帧，应设置时间戳，并且所设时间戳可供客户端逻辑使用，所提供的标签值则可供该帧使用。附加 MAC 发射器端口可提供此功能。

- 需执行单步操作：
 - 对于 ToD 定时器和时间戳格式，将在命令端口中提供时间戳偏移；应对该帧设置时间戳，并且此时间戳应按提供的偏移（字节数）插入帧中。
 - 对于“透明时钟 (Transparent clock)”模式，将在命令端口中提供“纠正字段 (Correction Field)”偏移值；应对该帧设置时间戳，捕获的 64 位时间戳应与该帧中包含的现有“纠正字段 (Correction Field)”求和，求和所得结果将覆盖到帧中的原“纠正字段 (Correction Field)”中。

对于帧修改后的单步操作，还应更新/重新计算帧的循环冗余校验 (CRC) 值。对于 UDP IPv4 格式和 IPv6 PTP 格式的帧，需更新/重新计算该帧的报头中的校验和值。

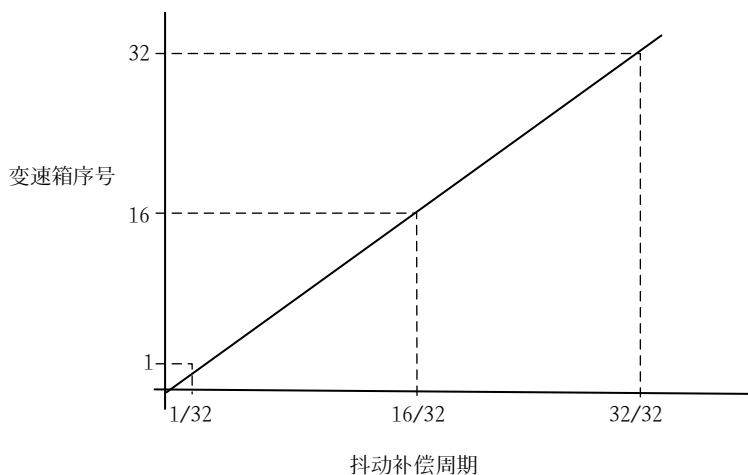
- 对于单步 UDP 帧类型，将根据 IETF RFC 1624 来更新 UDP 校验和。
 - 如果使用“普通时钟 (Ordinary Clock)”模式，为了能正确执行此更新功能，计算发送（以供发射）的帧的原校验和值时，针对时间戳数据应使用 0 值。使用“透明时钟 (Transparent clock)”模式时，则不适用此特殊限制。
 - 如果使用“透明时钟 (Transparent clock)”模式，则适用另一种限制；1588 PTP 帧报头中的“UDP 校验和 (UDP Checksum)”字段与“纠正字段 (Correction Field)”之差为固定间隔（以字节为单位），以支持 1588 PTP 帧定义。此要求用于最大限度缩短通过 MAC 的时延，因为校验和与纠正字段都必须完全包含在 MAC 流水线内才能正确更新校验和。此特殊限制不适用于“普通时钟 (Ordinary Clock)”模式，因为计算原时间戳数据时使用了 0 值；因此，校验和与时间戳位置可分别位于同一帧中的不同位置。

发射 1588 变速箱抖动补偿

TX 上的双步 1588 时间戳捕获会考量由发射变速箱所引发的抖动。变速箱会在 32/32 位区块内填入 66 位带时间戳的帧，并每次输出 32 位数据。由于 66 位并非 32 的倍数，因此变速箱会累积超出的数据并将其添加到后续数据输出循环的开头。当追加来自变速箱缓存的数据时，会对变速箱接收的带时间戳的帧引发抖动。变速箱具有称为序号的状态。对于每个序号，变速箱都包含具体数量的位，这些位将缓存并添加至输出数据开头。图 3-21 中显示了由变速箱引发的抖动量。



提示：帧的时间戳与 66 位帧开始处的控制位对齐。因此，将根据变速箱的控制位的到达时间应用时间戳抖动补偿。实际补偿的计算方式是将循环周期 (3.103 ns) 乘以 $n/32$ 系数（基于序号），并将结果加上已与 66 位帧关联的时间戳。



X14345

图 3-21：抖动补偿

收发器选择规则

将 100G Ethernet IP 核连接到收发器时，设计必须满足以下规则。

如果要实现 CAUI-10，必须满足以下条件：

- CAUI-10 GT 必须连续。
- CAUI-10 必须包含来自 100G Ethernet IP 所在水平时钟区域 (CR) 的 GT 四通道中的 2 个 GT 或 4 个 GT。
- CAUI-10 必须在 SLR 内实现。
- CAUI-10 模式 GT RX 缓存旁路配置不得随跨器件的列中的 GTY 一起启用。

如果要实现 CAUI-4/100GAUI-4，必须满足以下条件：

- CAUI-4/100GAUI-4 GT 必须连续。
- CAUI-4/100GAUI-4 使用的 GTY 必须来自相同水平 CR，或者来自高 2 级的 CR 或低 2 级的 CR。
- CAUI-4/100GAUI-4 所有 GT 都必须来自相同 GT 四通道（针对 GTY）。
- CAUI-4/100GAUI-4 仅在通道 1-4 中受支持。
- 对于含 GTM 配置的 100GAUI-4/CAUI-4，使用 2 个 GTM 双通道（每个 GTM 双通道都各含 2 个 GT 通道）。GTM 双通道应来自相同水平 CR 或者来自高 1 级的 CR 或低 1 级的 CR。
- CAUI-4/100GAUI-4 必须在 SLR 内实现。
- 要使用 RX 缓存旁路，CAUI-4 必须使用相同 CR 或者使用高 2 级的 CR 或低 2 级的 CR。GT RX 缓存旁路不得随跨器件的列中的 GTY 一起启用。

如果要实现 100GAUI-2，必须满足以下条件：

- 对于 100GAUI-2 配置，使用 1 个 GTM 双通道。
- 100GAUI-2 使用的 GTM 双通道必须来自相同水平 CR，或者来自高 1 级或低 1 级的 CR。
- 100GAUI-2 GT 通道必须来自相同 GTM 双通道。
- 100GAUI-2 必须在 SLR 内实现。

如果要实现运行时可切换 CAUI-10/CAUI-4，请遵循前述 CAUI-10 规则和 CAUI-4 规则。



重要提示：对于“运行时可切换 (Runtime Switchable)”模式，如果所选 GT 组为来自底部四通道的 2 个 GT、来自中间的 4 个 GT 和来自上方四通道的 4 个 GT，那么当它从 CAUI-10 切换到 CAUI-4 时，针对 CAUI-4 将使用上方 GT 四通道。



建议：如需了解超出这些规则适用范围的收发器的选择方式，请联系赛灵思支持人员或者您当地的 FAE。

请参阅《UltraScale 架构时钟资源用户指南》(UG572) [参照 6] 以获取有关时钟区域的更多信息。

动态重新配置端口

动态重新配置端口 (DRP) 支持动态更改 100G Ethernet IP 核的属性。DRP 接口属于适用各种处理器的同步接口，其中包含地址总线 (DRP_ADDR) 和独立数据总线，用于在 CMAC 块中读取 (DRP_DO) 和写入 (DRP_DI) 配置数据。启用信号 (DRP_EN)、读写信号 (DRP_WE) 和就绪/有效信号 (DRP_RDY) 为控制信号，用于实现读写操作、指示操作已完成或者用于指示数据可用性。

为了使 DRP 正常运行，必须向 DRP_CLK 端口提供时钟。请参阅《Virtex UltraScale+ FPGA 数据手册：DC 和 AC 开关特性》(DS923) [参照 4]，以查看允许的最大时钟频率。

要通过 DRP 动态更改属性，CMAC 块必须保持复位状态。即，TX_RESET、RX_RESET 和 RX_SERDES_RESET[9:0] 需断言为高电平有效。

DRP 写入操作

图 3-22 显示了 DRP 写入操作时序图。当断言 DRP_RDY 信号有效时，可启动新 DRP 操作。

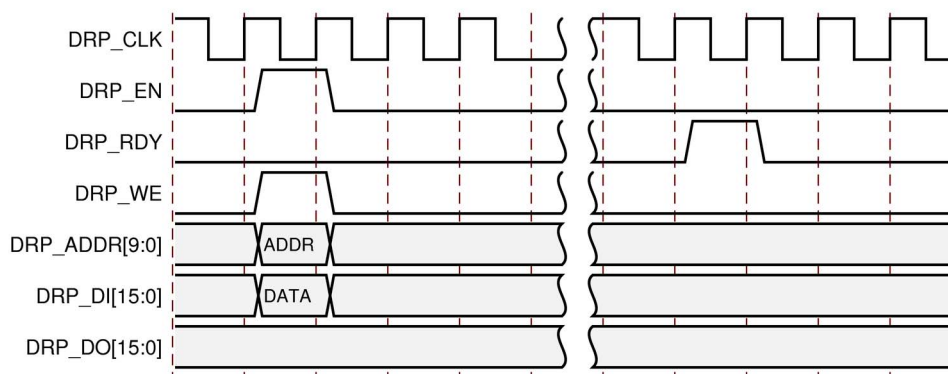


图 3-22：DRP 写入操作时序图

DRP 读取操作

图 3-23 显示了 DRP 读取操作时序图。当断言 DRP_RDY 信号有效时，可启动新 DRP 操作。

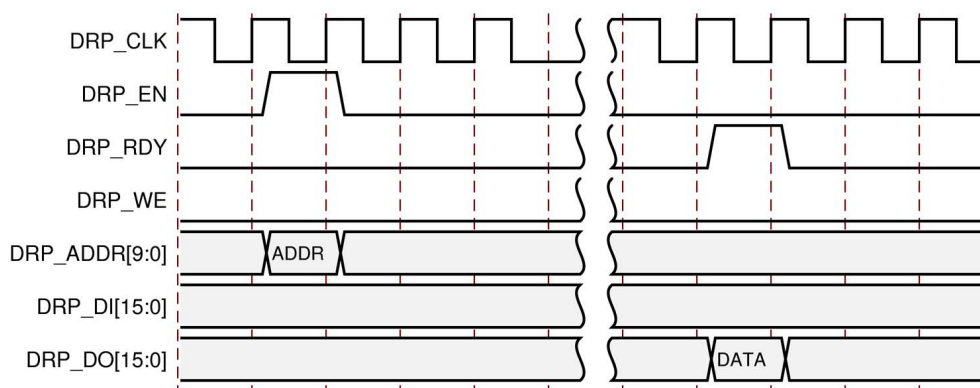


图 3-23：DRP 读取操作时序图

CMAC 块的 DRP 地址映射

表 3-8 列出了 CMAC 块的 DRP 映射（按地址排序）。

表 3-8：CMAC 块的 DRP 映射

DRP 地址 (十六进制)	DRP 位	R/W	属性名称	属性编码 (十六进制)	DRP 编码 (十六进制)
0	0	R/W	CTL_TX_PTP_1STEP_ENABLE	FALSE	0
				TRUE	1
1	0	R/W	CTL_TX_IGNORE_FCS	FALSE	0
				TRUE	1
2	0	R/W	CTL_TX_FCS_INS_ENABLE	FALSE	0
				TRUE	1
6	[15:0]	R/W	CTL_TX_OPCODE_GPP[15:0]	0-FFFF	0-FFFF
7	[15:0]	R/W	CTL_TX_ETHERTYPE_PPP[15:0]	0-FFFF	0-FFFF
8	[15:0]	R/W	CTL_TX_OPCODE_PPP[15:0]	0-FFFF	0-FFFF
C	[15:0]	R/W	CTL_TX_VL_LENGTH_MINUS1[15:0]	0-FFFF	0-FFFF
D	[3:0]	R/W	CTL_TX_IPG_VALUE[3:0]	0-F	0-F
12	[15:0]	R/W	CTL_TX_SA_GPP[15:0]	0-FFFF	0-FFFF
13	[15:0]	R/W	CTL_TX_SA_GPP[31:16]	0-FFFF	0-FFFF
14	[15:0]	R/W	CTL_TX_SA_GPP[47:32]	0-FFFF	0-FFFF
18	[15:0]	R/W	CTL_TX_DA_PPP[15:0]	0-FFFF	0-FFFF
15	[15:0]	R/W	CTL_TX_DA_PPP[31:16]	0-FFFF	0-FFFF
16	[15:0]	R/W	CTL_TX_DA_PPP[47:32]	0-FFFF	0-FFFF
1E	[15:0]	R/W	CTL_TX_SA_PPP[15:0]	0-FFFF	0-FFFF
1F	[15:0]	R/W	CTL_TX_SA_PPP[31:16]	0-FFFF	0-FFFF
20	[15:0]	R/W	CTL_TX_SA_PPP[47:32]	0-FFFF	0-FFFF
24	[15:0]	R/W	CTL_TX_DA_GPP[15:0]	0-FFFF	0-FFFF
25	[15:0]	R/W	CTL_TX_DA_GPP[31:16]	0-FFFF	0-FFFF
26	[15:0]	R/W	CTL_TX_DA_GPP[47:32]	0-FFFF	0-FFFF
2A	[15:0]	R/W	CTL_TX_VL_MARKER_ID0[15:0]	0-FFFF	0-FFFF
2B	[15:0]	R/W	CTL_TX_VL_MARKER_ID0[31:16]	0-FFFF	0-FFFF
2C	[15:0]	R/W	CTL_TX_VL_MARKER_ID0[47:32]	0-FFFF	0-FFFF
2D	[15:0]	R/W	CTL_TX_VL_MARKER_ID0[63:48]	0-FFFF	0-FFFF
30	[15:0]	R/W	CTL_TX_VL_MARKER_ID1[15:0]	0-FFFF	0-FFFF
31	[15:0]	R/W	CTL_TX_VL_MARKER_ID1[31:16]	0-FFFF	0-FFFF
32	[15:0]	R/W	CTL_TX_VL_MARKER_ID1[47:32]	0-FFFF	0-FFFF
33	[15:0]	R/W	CTL_TX_VL_MARKER_ID1[63:48]	0-FFFF	0-FFFF
36	[15:0]	R/W	CTL_TX_VL_MARKER_ID2[15:0]	0-FFFF	0-FFFF

表 3-8：CMAC 块的 DRP 映射（续）

DRP 地址 (十六进制)	DRP 位	R/W	属性名称	属性编码 (十六进制)	DRP 编码 (十六进制)
37	[15:0]	R/W	CTL_TX_VL_MARKER_ID2[31:16]	0-FFFF	0-FFFF
38	[15:0]	R/W	CTL_TX_VL_MARKER_ID2[47:32]	0-FFFF	0-FFFF
39	[15:0]	R/W	CTL_TX_VL_MARKER_ID2[63:48]	0-FFFF	0-FFFF
3C	[15:0]	R/W	CTL_TX_VL_MARKER_ID3[15:0]	0-FFFF	0-FFFF
3D	[15:0]	R/W	CTL_TX_VL_MARKER_ID3[31:16]	0-FFFF	0-FFFF
3E	[15:0]	R/W	CTL_TX_VL_MARKER_ID3[47:32]	0-FFFF	0-FFFF
3F	[15:0]	R/W	CTL_TX_VL_MARKER_ID3[63:48]	0-FFFF	0-FFFF
42	[15:0]	R/W	CTL_TX_VL_MARKER_ID4[15:0]	0-FFFF	0-FFFF
43	[15:0]	R/W	CTL_TX_VL_MARKER_ID4[31:16]	0-FFFF	0-FFFF
44	[15:0]	R/W	CTL_TX_VL_MARKER_ID4[47:32]	0-FFFF	0-FFFF
45	[15:0]	R/W	CTL_TX_VL_MARKER_ID4[63:48]	0-FFFF	0-FFFF
48	[15:0]	R/W	CTL_TX_VL_MARKER_ID5[15:0]	0-FFFF	0-FFFF
49	[15:0]	R/W	CTL_TX_VL_MARKER_ID5[31:16]	0-FFFF	0-FFFF
4A	[15:0]	R/W	CTL_TX_VL_MARKER_ID5[47:32]	0-FFFF	0-FFFF
4B	[15:0]	R/W	CTL_TX_VL_MARKER_ID5[63:48]	0-FFFF	0-FFFF
4E	[15:0]	R/W	CTL_TX_VL_MARKER_ID6[15:0]	0-FFFF	0-FFFF
4F	[15:0]	R/W	CTL_TX_VL_MARKER_ID6[31:16]	0-FFFF	0-FFFF
50	[15:0]	R/W	CTL_TX_VL_MARKER_ID6[47:32]	0-FFFF	0-FFFF
51	[15:0]	R/W	CTL_TX_VL_MARKER_ID6[63:48]	0-FFFF	0-FFFF
54	[15:0]	R/W	CTL_TX_VL_MARKER_ID7[15:0]	0-FFFF	0-FFFF
55	[15:0]	R/W	CTL_TX_VL_MARKER_ID7[31:16]	0-FFFF	0-FFFF
56	[15:0]	R/W	CTL_TX_VL_MARKER_ID7[47:32]	0-FFFF	0-FFFF
57	[15:0]	R/W	CTL_TX_VL_MARKER_ID7[63:48]	0-FFFF	0-FFFF
5A	[15:0]	R/W	CTL_TX_VL_MARKER_ID8[15:0]	0-FFFF	0-FFFF
5B	[15:0]	R/W	CTL_TX_VL_MARKER_ID8[31:16]	0-FFFF	0-FFFF
5C	[15:0]	R/W	CTL_TX_VL_MARKER_ID8[47:32]	0-FFFF	0-FFFF
5D	[15:0]	R/W	CTL_TX_VL_MARKER_ID8[63:48]	0-FFFF	0-FFFF
60	[15:0]	R/W	CTL_TX_VL_MARKER_ID9[15:0]	0-FFFF	0-FFFF
61	[15:0]	R/W	CTL_TX_VL_MARKER_ID9[31:16]	0-FFFF	0-FFFF
62	[15:0]	R/W	CTL_TX_VL_MARKER_ID9[47:32]	0-FFFF	0-FFFF
63	[15:0]	R/W	CTL_TX_VL_MARKER_ID9[63:48]	0-FFFF	0-FFFF
66	[15:0]	R/W	CTL_TX_VL_MARKER_ID10[15:0]	0-FFFF	0-FFFF
67	[15:0]	R/W	CTL_TX_VL_MARKER_ID10[31:16]	0-FFFF	0-FFFF
68	[15:0]	R/W	CTL_TX_VL_MARKER_ID10[47:32]	0-FFFF	0-FFFF
69	[15:0]	R/W	CTL_TX_VL_MARKER_ID10[63:48]	0-FFFF	0-FFFF

表 3-8：CMAC 块的 DRP 映射（续）

DRP 地址 (十六进制)	DRP 位	R/W	属性名称	属性编码 (十六进制)	DRP 编码 (十六进制)
6C	[15:0]	R/W	CTL_TX_VL_MARKER_ID11[15:0]	0-FFFF	0-FFFF
6D	[15:0]	R/W	CTL_TX_VL_MARKER_ID11[31:16]	0-FFFF	0-FFFF
6E	[15:0]	R/W	CTL_TX_VL_MARKER_ID11[47:32]	0-FFFF	0-FFFF
6F	[15:0]	R/W	CTL_TX_VL_MARKER_ID11[63:48]	0-FFFF	0-FFFF
72	[15:0]	R/W	CTL_TX_VL_MARKER_ID12[15:0]	0-FFFF	0-FFFF
73	[15:0]	R/W	CTL_TX_VL_MARKER_ID12[31:16]	0-FFFF	0-FFFF
74	[15:0]	R/W	CTL_TX_VL_MARKER_ID12[47:32]	0-FFFF	0-FFFF
75	[15:0]	R/W	CTL_TX_VL_MARKER_ID12[63:48]	0-FFFF	0-FFFF
78	[15:0]	R/W	CTL_TX_VL_MARKER_ID13[15:0]	0-FFFF	0-FFFF
79	[15:0]	R/W	CTL_TX_VL_MARKER_ID13[31:16]	0-FFFF	0-FFFF
7A	[15:0]	R/W	CTL_TX_VL_MARKER_ID13[47:32]	0-FFFF	0-FFFF
7B	[15:0]	R/W	CTL_TX_VL_MARKER_ID13[63:48]	0-FFFF	0-FFFF
7E	[15:0]	R/W	CTL_TX_VL_MARKER_ID14[15:0]	0-FFFF	0-FFFF
7F	[15:0]	R/W	CTL_TX_VL_MARKER_ID14[31:16]	0-FFFF	0-FFFF
80	[15:0]	R/W	CTL_TX_VL_MARKER_ID14[47:32]	0-FFFF	0-FFFF
81	[15:0]	R/W	CTL_TX_VL_MARKER_ID14[63:48]	0-FFFF	0-FFFF
84	[15:0]	R/W	CTL_TX_VL_MARKER_ID15[15:0]	0-FFFF	0-FFFF
85	[15:0]	R/W	CTL_TX_VL_MARKER_ID15[31:16]	0-FFFF	0-FFFF
86	[15:0]	R/W	CTL_TX_VL_MARKER_ID15[47:32]	0-FFFF	0-FFFF
87	[15:0]	R/W	CTL_TX_VL_MARKER_ID15[63:48]	0-FFFF	0-FFFF
8A	[15:0]	R/W	CTL_TX_VL_MARKER_ID16[15:0]	0-FFFF	0-FFFF
8B	[15:0]	R/W	CTL_TX_VL_MARKER_ID16[31:16]	0-FFFF	0-FFFF
8C	[15:0]	R/W	CTL_TX_VL_MARKER_ID16[47:32]	0-FFFF	0-FFFF
8D	[15:0]	R/W	CTL_TX_VL_MARKER_ID16[63:48]	0-FFFF	0-FFFF
90	[15:0]	R/W	CTL_TX_VL_MARKER_ID17[15:0]	0-FFFF	0-FFFF
91	[15:0]	R/W	CTL_TX_VL_MARKER_ID17[31:16]	0-FFFF	0-FFFF
92	[15:0]	R/W	CTL_TX_VL_MARKER_ID17[47:32]	0-FFFF	0-FFFF
93	[15:0]	R/W	CTL_TX_VL_MARKER_ID17[63:48]	0-FFFF	0-FFFF
96	[15:0]	R/W	CTL_TX_VL_MARKER_ID18[15:0]	0-FFFF	0-FFFF
97	[15:0]	R/W	CTL_TX_VL_MARKER_ID18[31:16]	0-FFFF	0-FFFF
98	[15:0]	R/W	CTL_TX_VL_MARKER_ID18[47:32]	0-FFFF	0-FFFF
99	[15:0]	R/W	CTL_TX_VL_MARKER_ID18[63:48]	0-FFFF	0-FFFF
9C	[15:0]	R/W	CTL_TX_VL_MARKER_ID19[15:0]	0-FFFF	0-FFFF
9D	[15:0]	R/W	CTL_TX_VL_MARKER_ID19[31:16]	0-FFFF	0-FFFF
9E	[15:0]	R/W	CTL_TX_VL_MARKER_ID19[47:32]	0-FFFF	0-FFFF

表 3-8：CMAC 块的 DRP 映射（续）

DRP 地址 (十六进制)	DRP 位	R/W	属性名称	属性编码 (十六进制)	DRP 编码 (十六进制)
9F	[15:0]	R/W	CTL_TX_VL_MARKER_ID19[63:48]	0-FFFF	0-FFFF
A2	0	R/W	CTL_RX_CHECK_PREAMBLE	FALSE	0
				TRUE	1
A3	0	R/W	CTL_RX_IGNORE_FCS	FALSE	0
				TRUE	1
A4	0	R/W	CTL_RX_FORWARD_CONTROL	FALSE	0
				TRUE	1
A5	0	R/W	CTL_RX_DELETE_FCS	FALSE	0
				TRUE	1
A8	0	R/W	CTL_RX_CHECK_ACK	FALSE	0
				TRUE	1
A9	0	R/W	CTL_RX_CHECK_SFD	FALSE	0
				TRUE	1
AA	0	R/W	CTL_RX_PROCESS_LFI	FALSE	0
				TRUE	1
AE	[7:0]	R/W	CTL_RX_MIN_PACKET_LEN[7:0]	40-FF	40-FF
AF	[14:0]	R/W	CTL_RX_MAX_PACKET_LEN[14:0]	40-3FFF	40-3FFF
B0	[15:0]	R/W	CTL_TX_ETHERTYPE_GPP[15:0]	0-FFFF	0-FFFF
B1	[15:0]	R/W	CTL_RX_OPCODE_GPP[15:0]	0-FFFF	0-FFFF
B4	[15:0]	R/W	CTL_RX_OPCODE_MAX_GCP[15:0]	0-FFFF	0-FFFF
B5	[15:0]	R/W	CTL_RX_ETYPE_PPP[15:0]	0-FFFF	0-FFFF
B6	[15:0]	R/W	CTL_RX_ETYPE_GCP[15:0]	0-FFFF	0-FFFF
B7	[15:0]	R/W	CTL_RX_VL_LENGTH_MINUS1[15:0]	0-FFFF	0-FFFF
BA	[15:0]	R/W	CTL_RX_OPCODE_MAX_PCP[15:0]	0-FFFF	0-FFFF
BB	[15:0]	R/W	CTL_RX_OPCODE_MIN_GCP[15:0]	0-FFFF	0-FFFF
BC	[15:0]	R/W	CTL_RX_ETYPE_GPP[15:0]	0-FFFF	0-FFFF
BD	[15:0]	R/W	CTL_RX_OPCODE_MIN_PCP[15:0]	0-FFFF	0-FFFF
C0	[15:0]	R/W	CTL_RX_ETYPE_PCP[15:0]	0-FFFF	0-FFFF
C1	[15:0]	R/W	CTL_RX_OPCODE_PPP[15:0]	0-FFFF	0-FFFF
C6	[15:0]	R/W	CTL_RX_PAUSE_DA_MCAST[15:0]	0-FFFF	0-FFFF
C7	[15:0]	R/W	CTL_RX_PAUSE_DA_MCAST[31:16]	0-FFFF	0-FFFF
C8	[15:0]	R/W	CTL_RX_PAUSE_DA_MCAST[47:32]	0-FFFF	0-FFFF
CC	[15:0]	R/W	CTL_RX_PAUSE_DA_UCAST[15:0]	0-FFFF	0-FFFF
CD	[15:0]	R/W	CTL_RX_PAUSE_DA_UCAST[31:16]	0-FFFF	0-FFFF
CE	[15:0]	R/W	CTL_RX_PAUSE_DA_UCAST[47:32]	0-FFFF	0-FFFF

表 3-8：CMAC 块的 DRP 映射（续）

DRP 地址 (十六进制)	DRP 位	R/W	属性名称	属性编码 (十六进制)	DRP 编码 (十六进制)
D2	[15:0]	R/W	CTL_RX_PAUSE_SA[15:0]	0-FFFF	0-FFFF
D3	[15:0]	R/W	CTL_RX_PAUSE_SA[31:16]	0-FFFF	0-FFFF
D4	[15:0]	R/W	CTL_RX_PAUSE_SA[47:32]	0-FFFF	0-FFFF
D8	[15:0]	R/W	CTL_RX_VL_MARKER_ID0[15:0]	0-FFFF	0-FFFF
D9	[15:0]	R/W	CTL_RX_VL_MARKER_ID0[31:16]	0-FFFF	0-FFFF
DA	[15:0]	R/W	CTL_RX_VL_MARKER_ID0[47:32]	0-FFFF	0-FFFF
DB	[15:0]	R/W	CTL_RX_VL_MARKER_ID0[63:48]	0-FFFF	0-FFFF
DE	[15:0]	R/W	CTL_RX_VL_MARKER_ID1[15:0]	0-FFFF	0-FFFF
DF	[15:0]	R/W	CTL_RX_VL_MARKER_ID1[31:16]	0-FFFF	0-FFFF
E0	[15:0]	R/W	CTL_RX_VL_MARKER_ID1[47:32]	0-FFFF	0-FFFF
E1	[15:0]	R/W	CTL_RX_VL_MARKER_ID1[63:48]	0-FFFF	0-FFFF
E4	[15:0]	R/W	CTL_RX_VL_MARKER_ID2[15:0]	0-FFFF	0-FFFF
E5	[15:0]	R/W	CTL_RX_VL_MARKER_ID2[31:16]	0-FFFF	0-FFFF
E6	[15:0]	R/W	CTL_RX_VL_MARKER_ID2[47:32]	0-FFFF	0-FFFF
E7	[15:0]	R/W	CTL_RX_VL_MARKER_ID2[63:48]	0-FFFF	0-FFFF
EA	[15:0]	R/W	CTL_RX_VL_MARKER_ID3[15:0]	0-FFFF	0-FFFF
EB	[15:0]	R/W	CTL_RX_VL_MARKER_ID3[31:16]	0-FFFF	0-FFFF
EC	[15:0]	R/W	CTL_RX_VL_MARKER_ID3[47:32]	0-FFFF	0-FFFF
ED	[15:0]	R/W	CTL_RX_VL_MARKER_ID3[63:48]	0-FFFF	0-FFFF
F0	[15:0]	R/W	CTL_RX_VL_MARKER_ID4[15:0]	0-FFFF	0-FFFF
F1	[15:0]	R/W	CTL_RX_VL_MARKER_ID4[31:16]	0-FFFF	0-FFFF
F2	[15:0]	R/W	CTL_RX_VL_MARKER_ID4[47:32]	0-FFFF	0-FFFF
F3	[15:0]	R/W	CTL_RX_VL_MARKER_ID4[63:48]	0-FFFF	0-FFFF
F6	[15:0]	R/W	CTL_RX_VL_MARKER_ID5[15:0]	0-FFFF	0-FFFF
F7	[15:0]	R/W	CTL_RX_VL_MARKER_ID5[31:16]	0-FFFF	0-FFFF
F8	[15:0]	R/W	CTL_RX_VL_MARKER_ID5[47:32]	0-FFFF	0-FFFF
F9	[15:0]	R/W	CTL_RX_VL_MARKER_ID5[63:48]	0-FFFF	0-FFFF
FC	[15:0]	R/W	CTL_RX_VL_MARKER_ID6[15:0]	0-FFFF	0-FFFF
FD	[15:0]	R/W	CTL_RX_VL_MARKER_ID6[31:16]	0-FFFF	0-FFFF
FE	[15:0]	R/W	CTL_RX_VL_MARKER_ID6[47:32]	0-FFFF	0-FFFF
FF	[15:0]	R/W	CTL_RX_VL_MARKER_ID6[63:48]	0-FFFF	0-FFFF
102	[15:0]	R/W	CTL_RX_VL_MARKER_ID7[15:0]	0-FFFF	0-FFFF
103	[15:0]	R/W	CTL_RX_VL_MARKER_ID7[31:16]	0-FFFF	0-FFFF
104	[15:0]	R/W	CTL_RX_VL_MARKER_ID7[47:32]	0-FFFF	0-FFFF
105	[15:0]	R/W	CTL_RX_VL_MARKER_ID7[63:48]	0-FFFF	0-FFFF

表 3-8：CMAC 块的 DRP 映射（续）

DRP 地址 (十六进制)	DRP 位	R/W	属性名称	属性编码 (十六进制)	DRP 编码 (十六进制)
108	[15:0]	R/W	CTL_RX_VL_MARKER_ID8[15:0]	0-FFFF	0-FFFF
109	[15:0]	R/W	CTL_RX_VL_MARKER_ID8[31:16]	0-FFFF	0-FFFF
10A	[15:0]	R/W	CTL_RX_VL_MARKER_ID8[47:32]	0-FFFF	0-FFFF
10B	[15:0]	R/W	CTL_RX_VL_MARKER_ID8[63:48]	0-FFFF	0-FFFF
10E	[15:0]	R/W	CTL_RX_VL_MARKER_ID9[15:0]	0-FFFF	0-FFFF
10F	[15:0]	R/W	CTL_RX_VL_MARKER_ID9[31:16]	0-FFFF	0-FFFF
110	[15:0]	R/W	CTL_RX_VL_MARKER_ID9[47:32]	0-FFFF	0-FFFF
111	[15:0]	R/W	CTL_RX_VL_MARKER_ID9[63:48]	0-FFFF	0-FFFF
114	[15:0]	R/W	CTL_RX_VL_MARKER_ID10[15:0]	0-FFFF	0-FFFF
115	[15:0]	R/W	CTL_RX_VL_MARKER_ID10[31:16]	0-FFFF	0-FFFF
116	[15:0]	R/W	CTL_RX_VL_MARKER_ID10[47:32]	0-FFFF	0-FFFF
117	[15:0]	R/W	CTL_RX_VL_MARKER_ID10[63:48]	0-FFFF	0-FFFF
11A	[15:0]	R/W	CTL_RX_VL_MARKER_ID11[15:0]	0-FFFF	0-FFFF
11B	[15:0]	R/W	CTL_RX_VL_MARKER_ID11[31:16]	0-FFFF	0-FFFF
11C	[15:0]	R/W	CTL_RX_VL_MARKER_ID11[47:32]	0-FFFF	0-FFFF
11D	[15:0]	R/W	CTL_RX_VL_MARKER_ID11[63:48]	0-FFFF	0-FFFF
120	[15:0]	R/W	CTL_RX_VL_MARKER_ID12[15:0]	0-FFFF	0-FFFF
121	[15:0]	R/W	CTL_RX_VL_MARKER_ID12[31:16]	0-FFFF	0-FFFF
122	[15:0]	R/W	CTL_RX_VL_MARKER_ID12[47:32]	0-FFFF	0-FFFF
123	[15:0]	R/W	CTL_RX_VL_MARKER_ID12[63:48]	0-FFFF	0-FFFF
126	[15:0]	R/W	CTL_RX_VL_MARKER_ID13[15:0]	0-FFFF	0-FFFF
127	[15:0]	R/W	CTL_RX_VL_MARKER_ID13[31:16]	0-FFFF	0-FFFF
128	[15:0]	R/W	CTL_RX_VL_MARKER_ID13[47:32]	0-FFFF	0-FFFF
129	[15:0]	R/W	CTL_RX_VL_MARKER_ID13[63:48]	0-FFFF	0-FFFF
12C	[15:0]	R/W	CTL_RX_VL_MARKER_ID14[15:0]	0-FFFF	0-FFFF
12D	[15:0]	R/W	CTL_RX_VL_MARKER_ID14[31:16]	0-FFFF	0-FFFF
12E	[15:0]	R/W	CTL_RX_VL_MARKER_ID14[47:32]	0-FFFF	0-FFFF
12F	[15:0]	R/W	CTL_RX_VL_MARKER_ID14[63:48]	0-FFFF	0-FFFF
132	[15:0]	R/W	CTL_RX_VL_MARKER_ID15[15:0]	0-FFFF	0-FFFF
133	[15:0]	R/W	CTL_RX_VL_MARKER_ID15[31:16]	0-FFFF	0-FFFF
134	[15:0]	R/W	CTL_RX_VL_MARKER_ID15[47:32]	0-FFFF	0-FFFF
135	[15:0]	R/W	CTL_RX_VL_MARKER_ID15[63:48]	0-FFFF	0-FFFF
138	[15:0]	R/W	CTL_RX_VL_MARKER_ID16[15:0]	0-FFFF	0-FFFF
139	[15:0]	R/W	CTL_RX_VL_MARKER_ID16[31:16]	0-FFFF	0-FFFF
13A	[15:0]	R/W	CTL_RX_VL_MARKER_ID16[47:32]	0-FFFF	0-FFFF

表 3-8：CMAC 块的 DRP 映射（续）

DRP 地址 (十六进制)	DRP 位	R/W	属性名称	属性编码 (十六进制)	DRP 编码 (十六进制)
13B	[15:0]	R/W	CTL_RX_VL_MARKER_ID16[63:48]	0-FFFF	0-FFFF
13E	[15:0]	R/W	CTL_RX_VL_MARKER_ID17[15:0]	0-FFFF	0-FFFF
13F	[15:0]	R/W	CTL_RX_VL_MARKER_ID17[31:16]	0-FFFF	0-FFFF
140	[15:0]	R/W	CTL_RX_VL_MARKER_ID17[47:32]	0-FFFF	0-FFFF
141	[15:0]	R/W	CTL_RX_VL_MARKER_ID17[63:48]	0-FFFF	0-FFFF
144	[15:0]	R/W	CTL_RX_VL_MARKER_ID18[15:0]	0-FFFF	0-FFFF
145	[15:0]	R/W	CTL_RX_VL_MARKER_ID18[31:16]	0-FFFF	0-FFFF
146	[15:0]	R/W	CTL_RX_VL_MARKER_ID18[47:32]	0-FFFF	0-FFFF
147	[15:0]	R/W	CTL_RX_VL_MARKER_ID18[63:48]	0-FFFF	0-FFFF
14A	[15:0]	R/W	CTL_RX_VL_MARKER_ID19[15:0]	0-FFFF	0-FFFF
14B	[15:0]	R/W	CTL_RX_VL_MARKER_ID19[31:16]	0-FFFF	0-FFFF
14C	[15:0]	R/W	CTL_RX_VL_MARKER_ID19[47:32]	0-FFFF	0-FFFF
14D	[15:0]	R/W	CTL_RX_VL_MARKER_ID19[63:48]	0-FFFF	0-FFFF
150	0	R/W	TEST_MODE_PIN_CHAR	FALSE	0
				TRUE	1
151	0	R/W	CTL_PTP_TRANSPCLK_MODE	FALSE	0
				TRUE	1
152	0	R/W	CTL_TEST_MODE_PIN_CHAR	FALSE	0
				TRUE	1
156	[10:0]	R/W	CTL_TX_PTP_LATENCY_ADJUST[10:0]	0-7FF	0-7FF
157	[1:0]	R/W	CTL_RX_RSFECD_FILL_ADJUST[1:0]	0 - 3	0 - 3
158	[8:0]	R/W	CTL_RX_RSFECD_AM_THRESHOLD[8:0]	0-1FF	0-1FF
159	0	R/W	CTL_TX_CUSTOM_PREAMBLE_ENABLE	FALSE	0
				TRUE	1

设计流程步骤

本章介绍如何自定义和生成核、约束核以及应按照哪些特定于此 IP 核的仿真、综合和实现步骤进行操作。如需了解标准的 Vivado® 设计流程和 IP integrator 方面的详情，请参阅以下《Vivado Design Suite 用户指南》：

- 《Vivado Design Suite 用户指南：采用 IP integrator 设计 IP 子系统》(UG994) [\[参照 8\]](#)
- 《Vivado Design Suite 用户指南：采用 IP 进行设计》(UG896) [\[参照 9\]](#)
- 《Vivado Design Suite 用户指南：入门指南》(UG910) [\[参照 10\]](#)
- 《Vivado Design Suite 用户指南：逻辑仿真》(UG900) [\[参照 11\]](#)

自定义和生成核

本节包含有关使用赛灵思工具在 Vivado Design Suite 中自定义和生成核的信息。

如需在 Vivado IP integrator 中自定义和生成核，请参阅《Vivado Design Suite 用户指南：使用 IP integrator 设计 IP 子系统》(UG994) [\[参照 8\]](#) 以获取详细信息。验证或生成设计时，IP integrator 可能会自动计算某些配置值。要查看配置值是否会更更改，请参阅本章中的参数说明。要查看参数值，请在 Tcl 控制台中运行 `validate_bd_design` 命令。

您可以使用以下步骤通过指定各种 IP 核相关参数值对设计中要使用的 IP 进行自定义：

1. 从 IP 目录选择 IP。
2. 双击所选 IP、右键单击菜单或从工具栏中选择“Customize IP”命令。

欲知详情，请参阅《Vivado Design Suite 用户指南：采用 IP 进行设计》(UG896) [\[参照 9\]](#) 和《Vivado Design Suite 用户指南：入门指南》(UG910) [\[参照 10\]](#)。

注释：本章中的附图是 Vivado IDE 的插图。此布局可能与当前版本中的布局有所不同。

从 IP 目录中选中 100G Ethernet IP 时，会显示一个窗口，其中显示不同的可用配置。这些配置分别显示在各选项卡中，以便于读取和配置。以下提供了有关这些选项卡的详细信息。

General 选项卡

“常规配置 (General Configuration)”选项卡用于配置 Integrated 100G Ethernet 核功能。请参阅图 4-1。

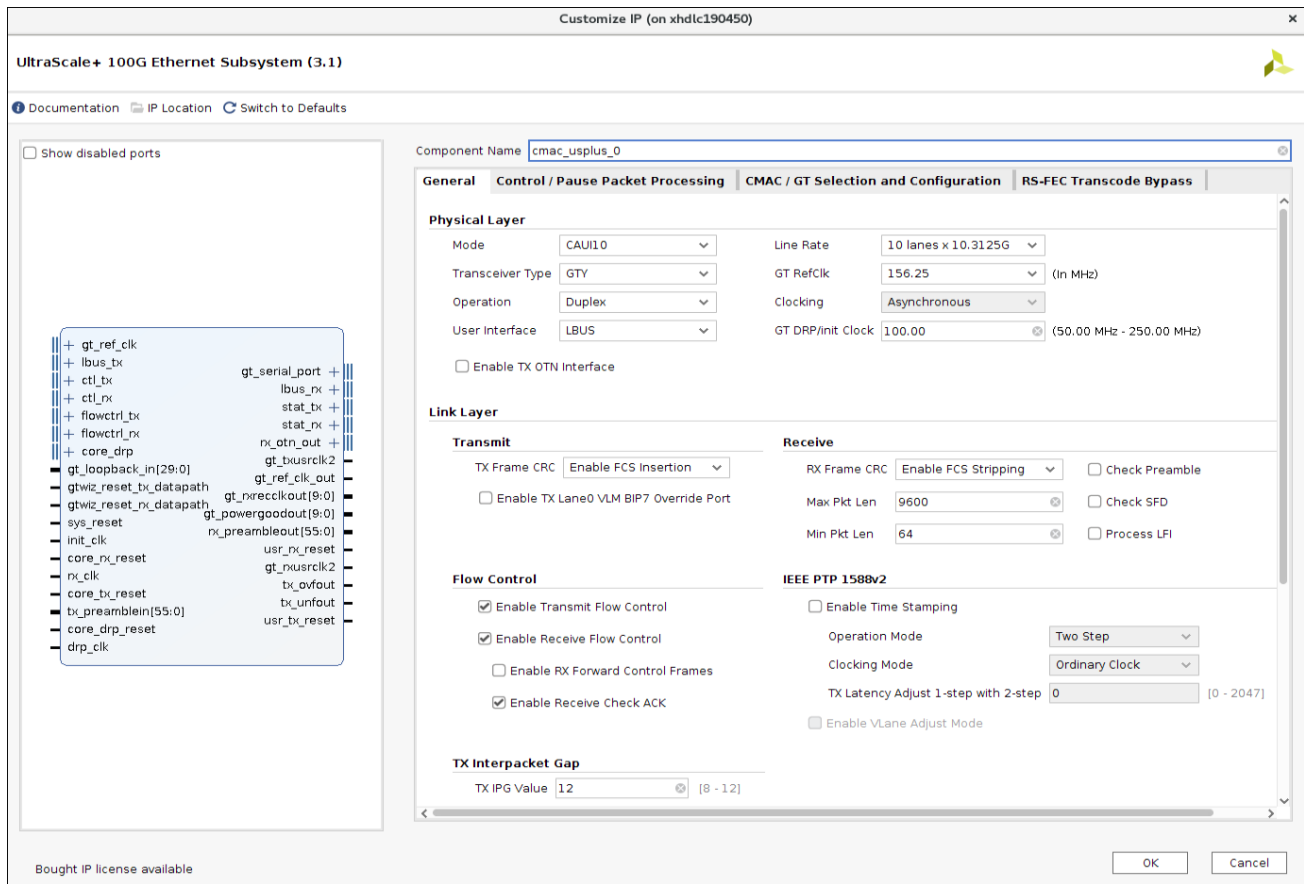


图 4-1：General 选项卡

表 4-1 描述了“常规 (General)”选项卡上的选项。

表 4-1: General 选项卡

参数	描述	默认值	范围
Physical Layer			
Mode	100G Ethernet 模式	CAUI 10	CAUI 10 CAUI 4 100GAUI 2 100GAUI 4 Runtime Switchable
Line Rate	通道数量和线速率	10 lanes x 10.3125 Gb/s	10 lanes x 10.3125 Gb/s 4 lanes x 25.7812 Gb/s 2 lanes x 53.125 Gb/s 4 lanes x 26.5625 Gb/s
Transceiver Type ⁽¹⁾	收发器类型	GTY	GTH GTY GTM
GT RefClk	所使用的 GT 的参考时钟	156.25 MHz	103.12 MHz 128.90 MHz 156.25 MHz 161.13 MHz 195.31 MHz 201.41 MHz 206.25 MHz 257.81 MHz 309.37 MHz 312.50 MHz 322.266 MHz
Operation	操作模式	Duplex	Simplex TX Simplex RX Duplex
Clocking	时钟模式	Asynchronous	Asynchronous
User Interface	用户接口	LBUS	LBUS AXIS
GT DRP/Init Clock	指定用于向 GT 以及 DRP 运行提供自由运行时钟的频率（以 MHz 为单位）	100.00	50 到 250 MHz
Enable TX OTN Interface	选中该选项将包含 TX 光传输网络 (OTN) RTL 接口。 注释：该功能在 CAUI-10 模式和 CAUI-4 模式下可用。	0	0：禁用 1：启用
Link Layer - Transmit			
TX Frame CRC ⁽²⁾	检查 X 帧 CRC	Enable FCS insertion	Enable FCS Insertion Disable FCS Insertion
Enable TX Lane0 VLM BIP7 Override Port ⁽²⁾	TX Lane0 VLM BIP7 覆盖	0	0：禁用 1：启用
Link Layer - Receive			

表 4-1：General 选项卡 （续）

参数	描述	默认值	范围
RX Frame CRC ⁽³⁾	检查 RX 帧 CRC	Enable FCS stripping	Enable FCS stripping Disable FCS stripping
Max Pkt Len ⁽³⁾	最大包长	9,600	64 - 16383
Min Pkt Len ⁽³⁾	最小包长	64	64 - 255
Check Preamble ⁽³⁾	检查前导码	0	0: 禁用 1: 启用
Check SFD ⁽³⁾	检查 SFD	0	0: 禁用 1: 启用
Process LFI ⁽³⁾	RX 进程 LFI (本地故障指示)	0	0: 禁用 1: 启用
Link Layer - Flow Control			
Enable Transmit Flow Control	启用发射流程控制	1	0: 禁用 1: 启用
Enable Receive Flow Control	启用接收流程控制	1	0: 禁用 1: 启用
Enable RX Forward Control Frames ⁽⁴⁾	转发控制帧	0	0: 禁用 1: 启用
Enable Receive Check ACK	启用接收检查 ACK	1	0: 禁用 1: 启用
Link Layer - IEEE PTP 1588v2			
Enable Time Stamping	启用时间戳	0	0: 禁用 1: 启用
Operation Mode	选择操作模式。 以下情况下不可用： Enable Time Stamping = 0	Two Step	One Step Two Step Both
Clocking Mode	选择时钟模式。 以下情况下不可用：Enable Time Stamping = 0	Ordinary Clock	Ordinary Clock Transparent Clock
TX Latency Adjust 1-step with 2-step	以下情况下不可用： Enable Time Stamping = 0 且默认值为 0。 仅限以下情况下可用： Operation Mode 设为“Both”。 如果 Clocking Mode 设为 Ordinary Clock 则默认值为 705。 如果 Clocking Mode 设为 Transparent Clock 则默认值应为 802。	0	0 - 2047
Enable VLane Adjust Mode	以下情况下不可用： Enable Time Stamping = 0。 以下情况下可用： Operation Mode 设为 “One Step”或“Both”。	0	0: 禁用 1: 启用

表 4-1：General 选项卡 （续）

参数	描述	默认值	范围
Link Layer - TX Interpacket Gap			
TX IPG Value	TX Interpacket Gap Value	12	8 到 12 （整数值）
其它功能			
Include IEEE 802.3bj RS-FEC ⁽⁵⁾	选中该选项将在 CMAC 与 GT 之间包含 IEEE 802.3bj RS-FEC。 对于 100GAUI-2 模式，GTM 中的 KP4 FEC Transcode 已启用并灰显。 注释： 该功能在 100GAUI-2、CAUI-4 和 Runtime Switchable 模式下可用。	0	0: 禁用 1: 启用
Include AN/LT Logic	选中该选项将包含 AN/LT 软核逻辑。 注释： 该功能仅在 CAUI-4 模式下可用。	0	0: 禁用 1: 启用
Include AXI4-Lite Control and Statistics Interface	启用该选项时，将在核中提供 AXI4-Lite 接口。	0	0: 禁用 1: 启用
Include Statistics Counters	选中该选项将在 AXI4-Lite 寄存器中包含统计数据计数器。 注释： 选中“ Include AXI4-Lite Control and Statistics Interface ”时即启用该功能。	0	0: 禁用 1: 启用
Statistics Resource Type	该选项用于指示统计数据计数器的实现类型。 注释： 选中“ Include AXI4-Lite Control and Statistics Interface ”和“ Include Statistics Counters ”时即启用该功能。	Registers	Registers Block RAM ⁽⁶⁾

注释：

- 收发器将根据器件可用性来进行选择。
- 需启用 TX。仅限 Operation = Simplex TX 模式或 Duplex 模式时才可用。
- 需启用 RX。仅限 Operation = Simplex RX 模式或 Duplex 模式时才可用。
- 禁用接收流程控制时，禁用该选项。
- 对于 100GAUI-2 模式，采用“Include KP4 FEC Transcode”配置。在此情况下，使用 GTM 中的 KP4 FEC Transcode。
- 后续版本中将支持针对统计数据计数器使用“Block RAM”设置。

Control/Pause Packet Processing 选项卡

图 4-2 中显示了“控制/暂停包处理 (Control/Pause Packet Processing)”选项卡，在表 4-2 中提供了有关该选项卡的说明。

UltraScale+ 100G Ethernet Subsystem (3.1)

Documentation IP Location Switch to Defaults

Component Name: cmac_usplus_0

General Control / Pause Packet Processing CMAC / GT Selection and Configuration RS-FEC Transcode Bypass

The value provided for configuration options in this page must be set in Hexadecimal

Source Address SA / Destination Address DA

Transmit		Receive	
GPP SA	0x000000000000	Pause DA Unicast	0x000000000000
GPP DA	0x0180C2000001	Pause SA	0x000000000000
PPP SA	0x000000000000	Pause DA Multicast	0x0180C2000001
PPP DA	0x0180C2000001		

Opcodes

Transmit		Receive	
GPP	0x0001	GPP	0x0001
PPP	0x0101	GCP Min	0x0000
		GCP Max	0xFFFF

Ether Type

Transmit		Receive	
GPP	0x8808	GPP	0x8808
PPP	0x8808	GCP	0x8808

NOTE:
GPP: Global Pause Packet
GCP: Global Control Packet
PPP: Priority Pause Packet
PCP: Priority Control Packet

Bought IP license available

OK Cancel

图 4-2：Control/Pause Packet Processing 选项卡

表 4-2：Control/Pause Packet Processing 选项卡

参数	描述	默认值	范围
Source Address (SA)/ Destination Address (DA) - Transmit			
TX GPP SA[47:0] ⁽¹⁾	发射全局暂停包源地址	0x000000000000	0x000000000000 - 0xFFFFFFFFFFFFFF
TX GPP DA[47:0] ⁽¹⁾	发射全局暂停包目标地址	0x0180C2000001	0x000000000000 - 0xFFFFFFFFFFFFFF
TX PPP SA[47:0] ⁽¹⁾	发射优先暂停包源地址	0x000000000000	0x000000000000 - 0xFFFFFFFFFFFFFF
TX PPP DA[47:0] ⁽¹⁾	发射优先暂停包目标地址	0x0180C2000001	0x000000000000 - 0xFFFFFFFFFFFFFF
Source Address (SA)/ Destination Address (DA) - Receive			
RX Pause DA Unicast[47:0] ⁽²⁾	接收暂停目标地址单播	0x000000000000	0x000000000000 - 0xFFFFFFFFFFFFFF
RX Pause SA[47:0] ⁽²⁾	接收源地址	0x000000000000	0x000000000000 - 0xFFFFFFFFFFFFFF
RX Pause DA Multicast[47:0] ⁽²⁾	接收暂停目标地址多播	0x0180C2000001	0x000000000000 - 0xFFFFFFFFFFFFFF
Opcodes - Transmit			
TX Opcode GPP[15:0] ⁽²⁾	全局暂停包的发射操作代码	0x0001	--
TX Opcode PPP[15:0] ⁽¹⁾	优先暂停包的发射操作代码	0x0101	--
Opcodes - Receive			
RX Opcode GPP[15:0] ⁽²⁾	全局暂停包的接收操作代码	0x0001	--
RX Opcode GCP[15:0] Min ⁽³⁾	全局控制包的接收最小操作代码	0x0000	0x0000 - 0xFFFF
RX Opcode GCP[15:0] Max ⁽³⁾	全局控制包的接收最大操作代码	0xFFFF	0x0000 - 0xFFFF
RX Opcode PPP[15:0] ⁽²⁾	优先暂停包的接收操作代码	0x0101	--
RX Opcode PCP[15:0] Min ⁽³⁾	优先控制包的接收最小操作代码	0x0000	0x0000 - 0xFFFF
RX Opcode PCP[15:0] Max ⁽³⁾	优先控制包的接收最大操作代码	0xFFFF	0x0000 - 0xFFFF

表 4-2：Control/Pause Packet Processing 选项卡 （续）

参数	描述	默认值	范围
EtherType - Transmit			
TX EtherType GPP[15:0] ⁽¹⁾	全局暂停包的发射以太类型	0x8808	--
TX EtherType PPP[15:0] ⁽¹⁾	优先暂停包的发射以太类型	0x8808	--
EtherType - Receive			
RX EtherType GPP[15:0] ⁽²⁾	全局暂停包的接收以太类型	0x8808	--
RX EtherType GCP[15:0] ⁽³⁾	全局控制包的接收以太类型	0x8808	--
RX EtherType PPP[15:0] ⁽²⁾	优先暂停包的接收以太类型	0x8808	--
RX EtherType PCP[15:0] ⁽³⁾	优先控制包的接收以太类型	0x8808	--

注释：

1. 必须启用 TX 流程控制才能使用此功能。
2. 必须启用 RX 流程控制才能使用此功能。
3. 必须启用 RX 才能使用此功能。

CMAC/GT Selections and Configuration 选项卡

此“CMAC/GT 选择与配置 (CMAC/GT Selection and Configuration)”选项卡用于配置收发器资源，如图 4-3 中所示。此窗口会加载预填充的默认值。

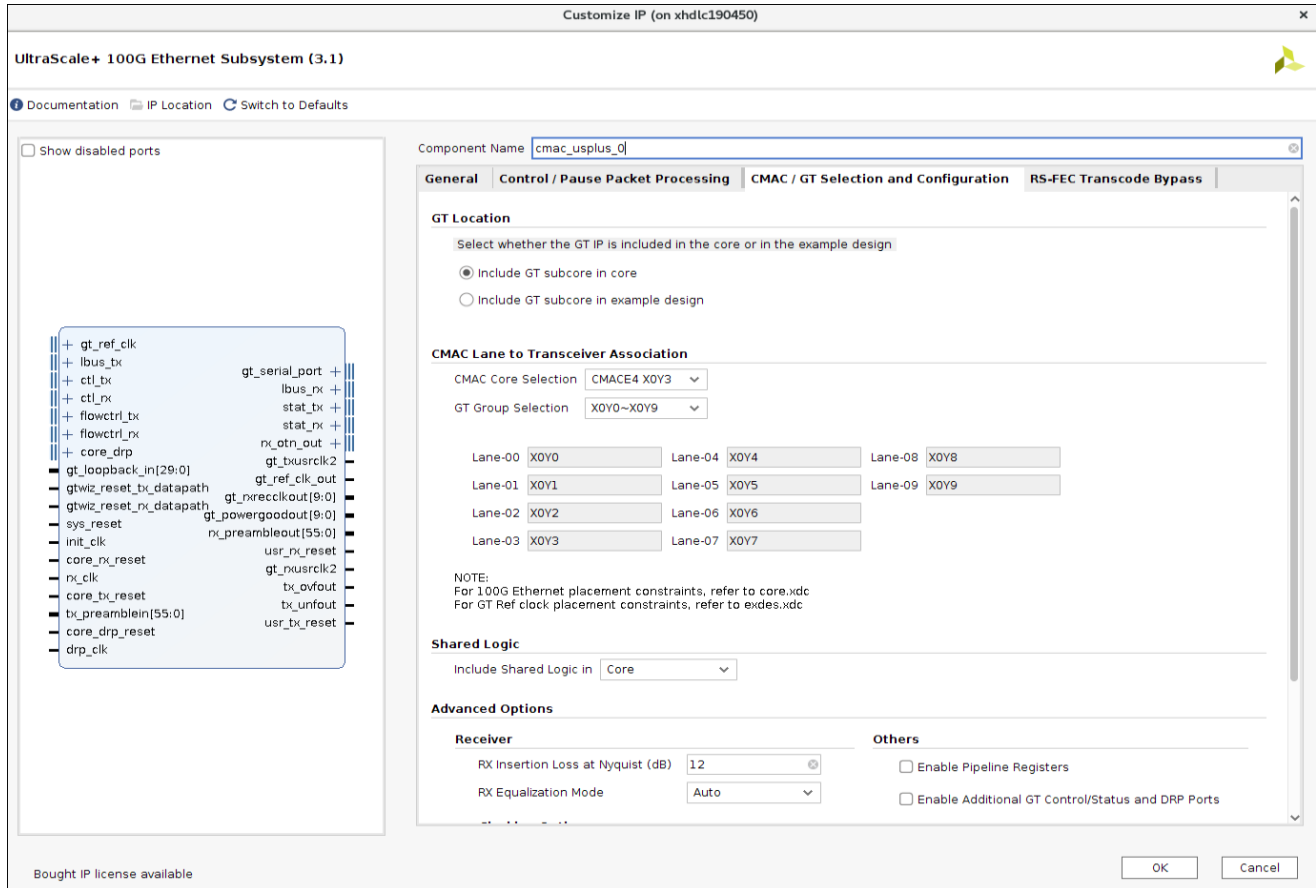


图 4-3：CMAC/GT Selections and Configuration 选项卡

表 4-3 对“GT Selection and Configuration”选项卡进行了说明。

表 4-3：GT Selections and Configuration 选项卡

参数	描述	默认值	范围
GT Location			
GT Location Selection	选择将 GT IP 包含在核中还是包含在设计示例中	Include GT subcore in core	Include GT subcore in core Include GT subcore in example design
CMAC Lane to Transceiver Association			
CMAC Core Selection	选择 100G Ethernet 硬核 IP 的位置	基于所选 FPGA、器件编号、CMAC 模式和 GT 类型	基于所选 FPGA、器件编号、CMAC 模式和 GT 类型，对应该特定器件/封装的所有可用/可配置 100G Ethernet IP 核都将列出。
GT Group Selection	选择 GT 组	基于 FPGA、器件编号、CMAC 模式、所选 GT 类型以及 GT 选择指南	基于 FPGA、器件编号、CMAC 模式、所选 GT 类型以及 GT 选择指南。
Lane-00 到 Lane-09	基于所选 GT 组自动填充 GT 通道	收发器的最佳组合将根据所选 100G Ethernet IP 核位置自动填充	根据所选模式（CAUI-10、CAUI-4、100GAUI-2 或 Runtime Switchable），遵循 GT 选择指南进行操作。如需了解更多详情，请参阅第 3 章中的“收发器选择规则”。
Shared Logic			
Include Shared Logic in	判定收发器共享逻辑的位置	Core	Core Example Design
Advanced Options			
Receiver			
RX Insertion Loss at Nyquist (dB)	指定发射器与接收器之间通道插入损失（奈奎斯特频率，以 dB 为单位）。 注释：该选项可用于“Duplex”操作模式和“Simplex RX”操作模式。	12	取决于 GT
RX Equalization Mode	指定“Auto”时，该向导所实现的均衡模式取决于针对奈奎斯特插入损失指定的值。请参阅赛灵思 UG576/UG578 以判定系统适用的均衡模式。 注释：该选项可用于“Duplex”操作模式和“Simplex RX”操作模式。该功能设为“Auto”，针对 GTM 收发器类型为灰显。	Auto	Auto DFE LPM
Clocking Options			
RX GT Buffer	控制 GT 接收器弹性缓存旁路以多通道模式还是单通道模式工作。 注释：该选项可用于“Duplex”操作模式和“Simplex RX”操作模式。该功能不适用于 GTM 收发器类型。	Enable	Enable Bypass

表 4-3：GT Selections and Configuration 选项卡 （续）

参数	描述	默认值	范围
RX GT Buffer Bypass Mode	RX GT 缓存旁路模式。 当“RX GT Buffer”选项设为“ Enable ”时，“RX GT Buffer Bypass Mode”设为“Multi-Lane”。 “RX GT Buffer”选项设为“ Bypass ”时，“RX GT Buffer Bypass Mode”设为“Single-Lane”。 注释：该选项可用于“ Duplex ”操作模式和“ Simplex RX ”操作模式。该功能不适用于 GTM 收发器类型。	Multi-Lane	Multi-Lane Single-Lane
GT QPLL			
PLL 类型	GT PLL 类型 注释：该功能不适用于 GTM 收发器类型。	QPLL0	QPLL0 QPLL1
其他			
Enable Pipeline Register	选中该选项将在 CMAC 核与 GT 之间包含一阶流水线寄存器以简化时序。	0	0：禁用 1：启用
Enable Additional GT Control/Status and DRP Ports	启用其它 GT 控制/状态和 DRP 端口	0	0：禁用 1：启用

RS-FEC Transcode Bypass 选项卡

图 4-4 中显示了“RS-FEC 转码旁路 (RS-FEC Transcode Bypass)”选项卡，表 4-4 中对其进行了说明。

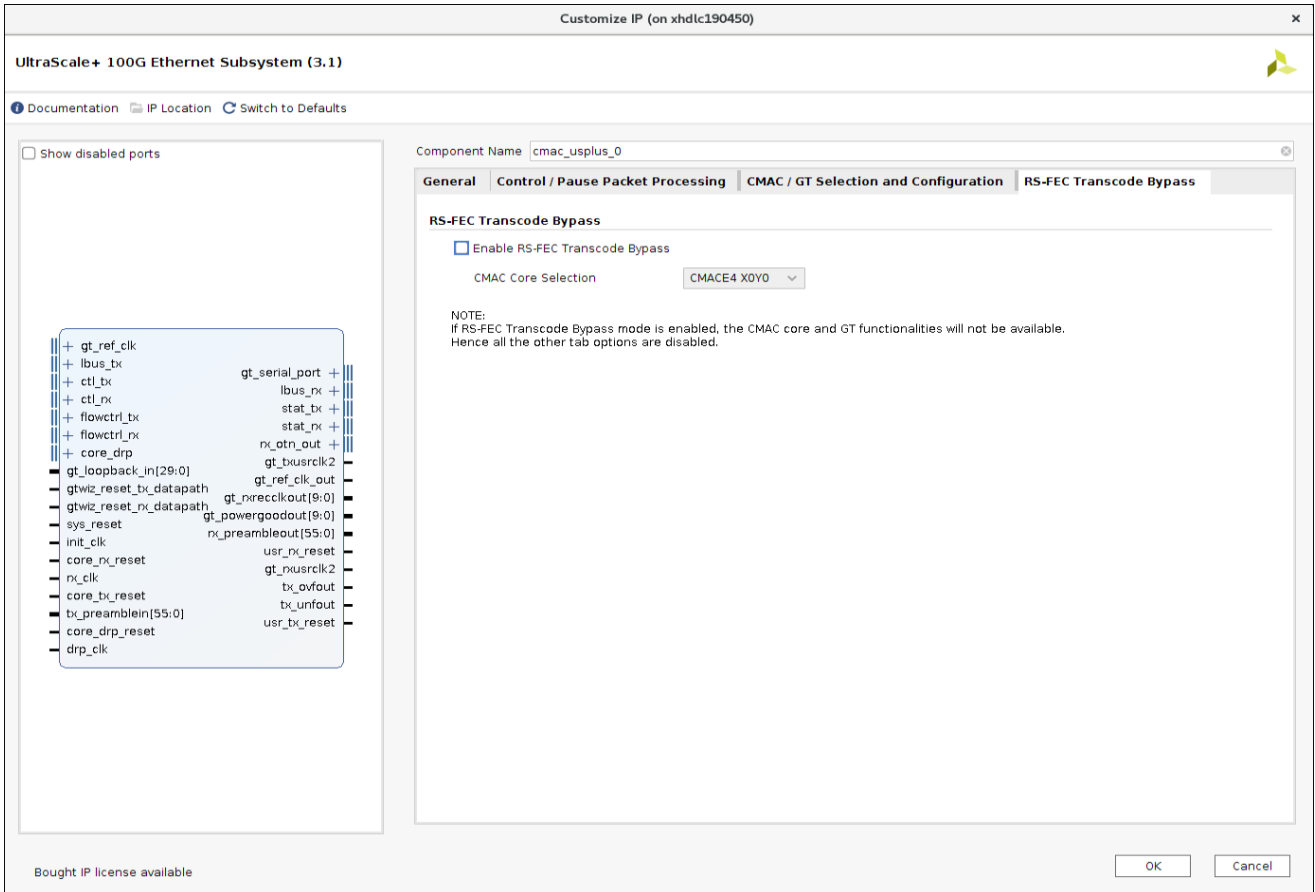


图 4-4：RS-FEC Transcode Bypass 选项卡

表 4-4：RS-FEC Transcode Bypass 选项卡

参数	描述	默认值	范围
RS-FEC Transcode Bypass			
Enable RS-FEC Transcode Bypass	选择仅使用 RS-Encoder/Decoder 或者使用完整 802.3bj RS-FEC 子层（包括转码）。	0	0：禁用 1：启用
CMAC Core Selection	选择 100G Ethernet 硬核 IP 位置（含 RSFEC）。	基于 FPGA 和器件编号	基于 FPGA 和器件编号

注释：

- 如果“Enable RS-FEC Transcode Bypass”模式设为**启用**，那么 CMAC 核和 GT 功能不可用；因此将禁用所有其它选项卡选项。

输出生成

欲知详情，请参阅《Vivado Design Suite 用户指南：采用 IP 进行设计》(UG896) [参照 9]。

核的约束

本节包含有关如何在 Vivado Design Suite 中约束核的信息。

所需约束

适用于 100G Ethernet IP 核的 UltraScale+™ 器件集成块需要时序规格及其它物理实现约束才能满足指定性能要求。这些约束在赛灵思设计约束 (XDC) 文件中提供。生成的 XDC 中的管脚输出和层级名称对应于所提供的 100G Ethernet IP 核的设计示例。

为了达成一致的实现结果，通过赛灵思工具运行设计时，必须使用包含这些未经修改的原始约束的 XDC。如需获取有关 XDC 或特定约束的定义和使用的额外详情，请参阅《Vivado Design Suite 用户指南：使用约束》(UG903) [参照 12]。

100G Ethernet IP 核中提供的约束已通过实现得到验证，并提供一致结果。约束可修改，但前提是充分了解每个约束的影响。

器件、封装和速度等级选择

本节不适用于此 IP 核。

时钟频率

本节不适用于此 IP 核。

时钟管理

本节不适用于此 IP 核。

时钟布局

本节不适用于此 IP 核。

bank 分配

本节不适用于此 IP 核。

收发器布局

本节不适用于此 IP 核。

I/O 标准与布局

本节不适用于此 IP 核。

仿真

如需获取有关 Vivado 仿真组件的全面信息以及与使用支持的第三方工具相关的信息，请参阅《Vivado Design Suite 用户指南：逻辑仿真》(UG900) [\[参照 11\]](#)。

如需获取有关设计示例仿真的信息，请参阅第 5 章中的“设计示例仿真”。

综合与实现

如需了解有关综合和实现的详情，请参阅《Vivado Design Suite 用户指南：采用 IP 进行设计》(UG896) [\[参照 9\]](#)。

如需获取有关设计示例的综合和实现的信息，请参阅第 5 章中的“设计示例的综合和实现”。

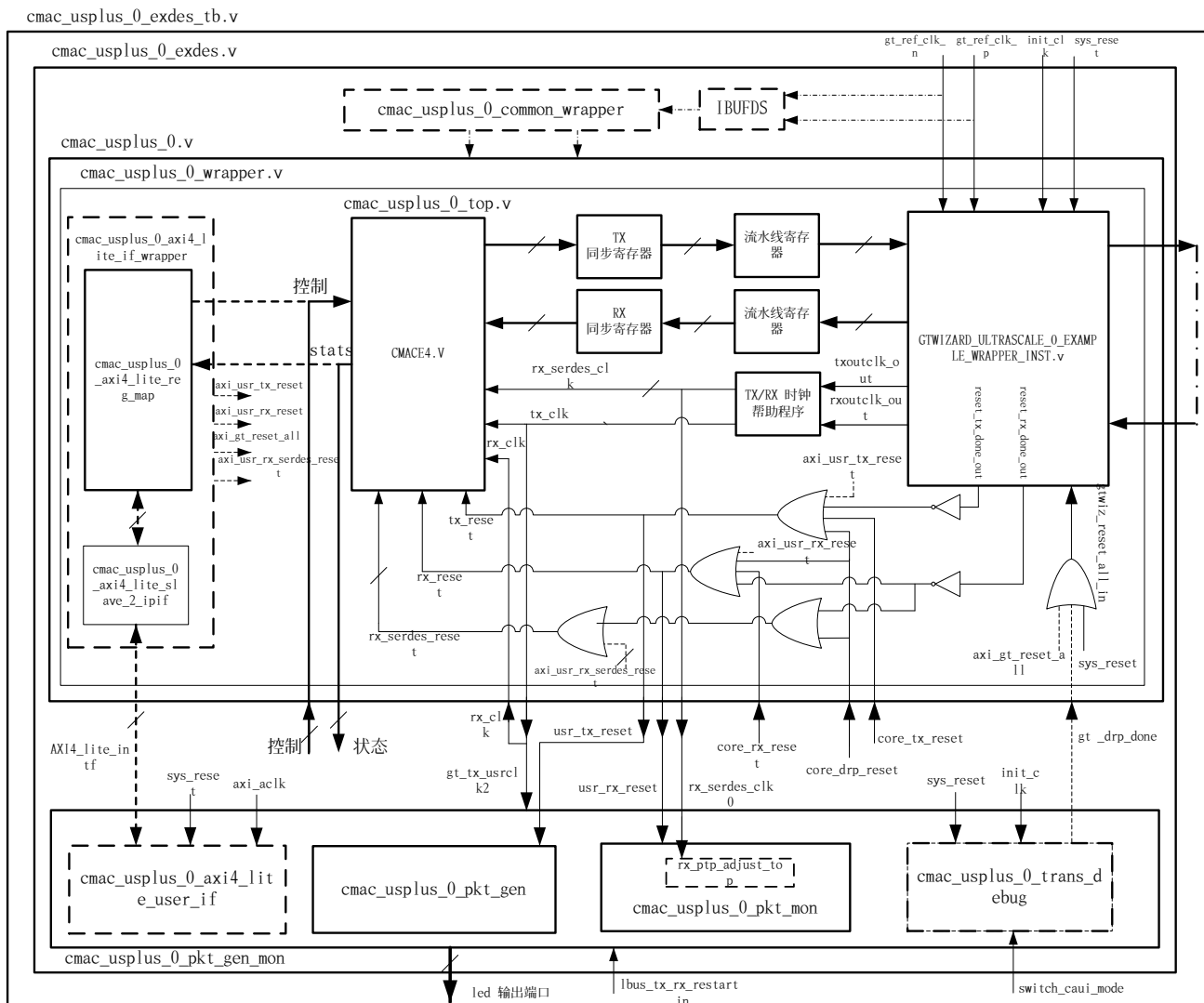
设计示例

简介

本章对 UltraScale+™ 器件 Integrated 100G Ethernet Subsystem 设计示例及设计示例中实现的各种测试场景进行了说明。

设计层级示例（核中包含 GT 子核）

图 5-1 显示了设计层级示例（核中包含 GT 子核）。



XI6356-022317

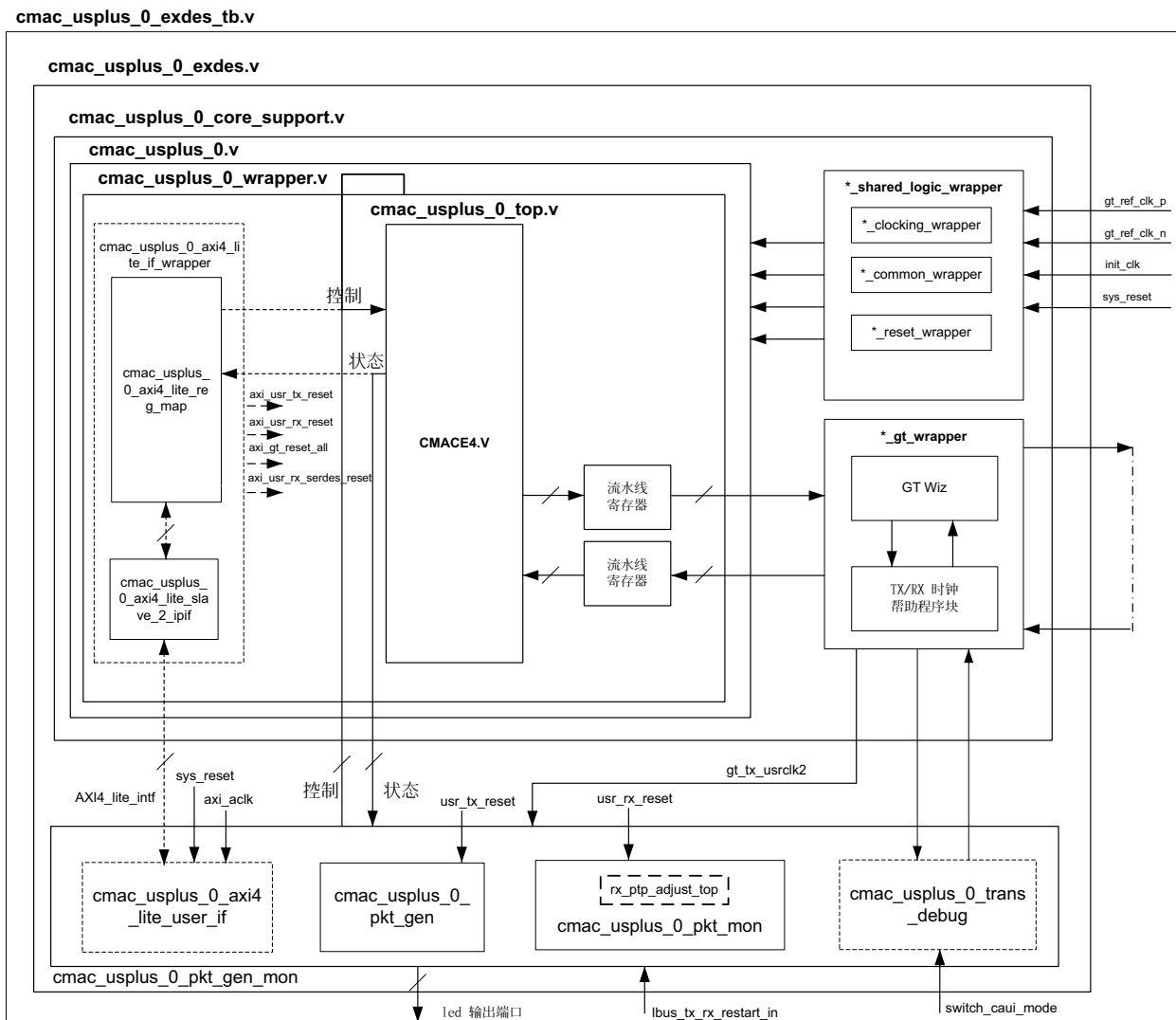
图 5-1：设计层级示例（核中包含 GT 子核）

图 5-1 通过核中包含 GT 子核的配置设计示例，显示了其中各模块的例化及其层级。cmac_usplus_0 模块可用于例化 Integrated 100G Ethernet IP 核与 GT 以及各帮助程序块。同步寄存器和流水线寄存器用于核与 GT 之间的数据同步。时钟帮助程序块用于为该核生成所需时钟频率。cmac_usplus_0_pkt_gen_mon 模块可用于例化 cmac_usplus_0_pkt_gen（包生成器）和 cmac_usplus_0_pkt_mon（包监控器）。cmac_usplus_0_pkt_gen_mon 和 cmac_usplus_0 使用几个信号（例如，GT 锁定信号、RX 对齐信号和数据传输信号）根据 LBUS 协议彼此握手，欲知详情，请参阅后续章节。cmac_usplus_0_pkt_gen 模块主要负责生成包。其中包含状态机用于监控 GT 与核的状态（即，GT 锁定和 RX 对齐），并将流量发送至核。同样，cmac_usplus_0_pkt_mon 模块主要负责接收和检查来自核的包。其中包含状态机用于监控 GT 与核的状态（即，GT 锁定和 RX 对齐），并接收来自核的流量。

设计示例中例化的其它可选模块如下所述：

- **cmac_usplus_0_trans_debug**: 此模块用于从核中引出收发器的所有 DRP 端口。在设计示例中，在下列情况下会呈现此模块：
 - 在 Vivado® 集成设计环境 (IDE) 中选择“Runtime Switchable”模式时，此模块将用于执行 GT DRP 写入操作，以更改 GT 配置（即，从 CAUI-4 更改为 CAUI-10 或从 CAUI-10 更改为 CAUI-4）。完成 DRP 写入操作后，此模块会生成 `gt_drp_done` 信号，用于复位 GT。
 - 在 100G Ethernet IP Vivado IDE 的“CMAC/GT Selections and Configuration 选项卡”中选中“Enable Additional GT Control/Status and DRP Ports”时。
- **cmac_usplus_0_shared_logic_wrapper**: 在 100G Ethernet IP Vivado IDE 的“CMAC/GT Selections and Configuration 选项卡”中选中“Include Shared Logic in example design”时，此模块在设计示例中将可供使用。此封装器包含 3 个模块：`cmac_usplus_0_clocking_wrapper`、`cmac_usplus_0_reset_wrapper` 和 `cmac_usplus_0_common_wrapper`。`cmac_usplus_0_clocking_wrapper` 包含 IBUFDS 的例化，供 `gt_ref_clk` 和 `cmac_usplus_0_reset_wrapper` 用于引出在核与 GT 之间例化的复位架构。`cmac_usplus_0_common_wrapper` 用于从 100G Ethernet IP 核引出收发器公用模块。
- **Pipeline registers**: 选中“CMAC/GT Selections and Configuration 选项卡”中的“Enable Pipeline register”时，在核与收发器之间会引入单阶流水线寄存器。其中包括在核宏与收发器之间引入单阶流水线寄存器以简化时序，对应 TX 和 RX 路径分别使用 `gt_txusrclk2` 和 `gt_rxusrclk2`。
- **TX / RX Sync register**: TX 同步寄存器用于对核与收发器之间的 `tx_clk` 相关数据进行双重同步。RX 同步寄存器用于对收发器与核之间的 `rx_serdes_clk` 相关数据进行双重同步。
- **rx_ptp_adjust_top**: 选中“General 选项卡”中的“Enable time stamping”时，此模块会显示在包监控器模块内部。此软核逻辑可通过加减所选通道的相对填充级别来提升时间戳精确度，并补偿通道对齐 FIFO 填充级别。此模块包含窗口平均块，窗口固定大小为 32。
- **cmac_usplus_0_axi4_lite_if_wrapper**: 选中“General 选项卡”中的“Include AXI4-Lite Control and Statistics Interface”时，此模块将包含在 `cmac_usplus_0_wrapper` 内。此封装器包含 2 个模块：`cmac_usplus_0_axi4_lite_reg_map` 和 `cmac_usplus_0_axi4_lite_slave_2_ipif`。在“AXI4-Lite 接口实现”中提供了这些模块的详细信息。
- **cmac_usplus_0_axi4_lite_user_if**: 选中“General 选项卡”中的“Include AXI4-Lite Control and Statistics Interface”时，此模块将显示在 `cmac_usplus_0_pkt_gen_mon` 内。在“AXI4-Lite 接口实现”中提供了此模块的详细信息。

设计层级示例（设计示例中包含 GT 子核）



X22132-121118

图 5-2：设计层级示例（设计示例中包含 GT 子核）

图 5-2 显示了当 GT（串行收发器）位于 IP 核外部（即，位于设计示例中）时，各种模块的例化及其在设计示例中的层级。选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”选项时即可生成此层级设计示例。

选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”选项时，或者选中“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in example design”选项时，在层级中将呈现 cmac_usplus_0_core_support.v。

这将例化对应“Include Shared Logic in example design”选项的 cmac_usplus_0_shared_logic_wrapper.v 模块和 cmac_usplus_0.v 模块。选中“GT subcore in example design”选项时，将呈现 cmac_usplus_0_gt_wrapper.v 模块。

cmac_usplus_0 模块会例化包含 CMAC 和同步寄存器以及流水线寄存器的 cmac_usplus_0_wrapper 模块，以便同步 CMAC 核与设计示例中的 GT 子核之间的数据。GT 子核会在 CMAC 核的时钟帮助程序块的帮助下生成所需的时钟频率。cmac_usplus_0_pkt_gen_mon 模块可用于例化 cmac_usplus_0_pkt_gen（包生成器）和 cmac_usplus_0_pkt_mon（包监控器）。cmac_usplus_0_pkt_gen_mon 和 cmac_usplus_0_core_support

将使用几个信号（例如，GT 锁定信号、RX 对齐信号和数据传输信号）根据 LBUS 协议彼此握手，欲知详情，请参阅后文。`cmac_usplus_0_pkt_gen` 模块主要负责生成包。其中包含状态机用于监控 GT 与 CMAC 的状态（即，GT 锁定和 RX 对齐），并将流量发送至核。同样，`cmac_usplus_0_pkt_mon` 模块主要负责接收和检查来自核的包。其中包含状态机用于监控 GT 与 CMAC 的状态（即，GT 锁定和 RX 对齐），并接收来自核的流量。

设计示例中例化的其它可选模块如下所述：

- `cmac_usplus_0_shared_logic_wrapper`：选中 100G Ethernet IP Vivado IDE 的“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”或“Include Shared Logic in example design”时，在设计示例中将显示此模块。此封装器包含 3 个模块：`cmac_usplus_0_clocking_wrapper`、`cmac_usplus_0_reset_wrapper` 和 `cmac_usplus_0_common_wrapper`。`cmac_usplus_0_clocking_wrapper` 包含 IBUFDS 的例化，供 `gt_ref_clk` 和 `cmac_usplus_0_reset_wrapper` 用于引出在核与 GT 之间例化的复位架构。`cmac_usplus_0_common_wrapper` 用于从 100G Ethernet IP 核引出收发器公用模块。
- `cmac_usplus_0_gt_wrapper`：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”选项时，在设计示例中即可显示此模块。此模块包含 GT 的例化以及各种帮助程序块。时钟帮助程序块用于为该核生成所需时钟频率。

用户接口

已提供通用 I/O (GPIO) 用于控制设计示例。表 5-1 中列出了 I/O。

表 5-1：用户 I/O 端口⁽¹⁾

名称	大小	I/O	描述
<code>sys_reset</code>	1	I	用于 <code>cmac_usplus_0</code> 的复位
<code>gt_ref_clk_p</code>	1	I	差分输入时钟，连接到 GT
<code>gt_ref_clk_n</code>	1	I	差分输入时钟，连接到 GT
<code>init_clk</code>	1	I	稳定且自由运行的时钟，输入到 GT
<code>pm_tick</code>	1		PM 时钟节拍输入，用于 AXI4-Lite 读取操作。 注释：选中“General 选项卡”中的“Include AXI4-Lite Control and Statistics Interface”时，此输入可用。
<code>simplex_mode_rx_aligned</code>	1	I	此信号用于指示 Simplex RX 模块可对齐到的生成器模块，并指示此生成器现在可以开始包生成操作。 注释：此输入仅对 Simplex TX 可用。
<code>send_continuous_pkts</code>	1	I	此信号用于流送连续包。 • 1'b1：从生成器流送连续包 • 1'b0：将发射固定数量的包 对于运行时可切换配置：如果此输入最初为 1'b1，则必须先断言此信号无效，然后才能切换模式。
<code>switch_caui_mode</code>	1	I	此信号用于例化 GT DRP 写入操作，以切换核的操作模式。 完成 GT DRP 操作后，将对已切换的模式执行正常数据健全性检验。 注释：此输入仅在 Runtime Switchable 模式下可用。此输入应为单脉冲。对齐 RX 后才能应用其它脉冲。
<code>lbus_tx_rx_restart_in</code>	1	I	当包生成器和包监控器处于空闲状态时（即当 <code>tx_busy_led = 0</code> 且 <code>rx_busy_led = 0</code> 时），此信号用于重新启动包生成和接收以便执行数据健全性测试。

表 5-1：用户 I/O 端口⁽¹⁾（续）

名称	大小	I/O	描述
tx_gt_locked_led	1	O	指示 GT 处于已锁定状态。 注释：此输出仅在 Simplex TX 模式下可用。
tx_done_led	1	O	指示包生成器已发送所有包。
caui_mode_led	1	O	指示核操作模式 (CAUI10 / CAUI4): • 1'b0: CAUI10 • 1'b1: CAUI4 注释：此输入仅在 Runtime Switchable 模式下可用。
tx_busy_led	1	O	指示生成器处于忙碌状态，且无法响应 lbus_tx_rx_restart_in 命令。
rx_gt_locked_led	1	O	指示 GT 处于已锁定状态。
rx_aligned_led	1	O	指示已完成 RX 对齐。
rx_done_led	1	O	指示监控器已收到所有包。
rx_data_fail_led	1	O	指示在包监控器中数据比较失败。
rx_busy_led	1	O	指示监控器处于忙碌状态，且无法响应 lbus_tx_rx_restart_in 命令。
stat_reg_compare_out	1	O	指示 TX 和 RX 统计数据寄存器比较状态。 • 1'b1: 指示 TX 和 RX 统计数据均匹配。 • 1'b0: 指示 TX 与 RX 统计数据之间是否存在任何不匹配。 注释：选中“General”选项卡中的“Include AXI4-Lite Control and Statistics Interface”时，此输出可用。

注释：

- 对于表中提及的所有输入和输出信号，已完成内部三阶寄存操作。

CORE XCI 顶层端口列表

表 5-2 中显示了启用所有功能的核 XCI 的顶层端口列表。

表 5-2：CORE XCI 顶层端口列表

名称	大小	I/O	描述
sys_reset	1	I	CMAC 核的复位。
gt_ref_clk_p	1	I	差分输入时钟，连接到 GT。
gt_ref_clk_n	1	I	差分输入时钟，连接到 GT。
init_clk	1	I	稳定且自由运行的时钟，输入到 GT。用作为 GT 复位状态机以及 GT 通道端口和公用 DRP 端口（如已包含）的时钟。
gt_loopback_in	30/12	I	GT 环回输入信号。请参阅相应的 GT 用户指南 [参照 15] [参照 16] 。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 30 位，针对 CAUI-4/100GAUI-4 模式，位宽为 12 位。
gt_rxreclkout	10/4	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
gt_ref_clk_out	1	O	GT 参考时钟输出。
gt_powergoodout	10/4	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxp_in	10/4	I	差分串行 GT RX 输入。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxn_in	10/4	I	差分串行 GT RX 输入。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_txp_out	10/4	O	差分串行 GT TX 输出。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_txn_out	10/4	O	差分串行 GT TX 输出。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_txusrclk2	1	O	来自 GT 的 TX 用户时钟输出。
gt_rxusrclk2	1	O	来自 GT 的 RX 用户时钟输出。
rx_clk	1	I	RX 时钟输入。
tx_clk	1	I	TX 时钟输入。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”时，此端口可用。
core_rx_reset	1	I	RX 复位输入，连接到核。 注释：此输入已与核内部的相应时钟实现 2 阶同步。
core_tx_reset	1	I	TX 复位输入，连接到核。 注释：此输入已与核内部的相应时钟实现 2 阶同步。
usr_rx_reset	1	O	对应用户逻辑的 RX 复位输出。
usr_tx_reset	1	O	对应用户逻辑的 TX 复位输出。
core_drp_reset	1	I	核 DRP 复位。 注释：此输入已与核内部的相应时钟实现 2 阶同步。
gtwiz_userdata_tx_in	320	O	设计示例中存在 GT 时的 GT TX 用户数据输出 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”时，此端口可供 CAUI-10 配置使用。
gtwiz_userdata_rx_out	320	I	设计示例中存在 GT 时的 GT RX 用户数据输入 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”时，此端口可供 CAUI-10 配置使用。
txdata_in	1280	O	设计示例中存在 GT 时的 GT TX 用户数据输出 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”时，此端口可供 CAUI-4/Runtime Switchable 配置使用。
txctrl0_in	160	O	GT TX 用户控制输出 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”时，此端口可供 CAUI-4/Runtime Switchable 配置使用。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
txctrl1_in	160	O	GT TX 用户控制输出 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”时，此端口可供 CAUI-4/Runtime Switchable 配置使用。
rxdata_out	1280	I	设计示例中存在 GT 时的 GT RX 用户数据输入 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”时，此端口可供 CAUI-4/Runtime Switchable 配置使用。
rxctrl0_out	160	I	GT RX 用户控制输入 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”时，此端口可供 CAUI-4/Runtime Switchable 配置使用。
rxctrl1_out	160	I	GT RX 用户控制输入 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”时，此端口可供 CAUI-4/Runtime Switchable 配置使用。
gt_eyescanreset	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_eyescantrigger	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxcdrhold	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxpolarity	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxrate	30/12	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 30 位，针对 CAUI-4/100GAUI-4 模式，位宽为 12 位。
gt_txdiffctrl	50/20	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 50 位，针对 CAUI-4/100GAUI-4 模式，位宽为 20 位。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
gt_txpolarity	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_txinhibit	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 20 位。
gt_txpippmen	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 20 位。
gt_txpippmisel	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 20 位。
gt_txpostcursor	50/20	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 50 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_txprbsforceerr	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_txprecursor	50/20	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 50 位，针对 CAUI-4/100GAUI-4 模式，位宽为 20 位。
gt_eyescandataerror	10/4	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_txbufstatus	20/8	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 20 位，针对 CAUI-4/100GAUI-4 模式，位宽为 8 位。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
gt_rxdelpmreset	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxlpmen	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxprbscntreset	10/4	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxprbserr	10/4	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxprbsel	40/16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 40 位，针对 CAUI-4/100GAUI-4 模式，位宽为 16 位。
gt_rxresetdone	10/4	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_txprbsel	40/16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 40 位，针对 CAUI-4/100GAUI-4 模式，位宽为 16 位。
gt_txresetdone	10/4	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 10 位，针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。
gt_rxbufstatus	30/12	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。 端口宽度：针对 CAUI-10 或 Runtime Switchable 模式位宽为 30 位，针对 CAUI-4/100GAUI-4 模式，位宽为 12 位。
gtwiz_reset_tx_datapath	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。
gtwiz_reset_rx_datapath	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
gt_drpcclk	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt0_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt0_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt0_drpaddr	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt0_drpdci	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt0_drpdco	16	O	请参阅相应的 GT 用户指南以获取端口描述。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt0_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt1_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt1_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt1_drpaddr	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt1_drpdci	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt1_drpdco	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt1_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt2_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt2_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt2_drpaddr	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
gt2_drpd_i	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt2_drpd_o	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt2_drpd_rdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt3_drpd_i	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt3_drpd_o	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt3_drpd_rdy	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt3_drpd_i	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt3_drpd_o	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt3_drpd_rdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
gt4_drpd_i	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt4_drpd_o	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt4_drpd_rdy	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt4_drpd_i	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt4_drpd_o	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参考 15] [参考 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。

表 5-2: CORE XCI 顶层端口列表 (续)

名称	大小	I/O	描述
gt4_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt5_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt5_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt5_drpaddr	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt5_drpdi	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt5_drpdo	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt5_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt6_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt6_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt6_drpaddr	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt6_drpdi	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt6_drpdo	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。

表 5-2: CORE XCI 顶层端口列表 (续)

名称	大小	I/O	描述
gt6_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt7_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt7_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt7_drpaddr	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt7_drpdi	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt7_drpdo	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt7_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt8_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt8_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt8_drpaddr	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt8_drpdi	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt8_drpdo	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
gt8_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt9_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt9_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt9_drpaddr	10	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt9_drpdi	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt9_drpdo	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
gt9_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common0_drpaddr	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
common0_drpdi	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
common0_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
common0_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
common0_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。
common0_drpdo	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可用。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
common1_drpaddr	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common1_drpdI	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common1_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common1_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common1_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common1_drpdo	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common2_drpaddr	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common2_drpdI	16	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common2_drpwe	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common2_drpen	1	I	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common2_drprdy	1	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。
common2_drpdo	16	O	请参阅相应的 GT 用户指南以获取端口描述 [参照 15] [参照 16] 。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Enable Additional GT Control/Status and DRP Ports”时，此端口可供 CAUI-10 或 Runtime Switchable 模式使用。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
tx_reset_done	1	I	TX 复位已完成从复位封装器逻辑输入到核的操作。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
rx_reset_done	1	I	RX 复位已完成从复位封装器逻辑输入到核的操作。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
rx_serdes_reset_done	10	I	RX SerDes 复位已完成从复位封装器逻辑输入到核的操作。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
tx_reset_done_sync	1	I	同步 TX 复位已完成从复位封装器逻辑输入到核的操作。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
rx_reset_done_sync	1	I	同步 RX 复位已完成从复位封装器逻辑输入到核的操作。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”，并且在“General”选项卡中核的“Operation”设置为“Simplex RX”时，此端口可用。
gt_reset_tx_done_out	1	O	TX 复位已完成从 GT 输出的操作。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
gt_reset_rx_done_out	1	O	RX 复位已完成从 GT 输出的操作。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
axi_usr_tx_reset	1	O	用户 TX 已从 AXI4-Lite 寄存器映射模块完成复位。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”，并且在“General”选项卡中选中“Include AXI4-Lite Control and Statistics Interface”时，此端口可用。
axi_usr_rx_reset	1	O	用户 RX 已从 AXI4-Lite 寄存器映射模块完成复位。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”，并且在“General”选项卡中选中“Include AXI4-Lite Control and Statistics Interface”时，此端口可用。
axi_usr_rx_serdes_reset	10	O	用户 RX SerDes 已从 AXI4-Lite 寄存器映射模块完成复位。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”，并且在“General”选项卡中选中“Include AXI4-Lite Control and Statistics Interface”时，此端口可用。
axi_gt_reset_all	1	O	从 AXI4-Lite 寄存器映射模块到 GT 的复位信号。 注释：当选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”选项，并选中“General”选项卡中的“Include AXI4-Lite Control and Statistics Interface”时，此端口可用。
ctl_gt_loopback	1	O	从 AXI4-Lite 寄存器映射模块到 GT 的环回信号。 注释：当选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”选项，并选中“General”选项卡中的“Include AXI4-Lite Control and Statistics Interface”时，此端口可用。
rx_serdes_clk	10	O	从核到复位封装器的 RX SerDes 时钟输出。 注释：当在“CMAC/GT Selection and Configuration”选项卡中选中“Include GT subcore in core”，并且“Include Shared Logic”选项设置为“Example Design”时，此端口可用。
rx_serdes_clk_in	10	I	RX SerDes 时钟输入，连接到核。 注释：选中“CMAC/GT Selection and Configuration”选项卡中的“Include GT subcore in example design”选项时，此端口可用。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
qpll0clk_in	10/4	I	QPLL0 时钟输入。端口宽度： • 针对 CAUI-10 或 Runtime Switchable 模式，位宽为 10 位。 • 针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
qpll0refclk_in	10/4	I	QPLL0 参考时钟输入。端口宽度： • 针对 CAUI-10 或 Runtime Switchable 模式，位宽为 10 位。 • 针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
qpll1clk_in	10/4	I	QPLL1 时钟输入。端口宽度： • 针对 CAUI-10 或 Runtime Switchable 模式，位宽为 10 位。 • 针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
qpll1refclk_in	10/4	I	QPLL1 参考时钟输入。端口宽度： • 针对 CAUI-10 或 Runtime Switchable 模式，位宽为 10 位。 • 针对 CAUI-4/100GAUI-4 模式，位宽为 4 位。 注释：当“CMAC/GT Selection and Configuration”选项卡中的“Include Shared Logic in”选项设置为“Example Design”时，此端口可用。
gtwiz_reset_qpll0lock_in	3/1	I	QPLL0 锁定复位输入，连接到 GT。端口宽度： • 针对 CAUI-10 或 Runtime Switchable 模式，位宽为 3 位。 • 针对 CAUI-4/100GAUI-4 模式，位宽为 1 位。 注释：当在“CMAC/GT Selection and Configuration”选项卡中，“Include Shared Logic in”选项设置为“Example Design”，并且“PLL Type”设置为“QPLL0”时，此端口可用。
gtwiz_reset_qpll0reset_out	3/1	O	QPLL0 锁定复位输出，来自 GT。端口宽度： • 针对 CAUI-10 或 Runtime Switchable 模式，位宽为 3 位。 • 针对 CAUI-4/100GAUI-4 模式，位宽为 1 位。 注释：当在“CMAC/GT Selection and Configuration”选项卡中，“Include Shared Logic in”选项设置为“Example Design”，并且“PLL Type”设置为“QPLL0”时，此端口可用。
gtwiz_reset_qpll1lock_in	3/1	I	QPLL1 锁定复位输入，连接到 GT。端口宽度： • 针对 CAUI-10 或 Runtime Switchable 模式，位宽为 3 位。 • 针对 CAUI-4/100GAUI-4 模式，位宽为 1 位。 注释：当在“CMAC/GT Selection and Configuration”选项卡中，“Include Shared Logic in”选项设置为“Example Design”，并且“PLL Type”设置为“QPLL1”时，此端口可用。
gtwiz_reset_qpll1reset_out	3/1	O	QPLL1 锁定复位输出，来自 GT。端口宽度： • 针对 CAUI-10 或 Runtime Switchable 模式，位宽为 3 位。 • 针对 CAUI-4/100GAUI-4 模式，位宽为 1 位。 注释：当在“CMAC/GT Selection and Configuration”选项卡中，“Include Shared Logic in”选项设置为“Example Design”，并且“PLL Type”设置为“QPLL1”时，此端口可用。
rx_dataout0	128	O	接收分段式 LBUS 数据（对应 segment0）。该总线的值仅在 rx_enaout0 采样为 1 的周期内才有效。
rx_dataout1	128	O	接收分段式 LBUS 数据（对应 segment1）。
rx_dataout2	128	O	接收分段式 LBUS 数据（对应 segment2）。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
rx_dataout3	128	O	接收分段式 LBUS 数据（对应 segment3）。
rx_enaout0	1	O	接收 LBUS 启用（对应 segment0）。此信号用于限定 RX 分段式 LBUS 接口的其它信号。RX LBUS 接口的信号仅在 rx_enaout 采样为 1 的周期内才有效。
rx_enaout1	1	O	接收 LBUS 启用（对应 segment1）。
rx_enaout2	1	O	接收 LBUS 启用（对应 segment2）。
rx_enaout3	1	O	接收 LBUS 启用（对应 segment3）。
rx_sopout0	1	O	接收 LBUS 包起始 (SOP)（对应 segment0）。此信号采样为 1 时用于指示 SOP 信号，仅在 rx_enaout 采样为 1 的周期内有效。
rx_sopout1	1	O	接收 LBUS SOP（对应 segment1）。
rx_sopout2	1	O	接收 LBUS SOP（对应 segment2）。
rx_sopout3	1	O	接收 LBUS SOP（对应 segment3）。
rx_eopout0	1	O	接收 LBUS 包结束 (EOP)（对应 segment0）。此信号采样为 1 时用于指示 EOP 信号，仅在 rx_enaout 采样为 1 的周期内有效。
rx_eopout1	1	O	接收 LBUS EOP（对应 segment1）。
rx_eopout2	1	O	接收 LBUS EOP（对应 segment2）。
rx_eopout3	1	O	接收 LBUS EOP（对应 segment3）。
rx_errout0	1	O	接收 LBUS 错误（对应 segment0）。此信号采样为 1 时用于指示当前接收的包存在错误。此信号仅在 rx_enaout 和 rx_eopout 均采样为 1 的周期内有效。当该信号值为 0 时，表示当前接收的包不含错误。
rx_errout1	1	O	接收 LBUS 错误（对应 segment1）。
rx_errout2	1	O	接收 LBUS 错误（对应 segment2）。
rx_errout3	1	O	接收 LBUS 错误（对应 segment3）。
rx_mtyout0	4	O	接收 LBUS 为空（对应 segment0）。此总线用于指示对应当前包的最近一次传输的 rx_dataout 总线中为空或无效的字节数。此总线仅在 rx_enaout 和 rx_eopout 均采样为 1 的周期内有效。当 rx_errout 和 rx_enaout 均采样为 1 时，rx_mtyout[2:0] 的值始终为 000。rx_mtyout 的其它位则照常不变。
rx_mtyout1	4	O	接收 LBUS 为空（对应 segment1）。
rx_mtyout2	4	O	接收 LBUS 为空（对应 segment2）。
rx_mtyout3	4	O	接收 LBUS 为空（对应 segment3）。
tx_rdyout	1	O	发射 LBUS 就绪。此信号用于指示专用 100G Ethernet IP 核 TX 路径是否已准备好接受数据并向用户逻辑提供反压。 值为 1 表示用户逻辑可将数据传递至 100G Ethernet IP 核。值为 0 表示用户逻辑必须在 4 个周期内停止向 100G Ethernet IP 核传输数据，否则将发生上溢。
tx_ovfout	1	O	发射 LBUS 上溢。此信号用于指示您是否违反了由 tx_rdyout 信号提供的反压机制。如果 tx_ovfout 采样为 1，则表示已发生违例。您负责设计用户逻辑的其余部分，以避免发生 TX 接口上溢。如果出现上溢状况，则 TX 路径必须复位。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
tx_unfout	1	O	发射 LBUS 下溢。此信号用于指示 LBUS 接口是否欠载。如果 tx_unfout 采样为 1，则表示已发生违例，即当前包已受损。只要下溢状况仍然存在，就会发射错误控制块信号。 用户逻辑负责将完整的包输入核，并避免 LBUS 接口欠载。
tx_datain0	128	I	发射分段式 LBUS 数据（对应 segment0）。此总线用于接收来自用户逻辑的输入数据。在 tx_enain 采样为 1 的每个周期内捕获该总线的值。
tx_datain1	128	I	发射分段式 LBUS 数据（对应 segment1）。
tx_datain2	128	I	发射分段式 LBUS 数据（对应 segment2）。
tx_datain3	128	I	发射分段式 LBUS 数据（对应 segment3）。
tx_enain0	1	I	发射 LBUS 启用（对应 segment0）。此信号用于启用 TX LBUS 接口。仅在 tx_enain 采样为 1 的周期内才对此接口上的所有信号进行采样。
tx_enain1	1	I	发射 LBUS 启用（对应 segment1）。
tx_enain2	1	I	发射 LBUS 启用（对应 segment2）。
tx_enain3	1	I	发射 LBUS 启用（对应 segment3）。
tx_sopin0	1	I	发射 LBUS SOP（对应 segment0）。此信号采样为 1 时用于指示 SOP 信号，针对包的所有其它传输则采样为 0。仅在 tx_enain 采样为 1 的周期内才对此信号进行采样。
tx_sopin1	1	I	发射 LBUS SOP（对应 segment1）。
tx_sopin2	1	I	发射 LBUS SOP（对应 segment2）。
tx_sopin3	1	I	发射 LBUS SOP（对应 segment3）。
tx_eopin0	1	I	发射 LBUS EOP（对应 segment0）。此信号采样为 1 时用于指示 EOP 信号，针对包的所有其它传输则采样为 0。仅在 tx_enain 采样为 1 的周期内才对此信号进行采样。
tx_eopin1	1	I	发射 LBUS EOP（对应 segment1）。
tx_eopin2	1	I	发射 LBUS EOP（对应 segment2）。
tx_eopin3	1	I	发射 LBUS EOP（对应 segment3）。
tx_errin0	1	I	发射 LBUS 错误（对应 segment0）。此信号采样为 1 时用于指示数据包含有错误，针对包的所有其它传输则采样为 0。仅在 tx_enain 和 tx_eopin 均采样为 1 的周期内才对此信号进行采样。当此信号采样为 1 时，最后一个数据字将被替换为 IEEE 802.3-2012 标准错误码控制字，以保证伙伴器件可接收到存在错误的数据包。如果在包的输入端此信号设置为 1，则禁用 FCS 检查和报告（仅针对该数据包）。
tx_errin1	1	I	发射 LBUS 错误（对应 segment1）。
tx_errin2	1	I	发射 LBUS 错误（对应 segment2）。
tx_errin3	1	I	发射 LBUS 错误（对应 segment3）。
tx_mtyin0	4	I	发射 LBUS 空（对应 segment0）。此总线用于指示对应当前包的最近一次传输的 tx_datain 总线中为空或无效的字节数。仅在 tx_enain 和 tx_eopin 均采样为 1 的周期内才对此总线进行采样。当 tx_eopin 和 tx_errin 均采样为 1 时，将忽略 tx_mtyin[2:0] 的值，将其作为 000 来处理。tx_mtyin 的其它位则照常使用。
tx_mtyin1	4	I	接收 LBUS 为空（对应 segment1）。
tx_mtyin2	4	I	接收 LBUS 为空（对应 segment2）。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
tx_mtyin3	4	I	接收 LBUS 为空（对应 segment3）。
tx_axis_tdata	512	I	512 位 TX AXI4-Stream 数据输入。 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
tx_axis_tvalid	1	I	AXI4-Stream 数据有效输入。 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
tx_axis_tready	1	O	AXI4-Stream 确认信号，用于指示开始数据传输。 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
tx_axis_tlast	1	I	AXI4-Stream 信号，用于指示以太网数据包结束。 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
tx_axis_tkeep	64	I	AXI4-Stream 数据控制。tx_axis_tkeep 表示在 tx_axis_tdata 上发出的数据有效。 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
tx_axis_tuser	1	O	AXI4-Stream 用户边带接口。等效于 tx_errin 信号。 1 = 指示数据包错误 0 = 指示数据包有效 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
rx_axis_tdata	512	O	512 位 RX AXI4-Stream 数据输出。 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
rx_axis_tvalid	1	O	AXI4-Stream 数据有效 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
rx_axis_tlast	1	O	AXI4-Stream 信号，用于指示包结束。 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
rx_axis_tkeep	64	O	对应上层的 AXI4-Stream 数据控制。rx_axis_tkeep 表示 rx_axis_tdata 上的数据有效。 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
rx_axis_tuser	1	O	AXI4-Stream 用户边带接口。 1 = 指示接收到的数据包错误 0 = 指示接收到的数据包有效 注释：当针对“General”选项卡中的“User Interface”选项选择“AXIS”时，此端口可用。
ctl_tx_enable	1	I	TX 启用。此信号采样为 1 时用于启用数据发射。当此信号采样为 0 时，CMAC 仅发射空闲信号。仅当数据发射到的接收器（即其它器件中的接收器）完全对齐并且已准备好接收数据（即，其它器件当前未发送远程故障条件）后，此输入才应设置为 1。否则，可能发生数据丢失。如果发射数据包时此信号设置为 0，那么当前数据包发射完成后，CMAC 将停止发射任何其它数据包。
ctl_tx_send_lfi	1	I	发射本地故障指示 (LFI) 代码字。如果此输入采样为 1，那么 TX 路径仅发射本地故障 (Local Fault) 代码字。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
ctl_tx_send_rfi	1	I	发射远端故障指示 (RFI) 代码字。如果此输入采样为 1，那么 TX 路径仅发射远端故障 (Remote Fault) 代码字。此输入应设置为 1，直至 RX 路径已完全对齐并且已准备好接受来自链路伙伴的数据为止。
ctl_tx_send_idle	1	I	发射空闲代码字。如果此输入采样为 1，那么 TX 路径仅发射空闲 (Idle) 代码字。当伙伴器件正在发送远端故障指示 (RFI) 代码字时，此输入应设置为 1。
stat_tx_local_fault	1	O	值为 1 表示接收解码器状态机当前处于 TX_INIT 状态。此输出对电平敏感。
ctl_rx_enable	1	I	RX 启用。在正常操作期间，此输入必须设置为 1。当此输入设置为 0 时，RX 完成接收当前包（如果有）之后，就会停止接收包并阻止 PCS 继续对传入数据进行解码。在此模式下不报告任何统计数据，并且 LBUS 接口处于空闲状态。
ctl_rx_force_resync	1	I	RX 强制再同步输入。此信号用于强制 RX 路径进行复位、再同步和重新对齐。值为 1 即强制执行复位操作。值为 0 允许正常操作。 注释：此输入通常应为低电平 (Low) 并且仅限用于强制重新对齐时才应进行脉冲（单周期最小脉冲）。
stat_rx_framing_err_0	2	O	RX 同步报头位成帧错误（对应通道 0）。每个 PCS 通道都具有 1 个 2 位总线，用于指示该 PCS 通道接收到的同步报头错误数量。仅当对应 stat_rx_framing_err_valid_[19:0] 设置为 1 时，该总线的值才有效。这些总线上的值可随时更新，并且这些值旨在作为递增值以供同步报头错误计数器使用。
stat_rx_framing_err_1	2	O	RX 同步报头位成帧错误（对应通道 1）。
stat_rx_framing_err_2	2	O	RX 同步报头位成帧错误（对应通道 2）。
stat_rx_framing_err_3	2	O	RX 同步报头位成帧错误（对应通道 3）。
stat_rx_framing_err_4	2	O	RX 同步报头位成帧错误（对应通道 4）。
stat_rx_framing_err_5	2	O	RX 同步报头位成帧错误（对应通道 5）。
stat_rx_framing_err_6	2	O	RX 同步报头位成帧错误（对应通道 6）。
stat_rx_framing_err_7	2	O	RX 同步报头位成帧错误（对应通道 7）。
stat_rx_framing_err_8	2	O	RX 同步报头位成帧错误（对应通道 8）。
stat_rx_framing_err_9	2	O	RX 同步报头位成帧错误（对应通道 9）。
stat_rx_framing_err_10	2	O	RX 同步报头位成帧错误（对应通道 10）。
stat_rx_framing_err_11	2	O	RX 同步报头位成帧错误（对应通道 11）。
stat_rx_framing_err_12	2	O	RX 同步报头位成帧错误（对应通道 12）。
stat_rx_framing_err_13	2	O	RX 同步报头位成帧错误（对应通道 13）。
stat_rx_framing_err_14	2	O	RX 同步报头位成帧错误（对应通道 14）。
stat_rx_framing_err_15	2	O	RX 同步报头位成帧错误（对应通道 15）。
stat_rx_framing_err_16	2	O	RX 同步报头位成帧错误（对应通道 16）。
stat_rx_framing_err_17	2	O	RX 同步报头位成帧错误（对应通道 17）。
stat_rx_framing_err_18	2	O	RX 同步报头位成帧错误（对应通道 18）。
stat_rx_framing_err_19	2	O	RX 同步报头位成帧错误（对应通道 19）。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
stat_rx_framing_err_valid_0	1	O	stat_rx_framing_err_0[1:0] 的有效性指示符。当此输入采样为 1 时，即表示对应 stat_rx_framing_err_0[1:0] 上的值有效。
stat_rx_framing_err_valid_1	1	O	stat_rx_framing_err_1[1:0] 的有效性指示符。
stat_rx_framing_err_valid_2	1	O	stat_rx_framing_err_2[1:0] 的有效性指示符。
stat_rx_framing_err_valid_3	1	O	stat_rx_framing_err_3[1:0] 的有效性指示符。
stat_rx_framing_err_valid_4	1	O	stat_rx_framing_err_4[1:0] 的有效性指示符。
stat_rx_framing_err_valid_5	1	O	stat_rx_framing_err_5[1:0] 的有效性指示符。
stat_rx_framing_err_valid_6	1	O	stat_rx_framing_err_6[1:0] 的有效性指示符。
stat_rx_framing_err_valid_7	1	O	stat_rx_framing_err_7[1:0] 的有效性指示符。
stat_rx_framing_err_valid_8	1	O	stat_rx_framing_err_8[1:0] 的有效性指示符。
stat_rx_framing_err_valid_9	1	O	stat_rx_framing_err_9[1:0] 的有效性指示符。
stat_rx_framing_err_valid_10	1	O	stat_rx_framing_err_10[1:0] 的有效性指示符。
stat_rx_framing_err_valid_11	1	O	stat_rx_framing_err_11[1:0] 的有效性指示符。
stat_rx_framing_err_valid_12	1	O	stat_rx_framing_err_12[1:0] 的有效性指示符。
stat_rx_framing_err_valid_13	1	O	stat_rx_framing_err_13[1:0] 的有效性指示符。
stat_rx_framing_err_valid_14	1	O	stat_rx_framing_err_14[1:0] 的有效性指示符。
stat_rx_framing_err_valid_15	1	O	stat_rx_framing_err_15[1:0] 的有效性指示符。
stat_rx_framing_err_valid_16	1	O	stat_rx_framing_err_16[1:0] 的有效性指示符。
stat_rx_framing_err_valid_17	1	O	stat_rx_framing_err_17[1:0] 的有效性指示符。
stat_rx_framing_err_valid_18	1	O	stat_rx_framing_err_18[1:0] 的有效性指示符。
stat_rx_framing_err_valid_19	1	O	stat_rx_framing_err_19[1:0] 的有效性指示符。
stat_rx_local_fault	1	O	当断言 stat_rx_internal_local_fault 或 stat_rx_received_local_fault 有效时，此输出为高电平 (High)。此输出对电平敏感。
stat_rx_synced	20	O	字边界已同步。这些信号用于指示 PCS 通道是否已完成字边界同步。值为 1 表示对应 PCS 通道已实现字边界同步，并且已接收到 PCS 通道标记。此输出对电平敏感。
stat_rx_synced_err	20	O	字边界同步错误。这些信号用于指示在相应的 PCS 通道内进行字边界同步期间，是否发生错误。值为 1 表示由于同步报头成帧位错误或者从未收到 PCS 通道标记，对应 PCS 通道已丢失字边界同步。此输出对电平敏感。
stat_rx_mf_len_err	20	O	PCS 通道标记长度错误。这些信号用于指示相应通道内是否发生了 PCS 通道标记不匹配（即，接收到的 PCS 通道标记间隔字数并非 CTL_RX_VL_LENGTH_MINUS1）。值为 1 表示对应通道接收 PCS 通道标记的间隔错误。此输出将保持高电平 (High)，直至消除错误状况为止。
stat_rx_mf_repeat_err	20	O	PCS 通道标记连续错误。这些信号用于指示相应通道内是否发生了 4 个连续 PCS 通道标记错误。值为 1 表示对应通道内存在错误。此输出将保持高电平 (High)，直至消除错误状况为止。
stat_rx_mf_err	20	O	PCS 通道标记字错误。这些信号用于表示在相应通道内检测到构成的 PCS 通道标记字错误。值为 1 表示发生了错误。此输出将脉冲 1 个时钟周期，以指示错误状况。脉冲可在连续周期内发生。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
stat_rx_aligned	1	O	所有 PCS 通道均已对齐/去歪斜。此信号表示是否所有 PCS 通道均已对齐/去歪斜。值为 1 表示所有 PCS 通道均已对齐并去歪斜。当此信号为 1 时，表示 RX 路径已对齐并且可接收包数据。当此信号为 0 时，表示存在本地故障状况。此输出对电平敏感。
stat_rx_status	1	O	PCS 状态。值为 1 表示 PCS 已对齐，且未处于 HI_BER 状态。此输出对电平敏感。
stat_rx_block_lock	20	O	每个 PCS 通道的块锁定状态。值为 1 表示对应通道已达到第 82 条中定义的块锁定状态。此输出对电平敏感。
stat_rx_aligned_err	1	O	通道对齐/去歪斜丢失。此信号表示 PCS 通道对齐期间发生错误或者 PCS 通道对齐已丢失。值为 1 表示发生了错误。此输出对电平敏感。
stat_rx_misaligned	1	O	对齐错误。此信号表示通道对齐器并未在所有通道上都接收到期望的 PCS 通道标记。在所有通道上都至少接收到 1 个 PCS 通道标记并且至少接收到 1 个错误的通道标记后，此信号才会断言有效。此状况的发生比错误晚 1 个元帧。如果从未正确接收到任何通道标记，则此信号不会断言有效。通道标记错误通过对应的 stat_rx_mf_err 信号来指示。此输出将脉冲 1 个时钟周期，以指示错误状况。脉冲可在连续周期内发生。
stat_rx_remote_fault	1	O	远端故障指示状态。如果该位采样为 1，则表示检测到远端故障状况。如果该位采样为 0，则表示不存在远端故障状况。此输出对电平敏感。
stat_rx_pcs_l_number_0	5	O	stat_rx_pcs_l_number_0[4:0] 信号用于指示物理通道 0 上所接收到的 PCS 通道。总计有 20 个不同的 stat_rx_pcs_l_number[4:0] 总线。仅当 stat_rx_synced[19:0] 的对应位为 1 时，该总线才有效。这些输出对电平敏感。
stat_rx_pcs_l_number_1	5	O	此信号用于指示物理通道 1 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_2	5	O	此信号用于指示物理通道 2 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_3	5	O	此信号用于指示物理通道 3 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_4	5	O	此信号用于指示物理通道 4 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_5	5	O	此信号用于指示物理通道 5 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_6	5	O	此信号用于指示物理通道 6 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_7	5	O	此信号用于指示物理通道 7 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_8	5	O	此信号用于指示物理通道 8 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_9	5	O	此信号用于指示物理通道 9 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_10	5	O	此信号用于指示物理通道 10 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_11	5	O	此信号用于指示物理通道 11 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_12	5	O	此信号用于指示物理通道 12 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_13	5	O	此信号用于指示物理通道 13 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_14	5	O	此信号用于指示物理通道 14 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_15	5	O	此信号用于指示物理通道 15 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_16	5	O	此信号用于指示物理通道 16 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_17	5	O	此信号用于指示物理通道 17 上所接收到的 PCS 通道。
stat_rx_pcs_l_number_18	5	O	此信号用于指示物理通道 18 上所接收到的 PCS 通道。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
stat_rx_pcs1_number_19	5	O	此信号用于指示物理通道 19 上所接收到的 PCS 通道。
stat_rx_pcs1_demuxed	20	O	已找到 PCS 通道标记。如果该总线的信号采样为 1，则表示接收器已对该 PCS 通道进行了正确的逆多路复用。这些输出对电平敏感。
stat_rx_bad_fcs	3	O	无效 FCS 指示符。值为 1 表示接收到的数据包含有无效 FCS，但不包含带 stomp 标记的 FCS。含 stomp 标记的 FCS 定义为期望的有效 FCS 的按位反转。此输出将脉冲 1 个时钟周期，以指示错误状况。脉冲可在连续周期内发生。
stat_rx_stomped_fcs	3	O	含 stomp 标记的 FCS 指示符。值为 1 或更大的值表示接收到的数据包含有 1 个或多个带 stomp 标记的 FCS。含 stomp 标记的 FCS 定义为期望的有效 FCS 的按位反转。此输出将脉冲 1 个时钟周期，以指示含 stomp 标记。脉冲可在连续周期内发生。
stat_rx_truncated	1	O	包截断指示符。值为 1 表示当前进行中的包因长度超过 <code>ctl_rx_max_packet_len[14:0]</code> 而被截断。此输出将脉冲 1 个时钟周期，以指示截断状况。脉冲可在连续周期内发生。
stat_rx_internal_local_fault	1	O	当由于以下任一操作导致生成内部本地故障时，此信号将转为高电平 (High)：测试模式生成、通道对齐错误或误码率过高。只要故障状况仍然存在，此信号就会保持高电平 (High)。
stat_rx_received_local_fault	1	O	当接收到来自链路伙伴的本地故障字数足以触发 IEEE 故障状态机所指定的故障条件时，此信号将转为高电平 (High)。只要故障状况仍然存在，此信号就会保持高电平 (High)。
stat_rx_bip_err_0	1	O	BIP8 错误指示符（对应 PCS 通道 0）。非 0 值表示 BIP8 签名字节针对对应 PCS 通道存在错误。非 0 值将脉冲 1 个时钟周期。此输出将脉冲 1 个时钟周期，以指示错误状况。脉冲可在连续周期内发生。
stat_rx_bip_err_1	1	O	BIP8 错误指示符（对应 PCS 通道 1）。
stat_rx_bip_err_2	1	O	BIP8 错误指示符（对应 PCS 通道 2）。
stat_rx_bip_err_3	1	O	BIP8 错误指示符（对应 PCS 通道 3）。
stat_rx_bip_err_4	1	O	BIP8 错误指示符（对应 PCS 通道 4）。
stat_rx_bip_err_5	1	O	BIP8 错误指示符（对应 PCS 通道 5）。
stat_rx_bip_err_6	1	O	BIP8 错误指示符（对应 PCS 通道 6）。
stat_rx_bip_err_7	1	O	BIP8 错误指示符（对应 PCS 通道 7）。
stat_rx_bip_err_8	1	O	BIP8 错误指示符（对应 PCS 通道 8）。
stat_rx_bip_err_9	1	O	BIP8 错误指示符（对应 PCS 通道 9）。
stat_rx_bip_err_10	1	O	BIP8 错误指示符（对应 PCS 通道 10）。
stat_rx_bip_err_11	1	O	BIP8 错误指示符（对应 PCS 通道 11）。
stat_rx_bip_err_12	1	O	BIP8 错误指示符（对应 PCS 通道 12）。
stat_rx_bip_err_13	1	O	BIP8 错误指示符（对应 PCS 通道 13）。
stat_rx_bip_err_14	1	O	BIP8 错误指示符（对应 PCS 通道 14）。
stat_rx_bip_err_15	1	O	BIP8 错误指示符（对应 PCS 通道 15）。
stat_rx_bip_err_16	1	O	BIP8 错误指示符（对应 PCS 通道 16）。
stat_rx_bip_err_17	1	O	BIP8 错误指示符（对应 PCS 通道 17）。
stat_rx_bip_err_18	1	O	BIP8 错误指示符（对应 PCS 通道 18）。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
stat_rx_bip_err_19	1	O	BIP8 错误指示符（对应 PCS 通道 19）。
stat_rx_hi_ber	1	O	误码率 (BER) 过高指示符。设置为 1 时，BER 过高（根据 802.3 的定义）。此输出对电平敏感。
stat_rx_got_signal_os	1	O	信号有序集 (OS) 指示。如果该位采样为 1，则表示接收到“Signal OS”字。在以太网网络中不应接收到 Signal OS。
ctl_rx_test_pattern	1	I	测试模式检查启用（对应 RX 核）。值为 1 即表示根据第 82.2.18 条中的定义启用测试模式。对应于第 82.3 条中所定义的 MDIO 寄存器位 3.42.2。检查扰码空闲模式。
ctl_tx_test_pattern	1	I	测试模式生成启用（对应 TX 核）。值为 1 即表示根据第 82.2.18 条中的定义启用测试模式。对应于第 82.3 条中所定义的 MDIO 寄存器位 3.42.3。生成扰码空闲模式。
stat_rx_test_pattern_mismatch	3	O	测试模式不匹配数递增。任一周期内的非 0 值均表示 RX 核中针对测试模式发生的不匹配次数。仅当 <code>ctl_rx_test_pattern</code> 设置为 1 时，此输出才有效。此输出可用于根据第 82.3 条的定义生成 MDIO 寄存器 3.43.15:0。此输出将脉冲 1 个时钟周期。
ctl_cau4_mode	1	I	当此输入为高电平 (High) 时，专用 100G Ethernet IP 核将以 CAUI-4 模式运行，当此输入为低电平 (Low) 时，该核则以 CAUI-10 模式运行。此端口仅可用于 Runtime Switchable 模式。
ctl_tx_lane0_vlm_bip7_override	1	I	当此输入为高电平 (High) 时，PCS lane0 标记的 bip7 将被 <code>ctl_tx_lane0_vlm_bip7_override_value[7:0]</code> 覆盖。
ctl_tx_lane0_vlm_bip7_override_value	8	I	当断言 <code>ctl_tx_lane0_vlm_bip7_override</code> 有效时，此输入为 PCS lane0 标记的 bip7 字节的覆盖值。
stat_rx_lane0_vlm_bip7	8	O	此输出为 PCS lane0 标记中的 bip7 字节的接收值。
stat_rx_lane0_vlm_bip7_valid	1	O	此输出断言有效时，表示 <code>stat_rx_lane0_vlm_bip7[7:0]</code> 的值有效。
stat_rx_total_bytes	7	O	对应已收到的字节总数的递增。
stat_rx_total_packets	3	I	对应已收到的数据包总数的递增。
stat_rx_total_good_bytes	14	O	对应已收到的有效字节总数的递增。仅当完全收到不含错误的数据包时，该值才为非 0 值。
stat_rx_total_good_packets	1	O	对应已收到的有效数据包总数的递增。仅当完全收到不含错误的数据包时，该值才为非 0 值。
stat_rx_packet_bad_fcs	1	O	对应具有 FCS 错误的数据包（所含字节数为 64 到 <code>ctl_rx_max_packet_len</code> 之间）的递增。
stat_rx_packet_64_bytes	1	O	对应已收到的有效和无效数据包（含 64 个字节）的递增。
stat_rx_packet_65_127_bytes	1	O	对应已收到的有效和无效数据包（含 65 到 127 个字节）的递增。
stat_rx_packet_128_255_bytes	1	O	对应已收到的有效和无效数据包（含 128 到 255 个字节）的递增。
stat_rx_packet_256_511_bytes	1	O	对应已收到的有效和无效数据包（含 256 到 511 个字节）的递增。
stat_rx_packet_512_1023_bytes	1	O	对应已收到的有效和无效数据包（含 512 到 1,023 个字节）的递增。
stat_rx_packet_1024_1518_bytes	1	O	对应已收到的有效和无效数据包（含 1,024 到 1,518 个字节）的递增。
stat_rx_packet_1519_1522_bytes	1	O	对应已收到的有效和无效数据包（含 1,519 到 1,522 个字节）的递增。
stat_rx_packet_1523_1548_bytes	1	O	对应已收到的有效和无效数据包（含 1,523 到 1,548 个字节）的递增。
stat_rx_packet_1549_2047_bytes	1	O	对应已收到的有效和无效数据包（含 1,549 到 2,047 个字节）的递增。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
stat_rx_packet_2048_4095_bytes	1	O	对应已收到的有效和无效数据包（含 2,048 到 4,095 个字节）的递增值。
stat_rx_packet_4096_8191_bytes	1	O	对应已收到的有效和无效数据包（含 4,096 到 8,191 个字节）的递增值。
stat_rx_packet_8192_9215_bytes	1	O	对应已收到的有效和无效数据包（含 8,192 到 9,215 个字节）的递增值。
stat_rx_packet_small	3	O	对应所含数据小于 64 个字节的所有包的递增值。
stat_rx_packet_large	1	O	对应所含数据超过 9,215 个字节的所有包的递增值。
stat_rx_unicast	1	O	对应有效单播数据包的递增值。
stat_rx_multicast	1	O	对应有效多播数据包的递增值。
stat_rx_broadcast	1	O	对应有效广播数据包的递增值。
stat_rx_oversize	1	O	对应含有效 FCS 且长度超过 <code>ctl_rx_max_packet_len</code> 的数据包的递增值。
stat_rx_toolong	1	O	对应含有效和无效 FCS 且长度超过 <code>ctl_rx_max_packet_len</code> 的数据包的递增值。
stat_rx_undersize	3	O	对应含有效 FCS 且长度小于 <code>stat_rx_min_packet_len</code> 的数据包的递增值。
stat_rx_fragment	3	O	对应含无效 FCS 且长度小于 <code>stat_rx_min_packet_len</code> 的数据包的递增值。
stat_rx_vlan	1	O	对应含有效 802.1Q 标记的 VLAN 数据包的递增值。
stat_rx_inrangeerr	1	O	对应含“长度 (Length)”字段错误但具有有效 FCS 的数据包的递增值。
stat_rx_jabber	1	O	对应含无效 FCS 且长度超过 <code>ctl_rx_max_packet_len</code> 的数据包的递增值。
stat_rx_pause	1	O	对应含有效 FCS 的 802.3x Ethernet MAC 暂停包的递增值。
stat_rx_user_pause	1	O	对应含有效 FCS 的基于优先级的暂停包的递增值。
stat_rx_bad_code	3	O	对应 64B/66B 编码违例的递增值。此信号用于指示 RX PCS 接收状态机处于 802.3 规范所指定的 RX_E 状态。此输出可用于根据第 82.3 条的定义生成 MDIO 寄存器 3.33:7:0。
stat_rx_bad_sfd	1	O	对应无效 SFD 的递增值。此信号用于指示接收到以太网数据包之前是否已接收到有效的帧起始定界符 (SFD)。值为 1 表示接收到的 SFD 无效。
stat_rx_bad_preamble	1	O	对应无效前导码的递增值。此信号用于指示接收到以太网数据包之前是否已接收到有效的前导码。值为 1 表示接收到的前导码无效。
stat_tx_total_bytes	6	O	对应已发射的字节总数的递增值。
stat_tx_total_packets	1	O	对应已发射的数据包总数的递增值。
stat_tx_total_good_bytes	14	O	对应已发射的有效字节总数的递增值。仅当完全发射不含错误的数据包时，该值才为非 0 值。
stat_tx_total_good_packets	1	O	对应已发射的有效数据包总数的递增值。
stat_tx_bad_fcs	1	O	对应具有 FCS 错误的数据包（大于 64 个字节）的递增值。
stat_tx_packet_64_bytes	1	O	对应已发射的有效和无效数据包（含 64 个字节）的递增值。
stat_tx_packet_65_127_bytes	1	O	对应已发射的有效和无效数据包（含 65 到 127 个字节）的递增值。
stat_tx_packet_128_255_bytes	1	O	对应已发射的有效和无效数据包（含 128 到 255 个字节）的递增值。
stat_tx_packet_256_511_bytes	1	O	对应已发射的有效和无效数据包（含 256 到 511 个字节）的递增值。
stat_tx_packet_512_1023_bytes	1	O	对应已发射的有效和无效数据包（含 512 到 1,023 个字节）的递增值。
stat_tx_packet_1024_1518_bytes	1	O	对应已发射的有效和无效数据包（含 1,024 到 1,518 个字节）的递增值。
stat_tx_packet_1519_1522_bytes	1	O	对应已发射的有效和无效数据包（含 1,519 到 1,522 个字节）的递增值。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
stat_tx_packet_1523_1548_bytes	1	O	对应已发射的有效和无效数据包（含 1,523 到 1,548 个字节）的递增值。
stat_tx_packet_1549_2047_bytes	1	O	对应已发射的有效和无效数据包（含 1,549 到 2,047 个字节）的递增值。
stat_tx_packet_2048_4095_bytes	1	O	对应已发射的有效和无效数据包（含 2,048 到 4,095 个字节）的递增值。
stat_tx_packet_4096_8191_bytes	1	O	对应已发射的有效和无效数据包（含 4,096 到 8,191 个字节）的递增值。
stat_tx_packet_8192_9215_bytes	1	O	对应已发射的有效和无效数据包（含 8,192 到 9,215 个字节）的递增值。
stat_tx_packet_small	1	O	对应所含数据小于 64 个字节的所有包的递增值。不允许传输小于 64 个字节的数据包。
stat_tx_packet_large	1	O	对应所含数据超过 9,215 个字节的所有包的递增值。
stat_tx_unicast	1	O	对应有效单播数据包的递增值。
stat_tx_multicast	1	O	对应有效多播数据包的递增值。
stat_tx_broadcast	1	O	对应有效广播数据包的递增值。
stat_tx_vlan	1	O	对应含有效 802.1Q 标记的 VLAN 数据包的递增值。
stat_tx_pause	1	O	对应含有效 FCS 的 802.3x Ethernet MAC 暂停包的递增值。
stat_tx_user_pause	1	O	对应含有效 FCS 的基于优先级的暂停包的递增值。
stat_tx_frame_error	1	O	对应已设置 tx_errin（用于指示 EOP 中止）的数据包的递增值。
ctl_rx_pause_enable	9	I	RX 暂停启用信号。此输入用于启用对应优先级的暂停量的处理。此信号仅影响 RX 用户接口，不影响暂停处理逻辑。
ctl_tx_pause_enable	9	I	TX 暂停启用信号。此输入用于启用对应优先级的暂停量的处理。此信号用于对暂停包的发射进行门控。
ctl_rx_enable_gcp	1	I	值为 1 即表示启用全局控制包处理。
ctl_rx_check_mcast_gcp	1	I	值为 1 即表示启用全局控制多播目标地址处理。
ctl_rx_check_ucast_gcp	1	I	值为 1 即表示启用全局控制单播目标地址处理。
ctl_rx_check_sa_gcp	1	I	值为 1 即表示启用全局控制源地址处理。
ctl_rx_check_etype_gcp	1	I	值为 1 即表示启用全局控制以太类型 (Ethertype) 处理。
ctl_rx_check_opcode_gcp	1	I	值为 1 即表示启用全局控制操作代码 (opcode) 处理。
ctl_rx_enable_pcp	1	I	值为 1 即表示启用优先控制包处理。
ctl_rx_check_mcast_pcp	1	I	值为 1 即表示启用优先控制多播目标地址处理。
ctl_rx_check_ucast_pcp	1	I	值为 1 即表示启用优先控制单播目标地址处理。
ctl_rx_check_sa_pcp	1	I	值为 1 即表示启用优先控制源地址处理。
ctl_rx_check_etype_pcp	1	I	值为 1 即表示启用优先控制以太类型 (Ethertype) 处理。
ctl_rx_check_opcode_pcp	1	I	值为 1 即表示启用优先控制操作代码 (opcode) 处理。
ctl_rx_enable_gpp	1	I	值为 1 即表示启用全局暂停包处理。
ctl_rx_check_mcast_gpp	1	I	值为 1 即表示启用全局暂停多播目标地址处理。
ctl_rx_check_ucast_gpp	1	I	值为 1 即表示启用全局暂停单播目标地址处理。
ctl_rx_check_sa_gpp	1	I	值为 1 即表示启用全局暂停源地址处理。
ctl_rx_check_etype_gpp	1	I	值为 1 即表示启用全局暂停以太类型 (Ethertype) 处理。

表 5-2: CORE XCI 顶层端口列表 (续)

名称	大小	I/O	描述
ctl_rx_check_opcode_gpp	1	I	值为 1 即表示启用全局暂停操作代码 (opcode) 处理。
ctl_rx_enable_ppp	1	I	值为 1 即表示启用优先暂停包处理。
ctl_rx_check_mcast_ppp	1	I	值为 1 即表示启用优先暂停多播目标地址处理。
ctl_rx_check_ucast_ppp	1	I	值为 1 即表示启用优先暂停单播目标地址处理。
ctl_rx_check_sa_ppp	1	I	值为 1 即表示启用优先暂停源地址处理。
ctl_rx_check_etype_ppp	1	I	值为 1 即表示启用优先暂停以太网类型 (Ethertype) 处理。
ctl_rx_check_opcode_ppp	1	I	值为 1 即表示启用优先暂停操作代码 (opcode) 处理。
stat_rx_pause_req	9	O	暂停请求信号。当 RX 收到有效的暂停帧时，它会将该总线的对应位设置为 1，并保持值为 1 不变，直至完成暂停包的处理为止。
ctl_rx_pause_ack	9	I	暂停确认信号。该总线用于确认收到来自用户逻辑的暂停帧。
stat_rx_pause_valid	9	O	该总线用于指示已收到暂停包，并且 stat_rx_pause_quanta[8:0][15:0] 总线上的关联暂停量有效，且必须将其用于暂停处理。如果收到的是 802.3x Ethernet MAC 暂停包，则 bit[8] 设置为 1。
stat_rx_pause_quanta0	16	O	该总线用于指示在基于优先级的暂停操作中针对优先级 0 接收的暂停量。如果收到的是 802.3x Ethernet MAC 暂停包，那么此暂停量将置于 stat_rx_pause_quanta8[15:0] 内。
stat_rx_pause_quanta1	16	O	该总线用于指示在基于优先级的暂停操作中针对优先级 1 接收的暂停量。
stat_rx_pause_quanta2	16	O	该总线用于指示在基于优先级的暂停操作中针对优先级 2 接收的暂停量。
stat_rx_pause_quanta3	16	O	该总线用于指示在基于优先级的暂停操作中针对优先级 3 接收的暂停量。
stat_rx_pause_quanta4	16	O	该总线用于指示在基于优先级的暂停操作中针对优先级 4 接收的暂停量。
stat_rx_pause_quanta5	16	O	该总线用于指示在基于优先级的暂停操作中针对优先级 5 接收的暂停量。
stat_rx_pause_quanta6	16	O	该总线用于指示在基于优先级的暂停操作中针对优先级 6 接收的暂停量。
stat_rx_pause_quanta7	16	O	该总线用于指示在基于优先级的暂停操作中针对优先级 7 接收的暂停量。
stat_rx_pause_quanta8	16	O	该总线用于指示在基于优先级的暂停操作中针对优先级 8 接收的暂停量。
ctl_tx_pause_req	9	I	如果该总线的某个位设置为 1，那么专用 100G Ethernet IP 核会使用 ctl_tx_pause_quanta[8:0][15:0] 总线上关联的暂停量值来发射暂停包。如果 bit[8] 设置为 1，那么将发射全局暂停包。所有其它位设置为 1 都会导致发射优先暂停包。此总线的每个位都必须保持稳定状态达至少 16 个周期，随后才能执行下一次转换。
ctl_tx_pause_quanta0	16	I	该总线用于指示在基于优先级的暂停操作中针对优先级 0 发射的暂停量。如果发射的是 802.3x Ethernet MAC 暂停包，那么此暂停量将置于 ctl_tx_pause_quanta8[15:0] 内。
ctl_tx_pause_quanta1	16	I	该总线用于指示在基于优先级的暂停操作中针对优先级 1 发射的暂停量。
ctl_tx_pause_quanta2	16	I	该总线用于指示在基于优先级的暂停操作中针对优先级 2 发射的暂停量。
ctl_tx_pause_quanta3	16	I	该总线用于指示在基于优先级的暂停操作中针对优先级 3 发射的暂停量。
ctl_tx_pause_quanta4	16	I	该总线用于指示在基于优先级的暂停操作中针对优先级 4 发射的暂停量。
ctl_tx_pause_quanta5	16	I	该总线用于指示在基于优先级的暂停操作中针对优先级 5 发射的暂停量。
ctl_tx_pause_quanta6	16	I	该总线用于指示在基于优先级的暂停操作中针对优先级 6 发射的暂停量。
ctl_tx_pause_quanta7	16	I	该总线用于指示在基于优先级的暂停操作中针对优先级 7 发射的暂停量。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
ctl_tx_pause_quanta8	16	I	该总线用于指示在基于优先级的暂停操作中针对优先级 8 发射的暂停量。
ctl_tx_pause_refresh_timer0	16	I	该总线用于设置在基于优先级的暂停操作中针对优先级 0 重新发射暂停包的时间。
ctl_tx_pause_refresh_timer1	16	I	该总线用于设置在基于优先级的暂停操作中针对优先级 1 重新发射暂停包的时间。
ctl_tx_pause_refresh_timer2	16	I	该总线用于设置在基于优先级的暂停操作中针对优先级 2 重新发射暂停包的时间。
ctl_tx_pause_refresh_timer3	16	I	该总线用于设置在基于优先级的暂停操作中针对优先级 3 重新发射暂停包的时间。
ctl_tx_pause_refresh_timer4	16	I	该总线用于设置在基于优先级的暂停操作中针对优先级 4 重新发射暂停包的时间。
ctl_tx_pause_refresh_timer5	16	I	该总线用于设置在基于优先级的暂停操作中针对优先级 5 重新发射暂停包的时间。
ctl_tx_pause_refresh_timer6	16	I	该总线用于设置在基于优先级的暂停操作中针对优先级 6 重新发射暂停包的时间。
ctl_tx_pause_refresh_timer7	16	I	该总线用于设置在基于优先级的暂停操作中针对优先级 7 重新发射暂停包的时间。
ctl_tx_pause_refresh_timer8	16	I	该总线用于设置针对全局暂停操作重新发射暂停包的时间。
ctl_tx_resend_pause	1	I	重新发射挂起的暂停包。当此输入采样为 1 时，所有挂起的暂停包都将尽快（即，在当前进行中的包完成后）重新发射，并且重新发射计数器将复位。此输入应脉冲至 1，并且每次保持 1 个周期不变。
stat_tx_pause_valid	9	O	如果该总线的位设置为 1，则表示专用 100G Ethernet IP 核已发射暂停包。如果 bit[8] 设置为 1，则表示已发射全局暂停包。所有其它位设置为 1 都会导致发射优先暂停包。
ctl_tx_systemtimerin	80	I	适用于 TX 的系统定时器输入。在正常时钟模式下，时间格式遵循 IEEE 1588 格式，以 48 位表示秒，32 位表示纳秒。在透明时钟模式下，位 63 表示符号位，位 62:16 用于承载纳秒，位 15:0 用于承载小数纳秒。请参阅 IEEE 1588v2 以了解相关表示法的定义。此输入必须位于 TX 时钟域内。
tx_ptp_tstamp_valid_out	1	O	此位用于表示 TX 上当前呈现的有效时间戳。
tx_ptp_pcs_lane_out	5	O	该总线用于指示在 20 条 PCS 通道中，检测到对应时间戳的 SOP 所在的通道。
tx_ptp_tstamp_tag_out	16	O	对应于 tx_ptp_tag_field_in[15:0] 的标签输出。
tx_ptp_tstamp_out	80	O	已发射的包 SOP 的时间戳，对应于它通过捕获平面的时间。该总线中包含的位的表示法与定时器输入相同。
tx_ptp_1588op_in	2	I	2'b00 -“无操作 (No operation)”：不记录时间戳，不修改帧。 2'b01 -“单步 (1-step)”：应记录时间戳并将其插入帧。 2'b10 -“双步 (2-step)”：应记录时间戳并将其返回到客户端（使用对应双步操作的附加端口）。帧本身无需修改。 2'b11 - 保留。 注释：CMAC 核将在 SOP 时对此信号进行采样。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
tx_ptp_tag_field_in	16	I	该字段的使用取决于 1588 操作 - 对于“无操作 (No operation)”，将忽略该字段。 - 对于“1-step”和“2-step”，此字段将成为标签字段。该标签值将通过使用双步操作的额外端口，与对应当前帧的时间戳一起返回至客户端。该标签值可供软件用于确保该时间戳能够与其发送的精确时间协议 (PTP) 帧（用于发射）相匹配。 注释：CMAC 核将在 SOP 时对此信号进行采样。
tx_ptp_upd_chksum_in	1	I	该字段的使用取决于 1588 操作。 - 对于“无操作 (No operation)”或“双步 (2-step)”，将忽略该位。 - 对于“单步 (1-step)”： 1'b0: PTP 帧不包含 UDP 校验和。 1'b1: PTP 帧包含 UDP 校验和，并且需要核才能重新计算此校验和。
tx_ptp_chksum_offset_in	16	I	该字段的使用取决于 1588 操作和“更新校验和 (Update Checksum)”位。 - 对于“无操作 (No operation)”、“双步 (2-step)”或“单步 (1-step)”，当“更新校验和 (Update Checksum)”设置为 1'b0 时，将忽略该字段。 - 对于“单步 (1-step)”，当“更新校验和 (Update Checksum)”设置为 1'b1 时，该字段为数字值，用于指示帧中导入的字节数，这些字节将导入校验和的第一个字节所在位置（值为 0 时表示目标地址的第一个字节，以此类推）。 注释：IPv6 报头大小无限制，因此该字段可适用于所有帧大小（上限为 16K 巨型帧）。仅支持偶数值。
tx_ptp_tstamp_offset_in	16	I	该字段的使用取决于 1588 操作 - 对于“无操作 (No operation)”或“双步 (2-step)”，将忽略该字段。 - 对于“单步 (1-step)”，该字段为数字值，用于指示导入帧中的字节数，这些字节将导入时间戳插入的第一个字节所在位置（值为 0 时表示目标地址的第一个字节，以此类推）。 此输入还用于指定单步透明时钟 (Transparent Clock) 模式中的纠正字段的偏移。 注释：IPv6 报头大小无限制，因此该字段可适用于所有帧大小（上限为 16K 巨型帧）。仅支持偶数值。 在透明时钟模式中且 $\text{tx_ptp_upd_chksum_in}=1$ 时，该值不得大于 $\text{tx_ptp_chksum_offset_in} + 34$（十进制）。
ctl_tx_ptp_vlane_adjust_mode	1	I	断言有效时，此信号将根据发生 SOP 的 PCS 通道对 TX 时间戳进行调整。当值为 0 时，不执行调整。此信号仅影响单步操作。
stat_tx_ptp_fifo_write_error	1	O	发射 PTP FIFO 写入错误。此状态值为 1 表示 PTP Tag 写入期间发生错误。需 TX 路径复位才能清除此错误。
stat_tx_ptp_fifo_read_error	1	O	发射 PTP FIFO 读取错误。此状态值为 1 表示 PTP Tag 读取期间发生错误。需 TX 路径复位才能清除此错误。
ctl_rx_systemtimerin	80	I	适用于 RX 的系统定时器输入。 在正常时钟模式下，时间格式遵循 IEEE 1588 格式，以 48 位表示秒，32 位表示纳秒。 在透明时钟模式下，位 63 表示符号位，位 62:16 用于承载纳秒，位 15:0 用于承载小数纳秒。请参阅 IEEE 1588v2 以了解相关表示法的定义。 此输入必须与通道 0 RX SerDes 位于相同时钟域内。
rx_ptp_tstamp_out	80	O	已接收的包 SOP 的时间戳，对应于它通过捕获平面的时间。只要针对任一 LBUS 分段断言 SOP 有效，则从断言有效的时钟周期开始，此信号即生效。 该总线中包含的位的表示法与定时器输入相同。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
rx_ptp_pcslane_out	5	O	该总线用于指示在 20 条 PCS 通道中，检测到对应时间戳的 SOP 所在的通道。 只要针对任一 LBUS 分段断言 SOP 有效，则从断言有效的时钟周期开始，此信号即生效。
rx_lane_aligner_fill_0	7	O	此输出用于指示 PCS lane0 的对齐缓存的填充级别。此信息可供 PTP 应用配合 rx_ptp_pcslane_out[4:0] 信号一起使用，以便调整即将到达的 SOP 的通道偏差。单位为 SerDes 时钟周期数。
rx_lane_aligner_fill_1	7	O	此输出用于指示 PCS lane1 的对齐缓存的填充级别。
rx_lane_aligner_fill_2	7	O	此输出用于指示 PCS lane2 的对齐缓存的填充级别。
rx_lane_aligner_fill_3	7	O	此输出用于指示 PCS lane3 的对齐缓存的填充级别。
rx_lane_aligner_fill_4	7	O	此输出用于指示 PCS lane4 的对齐缓存的填充级别。
rx_lane_aligner_fill_5	7	O	此输出用于指示 PCS lane5 的对齐缓存的填充级别。
rx_lane_aligner_fill_6	7	O	此输出用于指示 PCS lane6 的对齐缓存的填充级别。
rx_lane_aligner_fill_7	7	O	此输出用于指示 PCS lane7 的对齐缓存的填充级别。
rx_lane_aligner_fill_8	7	O	此输出用于指示 PCS lane8 的对齐缓存的填充级别。
rx_lane_aligner_fill_9	7	O	此输出用于指示 PCS lane9 的对齐缓存的填充级别。
rx_lane_aligner_fill_10	7	O	此输出用于指示 PCS lane10 的对齐缓存的填充级别。
rx_lane_aligner_fill_11	7	O	此输出用于指示 PCS lane11 的对齐缓存的填充级别。
rx_lane_aligner_fill_12	7	O	此输出用于指示 PCS lane12 的对齐缓存的填充级别。
rx_lane_aligner_fill_13	7	O	此输出用于指示 PCS lane13 的对齐缓存的填充级别。
rx_lane_aligner_fill_14	7	O	此输出用于指示 PCS lane14 的对齐缓存的填充级别。
rx_lane_aligner_fill_15	7	O	此输出用于指示 PCS lane15 的对齐缓存的填充级别。
rx_lane_aligner_fill_16	7	O	此输出用于指示 PCS lane16 的对齐缓存的填充级别。
rx_lane_aligner_fill_17	7	O	此输出用于指示 PCS lane17 的对齐缓存的填充级别。
rx_lane_aligner_fill_18	7	O	此输出用于指示 PCS lane18 的对齐缓存的填充级别。
rx_lane_aligner_fill_19	7	O	此输出用于指示 PCS lane19 的对齐缓存的填充级别。
drp_clk	1	I	DRP 接口时钟。不使用 DRP 时，可将其绑定到 GND。
drp_addr	10	I	DRP 地址总线。
drp_di	16	I	用于将配置数据从 FPGA 逻辑资源写入到 100G Ethernet IP 核的数据总线。
drp_en	1	I	DRP 启用信号。 • 0: 不执行读取或写入操作。 • 1: 启用读取或写入操作。 对于写入操作，DRP_WE 和 DRP_EN 应驱动至高电平 (High)（仅限 1 个 DRP_CLK 周期）。
drp_do	16	O	用于将配置数据从 100G Ethernet IP 核读取到 FPGA 逻辑资源的数据总线。
drp_rdy	1	O	用于指示写入操作已完成，并且数据有效，可供读取操作使用。

表 5-2：CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
drp_we	1	I	DRP 写入启用。 • 0：当 DRP_EN 为 1 时执行读取操作。 • 1：当 DRP_EN 为 1 时执行写入操作。 对于写入操作，DRP_WE 和 DRP_EN 应驱动至高电平 (High)（仅限 1 个 DRP_CLK 周期）。
user_reg0	32	O	用户定义的输出，来自 AXI4-Lite 寄存器映射 user_reg0 寄存器。 注释：选中“General”选项卡中的“Include AXI4-Lite Control and Statistics Interface”时，此输入可用。
rx_otn_bip8_{0:OTN_LANES-1}	8	O	重新计算的 OTN 接口的 BIP 值。
rx_otn_data_{0:OTN_LANES-1}	66	O	接收数据路径的数据输出。 • [65:64] = 同步报头 • [63:0] = 数据
rx_otn_ena	1	O	指示 rx_otn_data_* 总线上的数据有效。
rx_otn_lane0	1	O	指示 PCS 通道 0 的数据字显示在 rx_otn_data_0 上。
rx_otn_vlmarker	1	O	指示 rx_otn_data_* 总线上的数据为对齐标记字。
tx_preamblein	56	I	自定义 tx 前导码输入数据。 包起始期间，此信号应有效。
rx_preambleout	56	O	RX 前导码输出数据。
ctl_tx_rsfc_enable	1	I	对应 RS-FEC 核的 TX 控制输入 注释：在“General”选项卡中取消选中“Enable TX OTN Interface”选项并选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
ctl_rx_rsfc_enable	1	I	对应 RS-FEC 核的 RX 控制输入。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
ctl_rsfc_ieee_error_indication_mode	1	I	对应 RS-FEC 核的 IEEE 错误指示控制输入。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，或者在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
ctl_rx_rsfc_enable_correction	1	I	对应 RS-FEC 核的纠错控制输入。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，或者在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
ctl_rx_rsfc_enable_indication	1	I	对应 RS-FEC 核的错误指示控制输入。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，或者在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
rsfc_bypass_rx_din	330	I	“转码旁路 (Transcode Bypass)”模式下，对应 RS-FEC 解码器的 RX 数据输入。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
rsfc_bypass_rx_din_cw_start	1	I	“转码旁路 (Transcode Bypass)”模式下，对应 RS-FEC 解码器的 RX 数据输入代码字起始。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
rsfec_bypass_tx_din	330	I	“转码旁路 (Transcode Bypass)”模式下，对应 RS-FEC 编码器的 TX 数据输入。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
rsfec_bypass_tx_din_cw_start	1	I	“转码旁路 (Transcode Bypass)”模式下，对应 RS-FEC 编码器的 TX 数据输入代码字起始。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
rsfec_bypass_rx_dout	330	O	“转码旁路 (Transcode Bypass)”模式下，来自 RS-FEC 解码器的 RX 数据输出。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
rsfec_bypass_rx_dout_cw_start	1	O	“转码旁路 (Transcode Bypass)”模式下，来自 RS-FEC 解码器的 RX 数据输出代码字起始。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
rsfec_bypass_rx_dout_valid	1	O	“转码旁路 (Transcode Bypass)”模式下，来自 RS-FEC 解码器的 RX 数据输出有效。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
rsfec_bypass_tx_dout	330	O	“转码旁路 (Transcode Bypass)”模式下，来自 RS-FEC 编码器的 TX 数据输出。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
rsfec_bypass_tx_dout_cw_start	1	O	“转码旁路 (Transcode Bypass)”模式下，来自 RS-FEC 编码器的 TX 数据输出代码字起始。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
rsfec_bypass_tx_dout_valid	1	O	“转码旁路 (Transcode Bypass)”模式下，来自 RS-FEC 编码器的 TX 数据输出有效。 注释：在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
stat_rx_rsfec_am_lock0	1	O	RS-FEC RX 通道 0 处于已锁定并已对齐状态。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsfec_am_lock1	1	O	RS-FEC RX 通道 1 处于已锁定并已对齐状态。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsfec_am_lock2	1	O	RS-FEC RX 通道 2 处于已锁定并已对齐状态。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsfec_am_lock3	1	O	RS-FEC RX 通道 3 处于已锁定并已对齐状态。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsfec_corrected_cw_inc	1	O	当处于高电平 (High) 时，此项用于指示核中的 RS 解码器已成功纠正 RS-FEC 代码字。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，或者在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
stat_rx_rsdec_cw_inc	1	O	当处于高电平 (High) 时，此项用于指示针对每个已纠正/未纠正的 RS-FEC 代码字，cw_inc 标志均有效。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，或者在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
stat_rx_rsdec_uncorrected_cw_inc	1	O	当处于高电平 (High) 时，此项指示核中的 RS 解码器未能纠正 RS-FEC 代码字。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，或者在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
stat_rx_rsdec_err_count0_inc	3	O	指示通道 0 上检测到的符号错误数量。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，或者在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
stat_rx_rsdec_err_count1_inc	3	O	指示通道 1 上检测到的符号错误数量。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsdec_err_count2_inc	3	O	指示通道 2 上检测到的符号错误数量。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsdec_err_count3_inc	3	O	指示通道 3 上检测到的符号错误数量。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsdec_hi_ser	1	O	如果含 8,192 个代码字的窗口内的 RS-FEC 符号错误数量超过阈值 $K = 417$ ，则此项设置为 1。脉冲至高电平。此输出上无锁存高电平行为。请参阅 802.3 规格寄存器 1.201.2。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，或者在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项时，此端口可用。
stat_rx_rsdec_lane_alignment_status	1	O	如果 RS-FEC RX 通道全部处于已锁定并已对齐状态，则此项为高电平。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsdec_lane_fill_0	14	O	瞬时延迟，已应用到对齐和去歪斜块中的 SerDes 通道 0。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsdec_lane_fill_1	14	O	瞬时延迟，已应用到对齐和去歪斜块中的 SerDes 通道 1。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsdec_lane_fill_2	14	O	瞬时延迟，已应用到对齐和去歪斜块中的 SerDes 通道 2。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。

表 5-2: CORE XCI 顶层端口列表（续）

名称	大小	I/O	描述
stat_rx_rsfec_lane_fill_3	14	O	瞬时延迟，已应用到对齐和去歪斜块中的 SerDes 通道 3。 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。
stat_rx_rsfec_lane_mapping	8	O	802.3 规格寄存器 1.206 的 8 个 LSB， 用于显示已映射到每个 FEC 通道的 PMA 通道。 位 [1:0] = FEC 通道映射 0 位 [3:2] = FEC 通道映射 1 位 [5:4] = FEC 通道映射 2 位 [7:6] = FEC 通道映射 3 注释：在“General”选项卡中选中“Include IEEE 802.3bj RS-FEC”选项时，此端口可用。

仅当选中“General 选项卡”中的“Include AXI4-Lite Control and Statistics Interface”选项时，AXI4-Lite 接口才可见。请参阅[“AXI4 接口用户逻辑”](#)以获取 AXI4-Lite 端口列表和描述。

操作模式

针对此设计示例，支持以下 3 种操作模式：

- “双工模式”
- “单工 TX 模式”
- “单工 RX 模式”

双工模式

在此操作模式下，100G Ethernet IP 核发射器和接收器处于有效状态，在 GT 输出接口上提供环回，即输出作为输入进行回馈。包生成和监控在此模式下同样处于有效状态。

要启用此操作模式，请从 Vivado IDE 参数中选中双工模式。图 5-3 显示了双工操作模式。

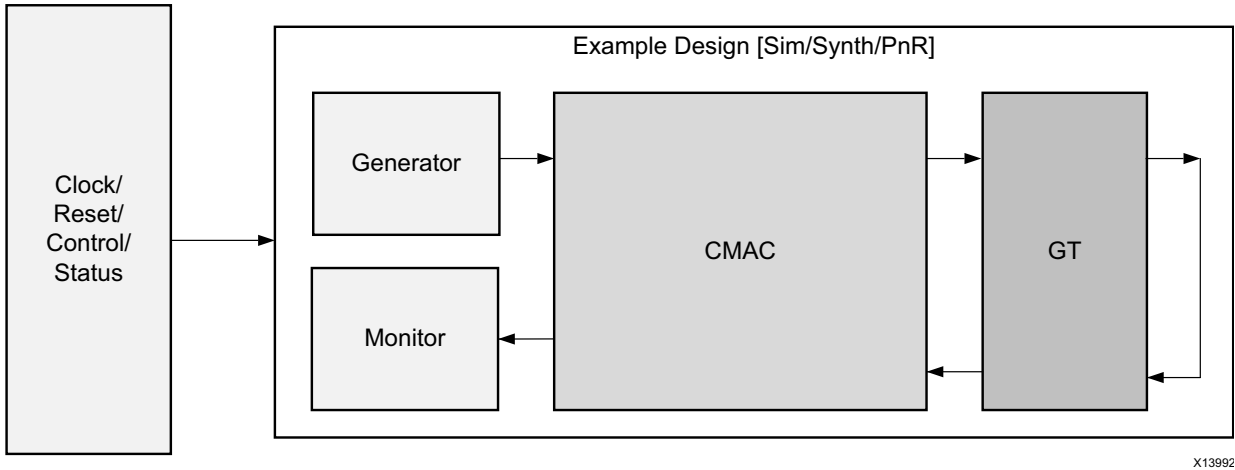
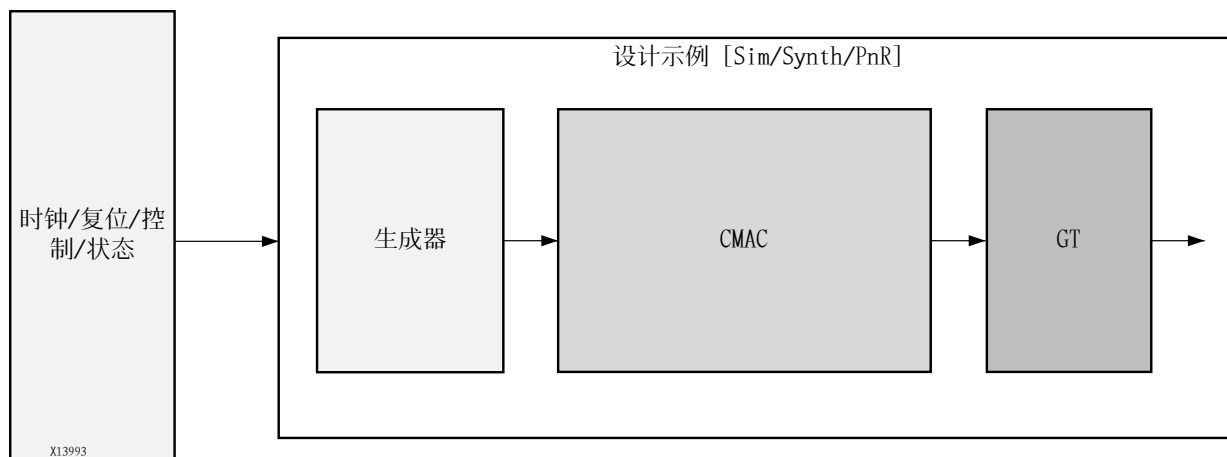


图 5-3: 双工操作模式

单工 TX 模式

在此操作模式下，仅启用 100G Ethernet IP 核发射器，如图 5-4 所示。并且启用的包生成器仅限于执行包生成。

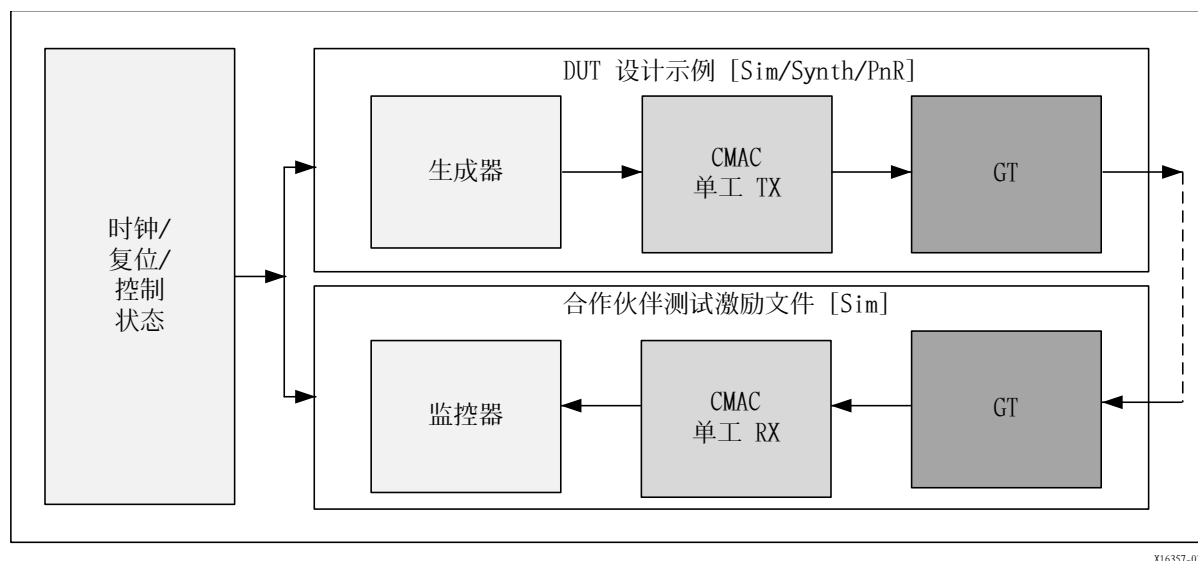
要启用此操作模式，请从 Vivado IDE 中选择“Simplex TX”模式。图 5-4 显示了单工 TX 操作模式。



用于仿真的单工 TX 模式

如上图所示，在此操作模式下，仅启用 100G Ethernet IP 核发射器，并且启用的包生成器仅限于执行包生成。对于仿真，将例化合作伙伴测试激励文件以履行核接收器的功能。此合作伙伴测试激励文件将包含核接收器和包监控器用于验证从生成器接收到的数据。

图 5-5 显示了用于仿真的单工 TX 模式。



单工 RX 模式

在此操作模式下，仅启用 100G Ethernet IP 核接收器，如图 5-6 所示。并且启用的包监控器仅限于执行包接收。

要启用此操作模式，请从 Vivado IDE 参数中选中“Simplex RX”模式。图 5-6 显示了单工 RX 操作模式。

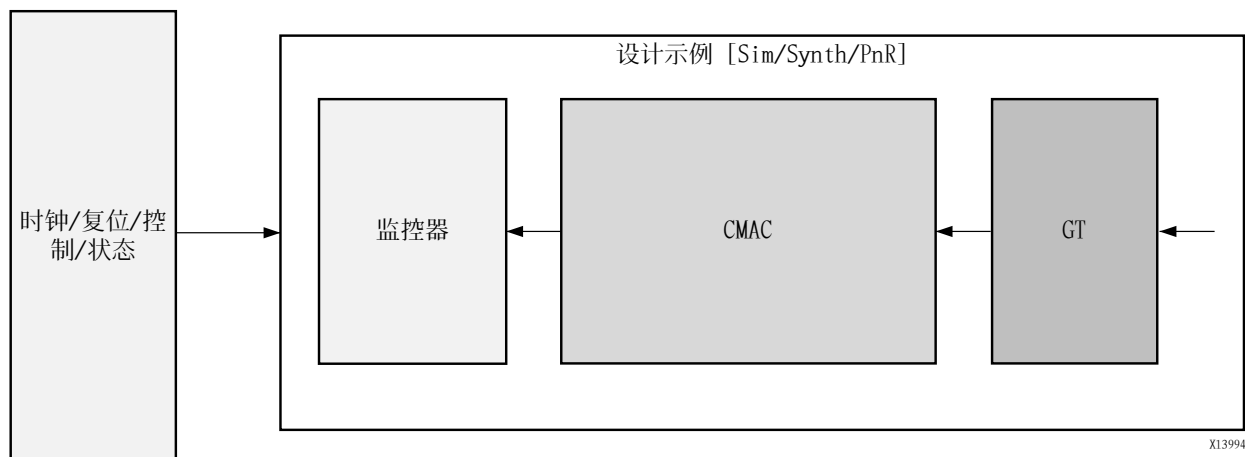


图 5-6：单工 RX 操作模式

用于仿真的单工 RX 模式

如上图所示，在此操作模式下，仅启用 100G Ethernet IP 核接收器，并且启用的包监控器将用于验证接收到的数据。对于仿真，将例化合作伙伴测试激励文件以履行核发射器的功能。此合作伙伴测试激励文件将包含核发射器和包生成器，用于生成测试数据。

图 5-7 显示了用于仿真的单工 RX 模式。

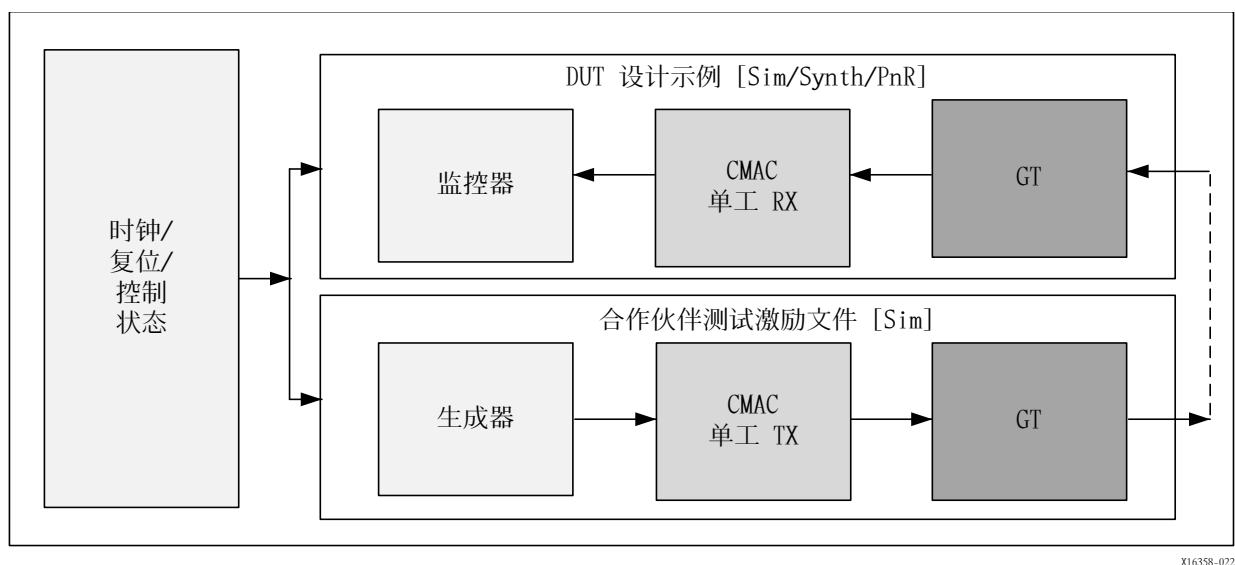


图 5-7：用于仿真的单工 RX 模式

传输事务流程

本章节描述了 `cmac_usplus_0_pkt_gen_mon` 与 `cmac_usplus_0` 之间的数据流以及在 `cmac_usplus_0_pkt_gen` 和 `cmac_usplus_0_pkt_mon` 内部发生的各种状态转换。

包生成

`cmac_usplus_0_pkt_gen` 模块负责生成 LBUS 包。通常，包生成器会等待发射器实现锁定状态并且核 RX 实现对齐状态。随后，包生成器会发送预定义数量的数据包。将使用有限状态机 (FSM) 来生成 LBUS 包。以下是每个状态的功能描述：

- **STATE_TX_IDLE**: 默认情况下，控制器处于此状态。当 `reset_done` 变为高电平时，它将转至 **STATE_GT_LOCKED** 状态。
- **STATE_GT_LOCKED**: 此状态会设置 `ctl_tx_send_rfi=1`、`tx_core_busy_led=1` 且 `gt_lock_led=1`。随后，它会转至 **STATE_WAIT_RX_ALIGNED** 状态。
- **STATE_WAIT_RX_ALIGNED**: 此状态会等待 100G Ethernet IP 核指示 `stat_rx_aligned=1`，这表示 100G Ethernet IP RX 核处于已锁定状态。然后，它会转至 **STATE_PKT_TRANSFER_INIT** 状态。
- **STATE_PKT_TRANSFER_INIT**: 此状态会设置 `rx_aligned_led=1` 且 `tx_core_busy_led=1`。随后，它会初始化所有信号，以启动 LBUS 包生成操作，然后转至 **STATE_LBUS_TX_ENABLE** 状态。
- **STATE_LBUS_TX_ENABLE**: 此状态会检查要生成的包的数量，并按预定义大小发送 LBUS 包。发送完所有包后，FSM 会转至 **STATE_LBUS_TX_DONE** 状态。发射数据包期间，如果 `tx_rdyout=0`、`tc_ovfout=1` 或 `tx_unfout=1`，那么 FSM 控制器会转至 **STATE_LBUS_TX_HALT** 状态。
- **STATE_LBUS_TX_HALT**: 在此状态下，如果 `tc_ovfout` 或 `tx_unfout` 为高电平 (High)，那么控制器会生成 `tx_fail_reg` 标志。随后，FSM 会转至 **STATE_LBUS_TX_DONE** 状态。如果 `tx_rdyout` 变为高电平 (High)，那么 FSM 会转至 **STATE_LBUS_TX_ENABLE** 或 **STATE_PTP_PKT_TRANSFER** 状态以继续执行包生成操作。
- **STATE_LBUS_TX_DONE**: 此状态会将与包生成相关的所有信号复位，并设置 `tx_done_led=1`。如果 1588 含 FCS 插入的“1-step”或“Both”选项已启用，那么它会转至 **STATE_PTP_PKT_INIT** 状态，否则它会检查是否已启用 **TX_FLOW_CONTROL**。如果已启用，那么 FSM 会转至 **STATE_TX_PAUSE_INIT** 状态，否则 FSM 会转至 **STATE_WAIT_FOR_RESTART** 状态。
- **STATE_WAIT_FOR_RESTART**: 在此状态下，所有包生成器参数都会复位为默认值，并复位 `tx_busy_led=0`。对于 `tx_restart_rising_edge`，FSM 转至 **STATE_PKT_TRANSFER_INIT** 状态。
- **STATE_PTP_PKT_INIT**: 将用于 LBUS 传输事务的所有信号复位。转至 **STATE_PTP_PKT_READ** 状态，等待至初始化计数器完成操作，并将 `ptp_pkt_transfer` 标志设置为 1。发送 3 个 1588 PTP 包（以太网、IPv4 和 IPv6）之后，如果已启用 **TX_FLOW_CONTROL**，FSM 会转至 **STATE_TX_PAUSE_INIT** 状态；否则 FSM 会转至 **STATE_WAIT_FOR_RESTART** 状态。
- **STATE_PTP_PKT_READ**: 对于 IPv4 或 IPv6，递增 `tx_ptp_pkt_index` 并转至 **STATE_PTP_PKT_TRANSFER** 状态。
- **STATE_TX_PTP_PKT_TRANSFER**: 发送完整的 PTP 包之后，从 `ptp_pkt_gen` 模块读取数据并转至 **STATE_PTP_PKT_INIT** 状态。
- **STATE_TX_PAUSE_INIT**: 此状态将设置 `ctl_tx_pause_enable = 9'h100` 和 `ctl_tx_pause_req[8] = 1`，并等待 `stat_tx_pause` 信号转至高电平 (High)。随后，FSM 会转至 **STATE_TX_PPP_INIT** 状态。
- **STATE_TX_PPP_INIT**: 在此状态下，控制器会设置 `ctl_tx_pause_enable = 9'h0ff` 和 `ctl_tx_pause_req[7:0]`，按递减顺序每次设置 1 个位（从位 7 到位 0）。随后，它会等待 `stat_tx_pause_valid[0]` 变为高电平 (High) 并转至 **STATE_TX_PAUSE_DONE** 状态。
- **STATE_TX_PAUSE_DONE**: 在此状态下，将复位所有暂停信号。随后，控制器会转至 **STATE_WAIT_FOR_RESTART** 状态。

只要 `stat_rx_aligned = 0`，FSM 就会转至 **STATE_TX_IDLE** 状态。

注释：

- 在单工 TX 操作模式下，由于 RX 对齐信息将不可用，状态机会等待用户逻辑输入 `simplex_mode_rx_aligned`。当用户逻辑断言此输入为高电平有效时，将启动数据包发射操作。
- 如果在“General”选项卡中选中“Disable FCS Insertion”，核就不会为数据包插入 CRC 值。因此，`CRC_Mapping_LUT` 模块将在 `cmac_usplus_0_pkt_gen` 模块内部进行例化，后者包含预计算的 CRC 值，该值对应于当前 LBUS 预定义的数据包（包大小为 522 字节）。这些 CRC 值将追加到每个 LBUS 包的末尾。因此，如果更改包大小，就必须为此新模块更改 CRC 值，并且这些值应适用于新的包和包大小。
- 如果选中 1588 透明时钟“1-step”或“Both”选项并且在 Vivado IDE 中禁用 FCS 插入，那么在设计示例中将不执行 1588 透明时钟测试，因为核将修改此数据包，导致 PTP 帧 CRC 值不可预测。
- 如果在“General”选项卡中选中 1588 “1-step”或“Both”选项，那么 `ptp_packet_gen` 模块将在 `cmac_usplus_0_packet_gen` 模块内部进行例化。此模块包含 3 个 1588 PTP 数据包（以太网、IPV4 和 IPV6），根据 GUI 选项卡-1 中的“禁用 FCS 插入 (Disable FCS Insertion)”或“启用 FCS 插入 (Enable FCS Insertion)”选项，这 3 个包可能包含 CRC 值，也可能不包含 CRC 值。

图 5-8 中显示了在此进程中发生的状态转换。

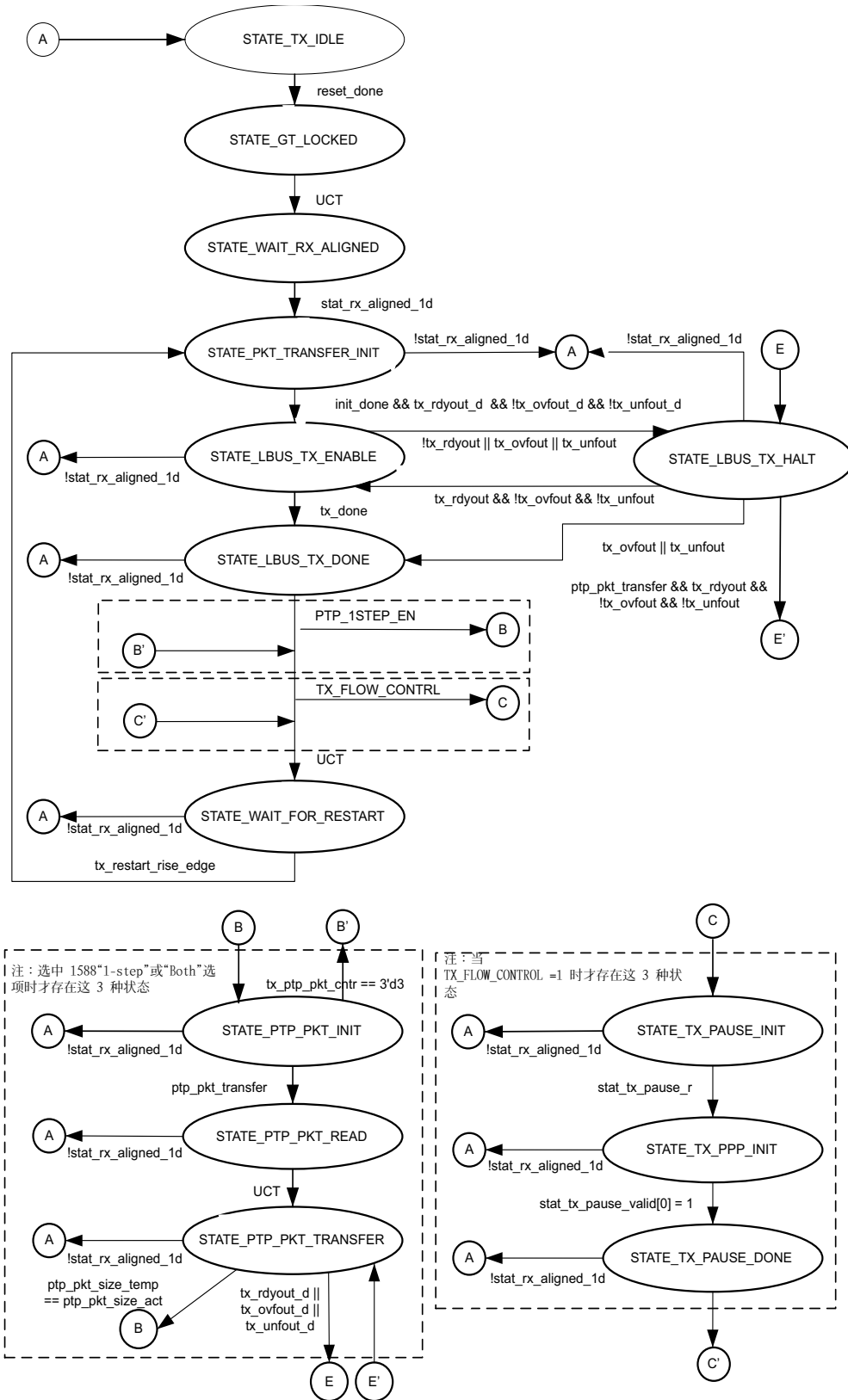


图 5-8: 对应包生成器的状态转换图

包接收

cmac_usplus_0_pkt_mon 模块负责接收数据包。通常，包监控器会等待收发器实现锁定状态并且 100G Ethernet IP RX 实现对齐状态。随后，包监控器会接收预定义数量的数据包。FSM 用于监控 RX LBUS 信号。以下是每个状态的功能描述：

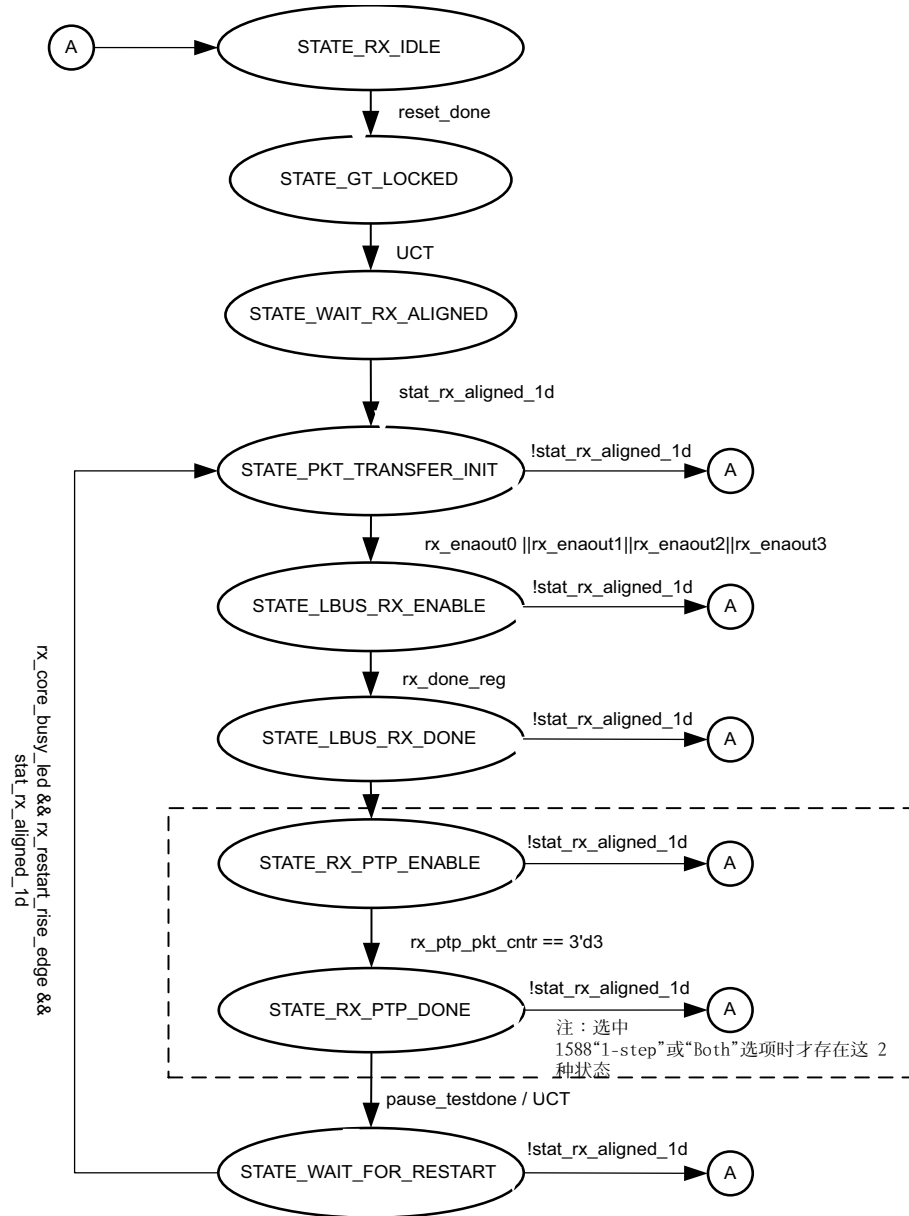
- **STATE_RX_IDLE**：默认情况下，FSM 处于空闲 (IDLE) 状态。当 reset_done 变为高电平时，FSM 会转至 STATE_GT_LOCKED 状态。
- **STATE_GT_LOCKED**：此状态会设置 gt_lock_led=1、rx_core_busy_led=1 和 ctl_rx_enable=1。随后，FSM 会转至 STATE_WAIT_RX_ALIGNED 状态。
- **STATE_WAIT_RX_ALIGNED**：此状态会等待 stat_rx_aligned=1，这表示 100G Ethernet IP RX 核处于已对齐状态。随后，FSM 会转至 STATE_PKT_TRANSFER_INIT 状态。
- **STATE_PKT_TRANSFER_INIT**：此状态将设置 rx_aligned_led=1、rx_core_busy_led=1、初始化所有信号以启动 LBUS 包生成，然后转至 STATE_LBUS_TX_ENABLE 状态。
- **STATE_LBUS_RX_ENABLE**：此状态会接收 LBUS 包，并将其与期望的数据包进行比较。如果存在不匹配，则设置 rx_data_fail_led=1。仅当 lbus_tx_rx_restart_in=1 时，此标志才会复位。接收所有包后，FSM 会转至 STATE_LBUS_RX_DONE 状态。
- **STATE_LBUS_RX_DONE**：此状态会将 LBUS 包相关的所有信号复位、设置 rx_done_led=1，然后转至 STATE_WAIT_FOR_RESTART 状态。如果启用“TX 流程控制 (TX Flow Control)”和“RX 流程控制 (RX Flow Control)”功能，那么它会等待 pause_test_done=1，然后转至 STATE_WAIT_FOR_RESTART 状态。如果启用 1588 单步，则 FSM 会转至 STATE_RX_PTP_ENABLE 状态。
- **STATE_RX_PTP_ENABLE**：在此状态下，它会接收 3 个 1588 PTP 数据包。接收这些包后，FSM 会转至 STATE_RX_PTP_DONE 状态。
- **STATE_RX_PTP_DONE**：此状态仅显示接收到的时间戳。如果启用“TX 流程控制 (TX Flow Control)”和“RX 流程控制 (RX Flow Control)”，则会等待 pause_test_done=1，然后转至 STATE_WAIT_FOR_RESTART 状态。
- **STATE_WAIT_FOR_RESTART**：此状态会将 LBUS 包监控器相关的所有信号复位，并复位 rx_core_busy_led=0。然后，它会等待 rx_restart_rise_edge=1 且 stat_rx_aligned=1。随后，FSM 会转至 STATE_PKT_TRANSFER_INIT 状态。

只要 stat_rx_aligned = 0，FSM 就会转至 STATE_RX_IDLE 状态。

注释：

- 启用 RX_FLOW_CONTROL 时，对应输入控制信号将初始化以启用“暂停”帧和“优先暂停”帧的接收。
- 如果在“General”选项卡中选“Disable FCS Stripping”，那么 CRC_Mapping_LUT 模块将在 cmac_usplus_0_pkt_mon 模块内部进行例化。此 CRC_Mapping_LUT 模块包含预计算的 CRC 值，该值对应于接收到的 LBUS 数据包（包大小为 522 个字节）。这些 CRC 值将与接收到的 LBUS 包 CRC 进行比较。
- 如果更改包大小，就必须提供新的 CRC 值，并且这些值应适用于新的包大小。

图 5-9 中显示了在此进程中发生的状态转换。

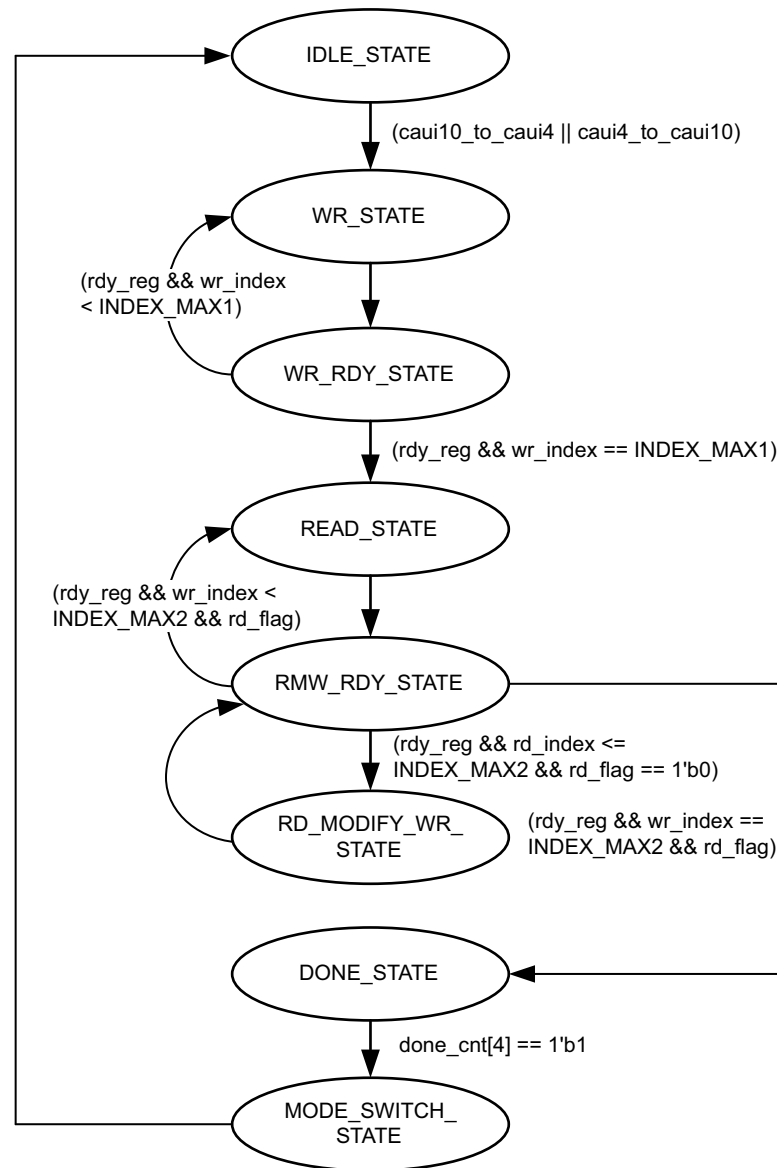


X16364-022317

图 5-9：对应包监控器的状态转换图

运行时可切换 (Runtime Switchable)

针对“Mode”选项选中运行时可切换模式时，`cmac_usplus_0_trans_debug` 模块将显示在设计示例中。此 `cmac_usplus_0_trans_debug` 模块负责执行 DRP 写入操作以切换收发器操作模式，即从 CAUI-10 切换至 CAUI-4 或从 CAUI-4 切换至 CAUI-10。将 `switch_caii_mode` 信号设置为高电平 (High) 并保持至少 2 个时钟周期然后再将其设置为低电平 (Low) 时，它将为 GT 公用端口和 GT 通道端口启动 DRP 写入操作，然后将该核复位。图 5-10 中显示了在此进程中发生的状态转换。



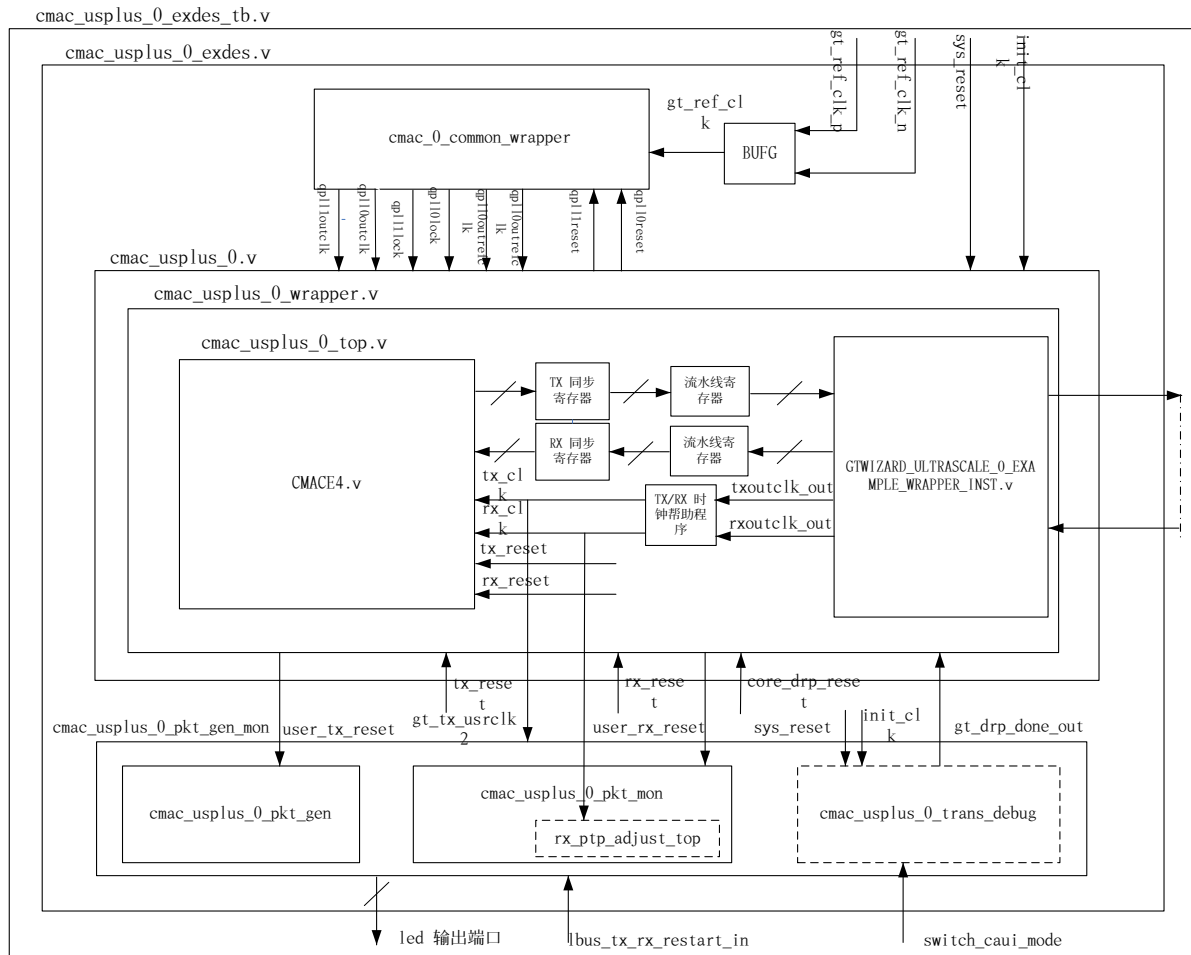
X17807-121118

图 5-10：对应运行时可切换 DRP 操作的状态转换图

共享逻辑实现

共享逻辑包含 GT 公用模块，此模块显示为 GT 的一部分或者显示在设计示例中。默认情况下，共享逻辑显示在核内部。如果要例化设计示例中的共享逻辑，请在 Vivado IDE 中选中“Include Shared logic in example design”。

图 5-11 显示了在设计示例内部例化共享逻辑时的实现过程。



XI6360-121118

图 5-11：含共享逻辑实现（核中的 GT 子核）的设计层级示例

核 DRP 操作

1. 将 `core_drp_reset` 信号置于高电平 (High)。
2. 执行 DRP 写入/读取操作。
3. 完成 DRP 操作后，将 `core_drp_reset` 信号置于低电平 (Low)。
4. 等待 `rx_alignment`。

AXI4-Lite 接口实现

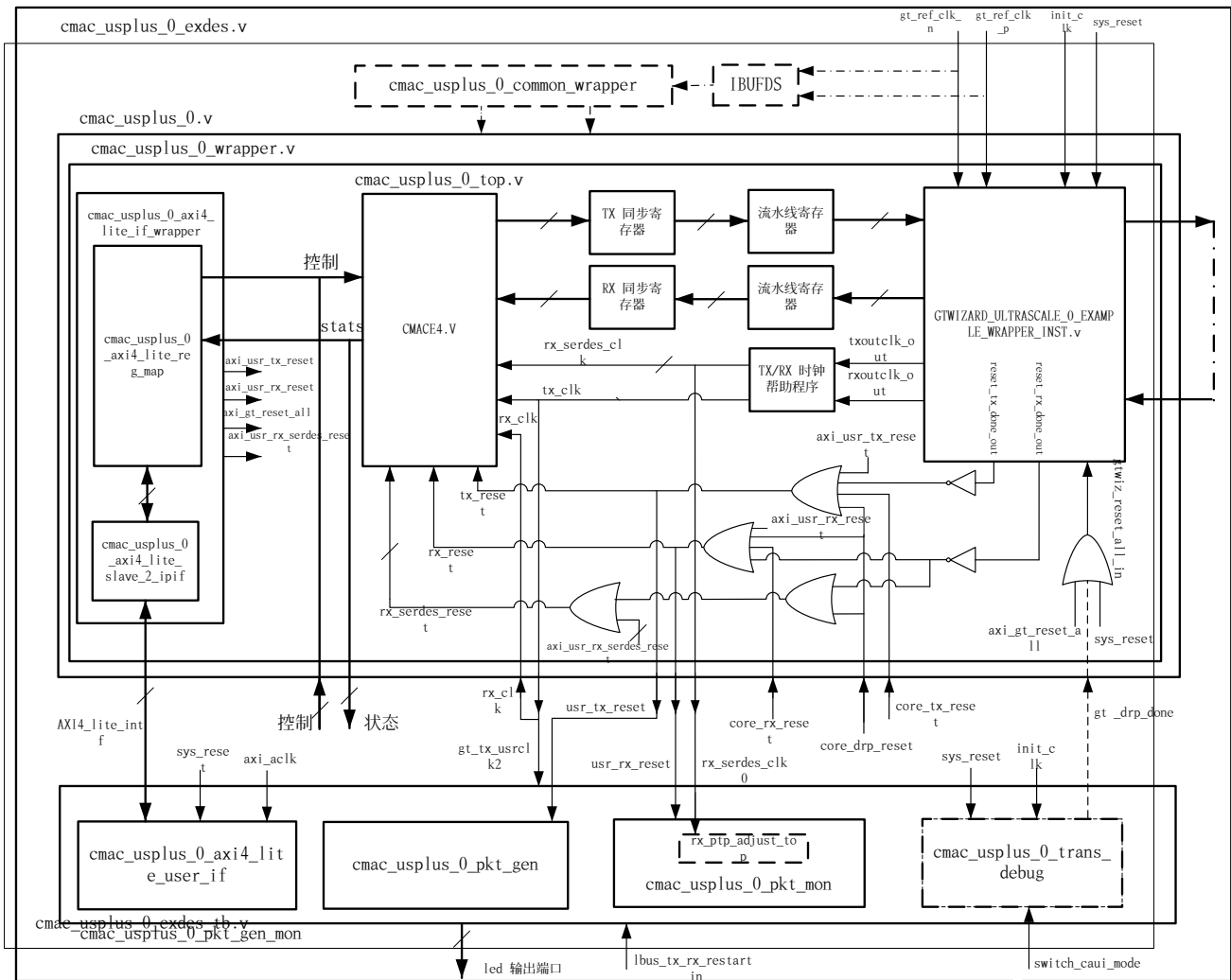
如要例化 AXI4-Lite 接口以访问核的控制寄存器和状态寄存器，请选中“General”选项卡中的“Include AXI4-Lite Control and Statistics Interface”。它会启用 `cmac_usplus_0_wrapper` 中的 `cmac_usplus_0_axi4_lite_if_wrapper` 模块（其中包含 `cmac_usplus_0_axi4_lite_reg_map` 和 `cmac_usplus_0_axi4_lite_slave_2_ipif` 模块）。这样用于访问寄存器（控制、状态和统计数据）的用户接口逻辑 (`cmac_usplus_0_axi4_lite_user_if`) 就会显示在 `cmac_usplus_0_pkt_gen_mon` 模块中。

注释：对于 CAUI-4 模式，只要选中“Include IEEE 802.3bj RS-FEC”和“Include AXI4-Lite Control and Statistics Interface”选项，即可访问 RS-FEC 控制寄存器和统计数据寄存器以便在 `cmac_usplus_0_axi4_lite_reg_map` 模块内执行读写操作。

此模式会启用以下功能：

- 您可通过 AXI4-Lite 接口配置核的所有 CTL 端口。此操作的执行方式是将含所需数据的一组地址位置写入寄存器映射接口。表 5-5 中列示了含配置寄存器列表的地址位置。
- 您可通过 AXI4-Lite 接口从该核访问所有状态寄存器和统计数据寄存器。此操作的执行方式是通过寄存器映射读取状态寄存器和统计数据寄存器的地址位置。表 5-6 显示了含对应寄存器描述的地址。

下图显示了选中“Include AXI4-Lite Control and Statistics Interface”时的实现过程。



X16361-022317

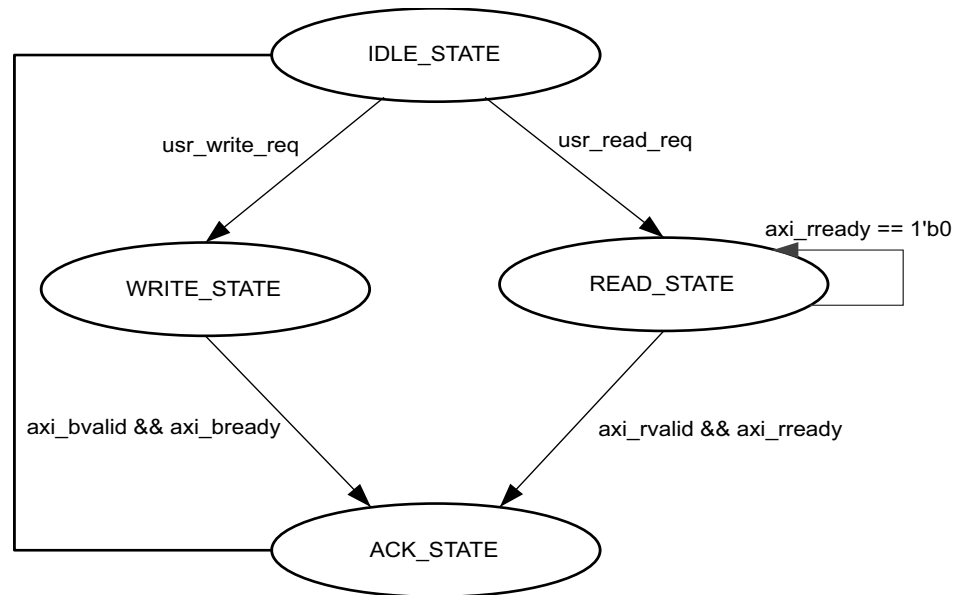
图 5-12：含 AXI4-Lite 接口的设计层级示例

AXI4 接口用户逻辑

以下章节提供了 AXI4-Lite 接口状态机控制和端口。

用户状态机

通过 AXI4-Lite 从模块接口执行的读写操作由状态机来控制，如图 5-13 所示。



X16362-060117

图 5-13：AXI4-Lite 接口的用户状态机

每个状态的功能描述如下：

- **IDLE_STATE**: 默认情况下，FSM 处于 IDLE_STATE 状态。当 `user_read_req` 信号变为高电平时，它会转至 READ_STATE 状态。或者，如果 `user_write_req` 信号为高电平，那么它会转至 WRITE_STATE，否则，它将保持 IDLE_STATE 状态。
- **WRITE_STATE**: 用户状态机在此状态下会提供 `s_axi_awvalid`、`s_axi_awaddr`、`s_axi_wvalid`、`s_axi_wdata` 和 `s_axi_wstrb` 以通过 AXI 写入寄存器映射。当来自 AXI 从接口的 `s_axi_bvalid` 和 `s_axi_bready` 均为高电平时，它会转至 ACK_STATE。如果在任意非法地址中发生任何写入操作，`s_axi_bresp[1:0]` 会指示 2'b10 以断言写入错误信号有效。
- **READ_STATE**: 用户状态机在此状态下会提供 `s_axi_arvalid` 和 `s_axi_araddr` 以供通过 AXI 从寄存器映射读取。当 `s_axi_rvalid` 和 `s_axi_rready` 均为高电平时，它会转至 ack_state。如果在任意非法地址中发生任何读取操作，`s_axi_rresp[1:0]` 会指示 2'b10 以向用户逻辑断言读取错误信号有效。
- **ACK_STATE**: 状态将转至 IDLE_STATE。

AXI 用户接口端口

表 5-3 中列出了 AXI 用户接口端口。

表 5-3：AXI 用户接口端口

名称	大小	I/O	描述
s_axi_aclk	1	I	AXI 时钟信号
s_axi_sreset	1	I	AXI 高电平有效同步复位
s_axi_awaddr	32	I	AXI 写入地址
s_axi_awvalid	1	I	AXI 写入地址有效
s_axi_awready	1	O	AXI 写入地址就绪
s_axi_wdata	32	I	AXI 写入数据
s_axi_wstrb	4	I	AXI 写入选通。此信号用于指示保存有效数据的字节通道。
s_axi_wvalid	1	I	AXI 写入数据有效。此信号用于指示有效的写入数据和写入选通均可供使用。
s_axi_wready	1	O	AXI 写入数据就绪
s_axi_bresp	2	O	AXI 写入响应。此信号用于指示写入传输事务的状态。 • 'b00 = OKAY • 'b01 = EXOKAY • 'b10 = SLVERR • 'b11 = DECERR
s_axi_bvalid	1	O	AXI 写入响应有效。此信号用于指示该通道正在发出有效的写入响应信号。
s_axi_bready	1	I	AXI 写入响应就绪。
s_axi_araddr	32	I	AXI 读取地址
s_axi_arvalid	1	I	AXI 读取地址有效
s_axi_arready	1	O	AXI 读取地址就绪
s_axi_rdata	32	O	AXI 读取数据（由从接口发出）
s_axi_rresp	2	O	AXI 读取响应。此信号用于指示读取传输的状态。 • 'b00 = OKAY • 'b01 = EXOKAY • 'b10 = SLVERR • 'b11 = DECERR
s_axi_rvalid	1	O	AXI 读取数据有效
s_axi_rready	1	I	AXI 读取就绪。此信号用于指示用户/主控制器可接受读取数据和响应信息。

用户端 AXI4-Lite 读写传输事务

本章节中的图示显示了 AXI4-Lite 接口的时序图波形。

有效的写入传输事务

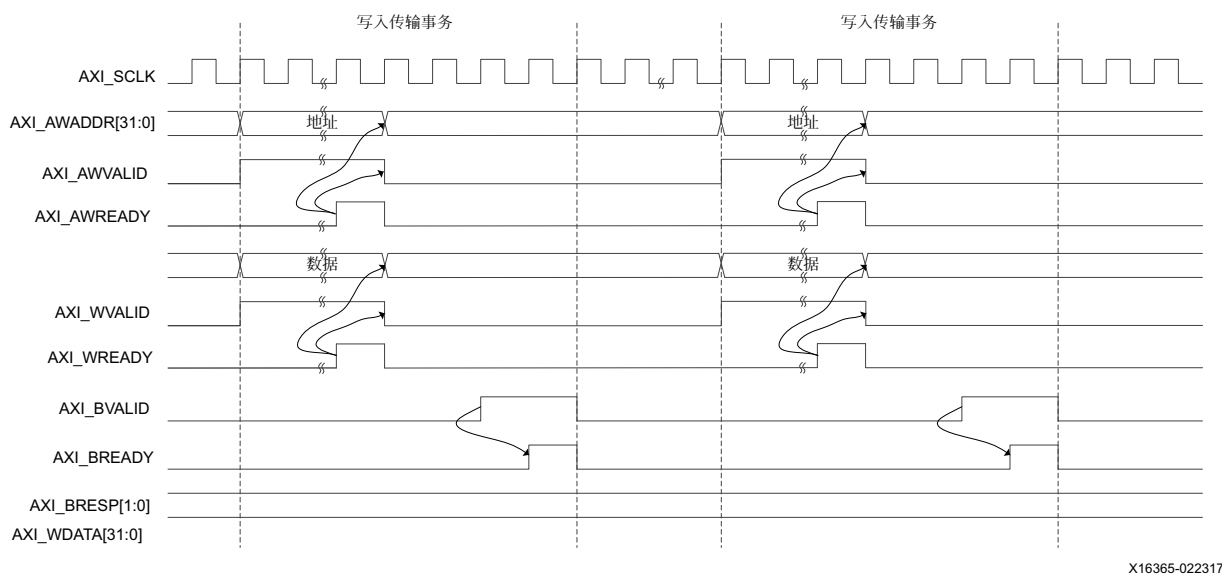


图 5-14: AXI4-Lite 用户端写入传输事务

无效的写入传输事务

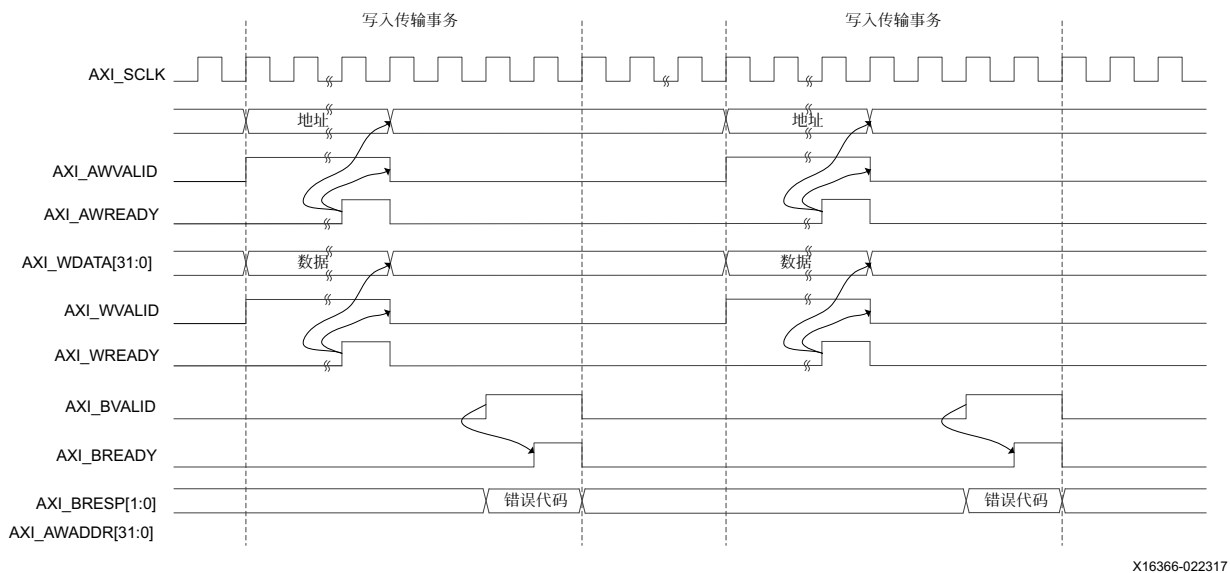


图 5-15: AXI4-Lite 用户端写入传输事务（含无效的写入地址）

有效的读取传输事务

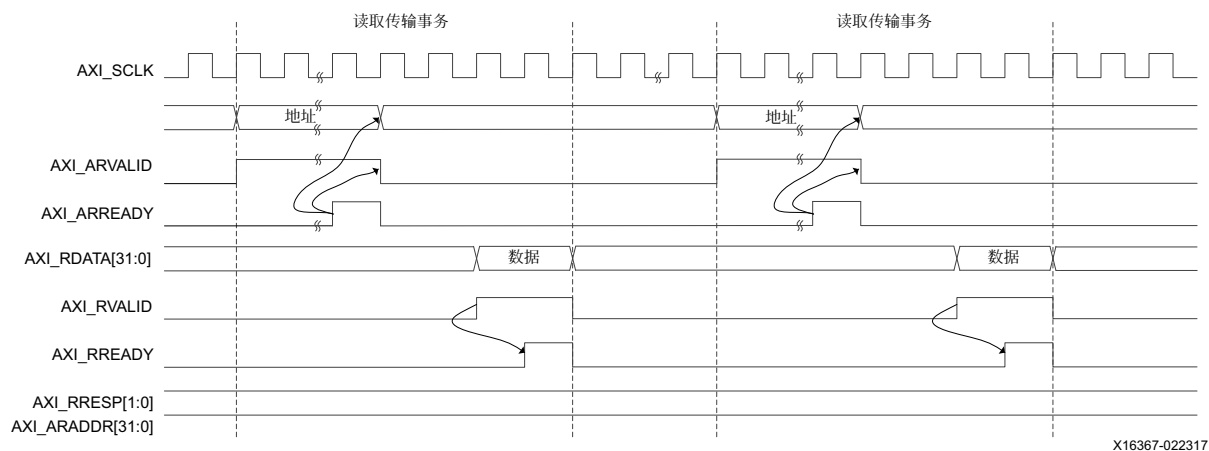


图 5-16：AXI4-Lite 用户端读取传输事务

无效的读取传输事务

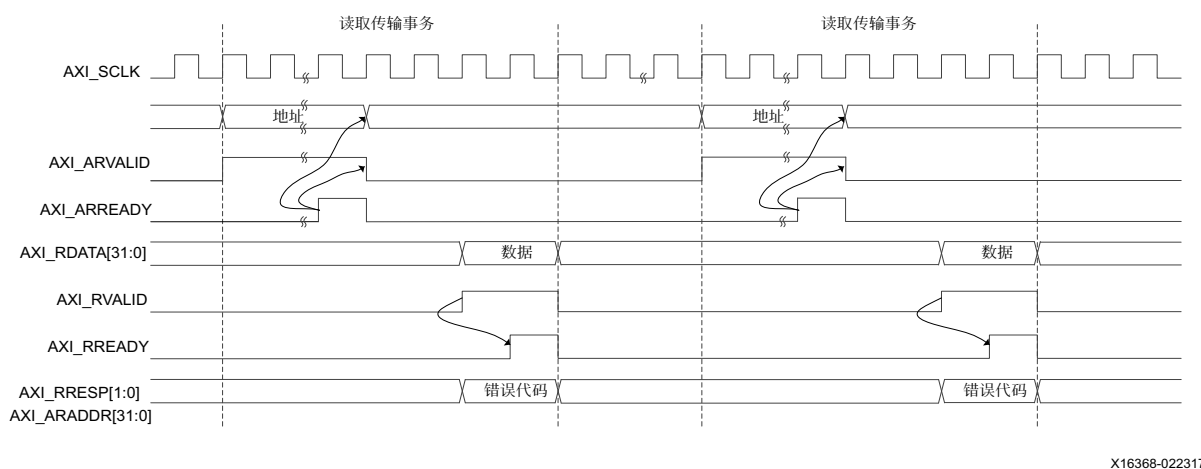


图 5-17：AXI4-Lite 用户端读取传输事务（含无效的读取地址）

寄存器映射

以下章节提供了对应核的寄存器映射和寄存器描述。

基本页面

寄存器映射分为 2 个 512 基本地址页面，以便于后续开发和扩展。

表 5-4：寄存器基本地址

基本地址	空间名称
0x0000 0000	IP 配置寄存器
0x0000 0200	状态寄存器和统计数据寄存器

所有寄存器大小均为 32 字节，并按 32 位地址对齐。在以下寄存器空间映射中，地址空间内的任意空缺都应被视为保留地址 (RESERVED)，如果访问此类地址，可能导致 AXI Interface Controller IP 响应错误。

配置寄存器空间

配置空间为 Vivado IDE 提供了对应各种用例来配置 IP 的功能。

Integrated IP（硬核 UltraScale+ Integrated 100G Ethernet）使用动态重新配置端口 (DRP) 来使用户能够配置 IP 各方面，而无需建立互连结构逻辑连接。在此情况下，软核 AXI 控制器寄存器集中的配置位将变为 RESERVED（未使用），而软件则应使用 DRP 操作寄存器来配置 IP 的这些属性。表 3-8 中列出了 Integrated IP 的 DRP 地址映射。

表 5-5：配置寄存器映射

地址	寄存器名称
0x0000	GT_RESET_REG
0x0004	RESET_REG
0x0008	SWITCH_CORE_MODE_REG
0x000C	CONFIGURATION_TX_REG1
0x0010	保留
0x0014	CONFIGURATION_RX_REG1
0x0018-0x001C	保留
0x0020	CORE_MODE_REG
0x0024	CORE_VERSION_REG
0x0028	保留
0x002C	CONFIGURATION_TX_BIP_OVERRIDE
0x0030	CONFIGURATION_TX_FLOW_CONTROL_CONTROL_REG1
0x0034	CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG1
0x0038	CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG2
0x003C	CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG3

表 5-5：配置寄存器映射（续）

地址	寄存器名称
0x0040	CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG4
0x0044	CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG5
0x0048	CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG1
0x004C	CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG2
0x0050	CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG3
0x0054	CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG4
0x0058	CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG5
0x005C	CONFIGURATION_TX_OTN_PKT_LEN_REG
0x0060	CONFIGURATION_TX_OTN_CTL_REG
0x0064-0x0080	保留
0x0084	CONFIGURATION_RX_FLOW_CONTROL_CONTROL_REG1
0x0088	CONFIGURATION_RX_FLOW_CONTROL_CONTROL_REG2
0x008C	保留
0x0090	GT_LOOPBACK_REG
0x0094-0x009C	保留
0x00A0	CONFIGURATION_AN_CONTROL_REG1
0x00A4	CONFIGURATION_AN_CONTROL_REG2
0x00A8	CONFIGURATION_AN_ABILITY
0x00AC	CONFIGURATION_LT_CONTROL_REG1
0x00B0	CONFIGURATION_LT_TRAINED_REG
0x00B4	CONFIGURATION_LT_PRESET_REG
0x00B8	CONFIGURATION_LT_INIT_REG
0x00BC	CONFIGURATION_LT_SEED_REG0
0x00C0	CONFIGURATION_LT_SEED_REG1
0x00C4	CONFIGURATION_LT_COEFFICIENT_REG0
0x00C8	CONFIGURATION_LT_COEFFICIENT_REG1
0x00CC	USER_REG0
0x00D0-0x01FF	保留
RSFEC 配置地址空间	
0x1000	RSFEC_CONFIG_INDICATION_CORRECTION
0x107C	RSFEC_CONFIG_ENABLE

状态寄存器和统计数据寄存器空间

状态寄存器和统计数据寄存器可用于指示链路运行状况，并可显示统计图计数器以提供流量分类和错误计数。

状态和计数器均为只读。

有某些位属于粘滞位，即一旦其值置于高电平或低电平后即加以锁存。此操作以后缀 LH（已锁存至高电平）或 LL（已锁存至低电平）来指示。

- R/LL：寄存器位默认设置为 1，当出现错误状况时，此位锁存至 0；每次读取后，该位将重新设置为其默认状态。
- R/LH：寄存器位默认设置为 0，当出现错误状况时，此位锁存至 1；每次读取后，该位将重新设置为其默认状态。
- 如果每次读取后寄存器位并未设置为其相应的默认值，则错误状态将持续。

状态寄存器将在读取时清零，计数器由“节拍”机制来控制。

计数器将在内部累加器中执行计数累加。写入 TICK_REG 寄存器（或者输入端口 pm_tick 为 1'b1）将导致累加的计数器被推送至可读 STAT_*_MSB/LSB 寄存器，同时将累加器清零。随后，即可读取 STAT_*_MSB/LSB 寄存器。这样统计数据计数器中存储的所有值都会按相同时间间隔显示快照。

STAT_CYCLE_COUNT_MSB/LSB 寄存器将包含 TICK_REG 寄存器写入间隔的 SERDES 时钟周期的计数。这样即可便于提供基于时间间隔的统计数据。计数器默认位宽为 48 位。计数器饱和值为 1s。计数器的值将保留直至下一次写入 TICK_REG 寄存器为止。

下列对应计数器所显示的地址为 LSB 寄存器的地址或计数器的位 31:0。计数器的 MSB 位 47:32 位于来自 LSB 的 +0x4 处。

表 5-6：状态寄存器和统计数据寄存器映射

地址	寄存器名称
0x0200	STAT_TX_STATUS_REG
0x0204	STAT_RX_STATUS_REG
0x0208	STAT_STATUS_REG1
0x020C	STAT_RX_BLOCK_LOCK_REG
0x0210	STAT_RX_LANE_SYNC_REG
0x0214	STAT_RX_LANE_SYNC_ERR_REG
0x0218	STAT_RX_AM_ERR_REG
0x021C	STAT_RX_AM_LEN_ERR_REG
0x0220	STAT_RX_AM_REPEAT_ERR_REG
0x0224	STAT_RX_PCSL_DEMUXED_REG
0x0228	STAT_RX_PCS_LANE_NUM_REG1
0x022C	STAT_RX_PCS_LANE_NUM_REG2
0x0230	STAT_RX_PCS_LANE_NUM_REG3
0x0234	STAT_RX_PCS_LANE_NUM_REG4
0x0238	STAT_RX_BIP_OVERRIDE_REG
0x023C	STAT_TX_OTN_STATUS_REG

表 5-6：状态寄存器和统计数据寄存器映射（续）

地址	寄存器名称
0x0240-0x0254	保留
0x0258	STAT_AN_STATUS_REG
0x025C	STAT_AN_ABILITY_REG
0x0260	STAT_AN_LINK_CTL_REG_1
0x0264	STAT_LT_STATUS_REG1
0x0268	STAT_LT_STATUS_REG2
0x026C	STAT_LT_STATUS_REG3
0x0270	STAT_LT_STATUS_REG4
0x0274	STAT_LT_COEFFICIENT0_REG
0x0278	STAT_LT_COEFFICIENT1_REG
0x027C	STAT_AN_LINK_CTL_REG_2
0x1004	STAT_RSPEC_STATUS_REG
0x1018	STAT_RSPEC_LANE_MAPPING_REG
0x1044	STAT_TX_OTN_RSPEC_STATUS_REG
统计图/计数器寄存器 ⁽¹⁾	
0x02B0	TICK_REG
0x02B8	STAT_CYCLE_COUNT
0x02C0	STAT_RX_BIP_ERR_0
0x02C8	STAT_RX_BIP_ERR_1
0x02D0	STAT_RX_BIP_ERR_2
0x02D8	STAT_RX_BIP_ERR_3
0x02E0	STAT_RX_BIP_ERR_4
0x02E8	STAT_RX_BIP_ERR_5
0x02F0	STAT_RX_BIP_ERR_6
0x02F8	STAT_RX_BIP_ERR_7
0x0300	STAT_RX_BIP_ERR_8
0x0308	STAT_RX_BIP_ERR_9
0x0310	STAT_RX_BIP_ERR_10
0x0318	STAT_RX_BIP_ERR_11
0x0320	STAT_RX_BIP_ERR_12

表 5-6：状态寄存器和统计数据寄存器映射（续）

地址	寄存器名称
0x0328	STAT_RX_BIP_ERR_13
0x0330	STAT_RX_BIP_ERR_14
0x0338	STAT_RX_BIP_ERR_15
0x0340	STAT_RX_BIP_ERR_16
0x0348	STAT_RX_BIP_ERR_17
0x0350	STAT_RX_BIP_ERR_18
0x0358	STAT_RX_BIP_ERR_19
0x0360	STAT_RX_FRAMING_ERR_0
0x0368	STAT_RX_FRAMING_ERR_1
0x0370	STAT_RX_FRAMING_ERR_2
0x0378	STAT_RX_FRAMING_ERR_3
0x0380	STAT_RX_FRAMING_ERR_4
0x0388	STAT_RX_FRAMING_ERR_5
0x0390	STAT_RX_FRAMING_ERR_6
0x0398	STAT_RX_FRAMING_ERR_7
0x03A0	STAT_RX_FRAMING_ERR_8
0x03A8	STAT_RX_FRAMING_ERR_9
0x03B0	STAT_RX_FRAMING_ERR_10
0x03B8	STAT_RX_FRAMING_ERR_11
0x03C0	STAT_RX_FRAMING_ERR_12
0x03C8	STAT_RX_FRAMING_ERR_13
0x03D0	STAT_RX_FRAMING_ERR_14
0x03D8	STAT_RX_FRAMING_ERR_15
0x03E0	STAT_RX_FRAMING_ERR_16
0x03E8	STAT_RX_FRAMING_ERR_17
0x03F0	STAT_RX_FRAMING_ERR_18
0x03F8	STAT_RX_FRAMING_ERR_19
0x0400-0x0410	保留
0x0418	STAT_RX_BAD_CODE
0x0420	保留

表 5-6：状态寄存器和统计数据寄存器映射（续）

地址	寄存器名称
0x0428	保留
0x0430	保留
0x0438	保留
0x0440	保留
0x0448	保留
0x0450	保留
0x0458	STAT_TX_FRAME_ERROR
0x0460	保留
0x0500	STAT_TX_TOTAL_PACKETS
0x0508	STAT_TX_TOTAL_GOOD_PACKETS
0x0510	STAT_TX_TOTAL_BYTES
0x0518	STAT_TX_TOTAL_GOOD_BYTES
0x0520	STAT_TX_PACKET_64_BYTES
0x0528	STAT_TX_PACKET_65_127_BYTES
0x0530	STAT_TX_PACKET_128_255_BYTES
0x0538	STAT_TX_PACKET_256_511_BYTES
0x0540	STAT_TX_PACKET_512_1023_BYTES
0x0548	STAT_TX_PACKET_1024_1518_BYTES
0x0550	STAT_TX_PACKET_1519_1522_BYTES
0x0558	STAT_TX_PACKET_1523_1548_BYTES
0x0560	STAT_TX_PACKET_1549_2047_BYTES
0x0568	STAT_TX_PACKET_2048_4095_BYTES
0x0570	STAT_TX_PACKET_4096_8191_BYTES
0x0578	STAT_TX_PACKET_8192_9215_BYTES
0x0580	STAT_TX_PACKET_LARGE
0x0588	STAT_TX_PACKET_SMALL
0x0590-0x05B0	保留
0x05B8	STAT_TX_BAD_FCS
0x05C0	保留
0x05C8	保留

表 5-6：状态寄存器和统计数据寄存器映射（续）

地址	寄存器名称
0x05D0	STAT_TX_UNICAST
0x05D8	STAT_TX_MULTICAST
0x05E0	STAT_TX_BROADCAST
0x05E8	STAT_TX_VLAN
0x05F0	STAT_TX_PAUSE
0x05F8	STAT_TX_USER_PAUSE
0x0600	保留
0x0608	STAT_RX_TOTAL_PACKETS
0x0610	STAT_RX_TOTAL_GOOD_PACKETS
0x0618	STAT_RX_TOTAL_BYTES
0x0620	STAT_RX_TOTAL_GOOD_BYTES
0x0628	STAT_RX_PACKET_64_BYTES
0x0630	STAT_RX_PACKET_65_127_BYTES
0x0638	STAT_RX_PACKET_128_255_BYTES
0x0640	STAT_RX_PACKET_256_511_BYTES
0x0648	STAT_RX_PACKET_512_1023_BYTES
0x0650	STAT_RX_PACKET_1024_1518_BYTES
0x0658	STAT_RX_PACKET_1519_1522_BYTES
0x0660	STAT_RX_PACKET_1523_1548_BYTES
0x0668	STAT_RX_PACKET_1549_2047_BYTES
0x0670	STAT_RX_PACKET_2048_4095_BYTES
0x0678	STAT_RX_PACKET_4096_8191_BYTES
0x0680	STAT_RX_PACKET_8192_9215_BYTES
0x0688	STAT_RX_PACKET_LARGE
0x0690	STAT_RX_PACKET_SMALL
0x0698	STAT_RX_UNDERSIZE
0x06A0	STAT_RX_FRAGMENT
0x06A8	STAT_RX_OVERSIZE
0x06B0	STAT_RX_TOOLONG

表 5-6：状态寄存器和统计数据寄存器映射（续）

地址	寄存器名称
0x06B8	STAT_RX_JABBER
0x06C0	STAT_RX_BAD_FCS
0x06C8	STAT_RX_PACKET_BAD_FCS
0x06D0	STAT_RX_STOMPED_FCS
0x06D8	STAT_RX_UNICAST
0x06E0	STAT_RX_MULTICAST
0x06E8	STAT_RX_BROADCAST
0x06F0	STAT_RX_VLAN
0x06F8	STAT_RX_PAUSE
0x0700	STAT_RX_USER_PAUSE
0x0708	STAT_RX_INRANGEERR
0x0710	STAT_RX_TRUNCATED
0x0718	STAT_OTN_TX_JABBER
0x0720	STAT_OTN_TX_OVERSIZE
0x0728	STAT_OTN_TX_UNDERSIZE
0x0730	STAT_OTN_TX_TOOLONG
0x0738	STAT_OTN_TX_FRAGMENT
0x0740	STAT_OTN_TX_PACKET_BAD_FCS
0x0748	STAT_OTN_TX_STOMPED_FCS
0x0750	STAT_OTN_TX_BAD_CODE
0x0758-0x07FF	保留
0x1008	STAT_RX_RSFECCORRECTED_CW_INC
0x1010	STAT_RX_RSFECCUNCORRECTED_CW_INC
0x101C	STAT_RX_RSFECCERR_COUNT0_INC
0x1024	STAT_RX_RSFECCERR_COUNT1_INC
0x102C	STAT_RX_RSFECCERR_COUNT2_INC
0x1034	STAT_RX_RSFECCERR_COUNT3_INC

表 5-6：状态寄存器和统计数据寄存器映射（续）

地址	寄存器名称
0x103C	STAT_RX_RSFECCW_INC

注释：

- 选中“Include Statistics Counters”选项时，统计图/计数器寄存器即可供使用，如图 4-1 所示。

寄存器描述

表 5-7：GT_RESET_REG

地址	位	默认值	类型	描述
0x0000	0	0	RW	gt_reset_all。写入 1 将向 GT 发出 RESET。该值将在写入寄存器时清零
	31:1	0	不适用	保留

表 5-8：RESET_REG

地址	位	默认值	类型	描述
0x0004	9:0	0	RW	usr_rx_serdes_reset。未使用的 PCS 位显示为“保留 (RESERVED)”。在给定位的位置写入 1 即可将该 PCS 通道逻辑置于复位
	29:10	0	不适用	保留
	30	0	RW	usr_rx_reset。RX 核复位。写入 1 即可将 RX 路径置于复位
	31	0	RW	usr_tx_reset。TX 核复位。写入 1 即可将 TX 路径置于复位

表 5-9：SWITCH_CORE_MODE_REG

地址	位	默认值	类型	描述
0x0008	0	0	RW	仅适用于“Runtime Switch”模式。 写入 1 即可启用 CAUI-10 与 CAUI-4 之间的模式切换。该值将在写入寄存器时清零。 该值用作执行 GT DRP 操作的传输调试模块的输入。
	31:1	0	不适用	保留

表 5-10：CONFIGURATION_TX_REG1

地址	位	默认值	类型	描述
0x000C	0	0	RW	ctl_tx_enable
	2:1	0	不适用	保留
	3	0	RW	ctl_tx_send_lfi
	4	0	RW	ctl_tx_send_rfi
	5	0	RW	ctl_tx_send_idle
	15:6	0	不适用	保留
	16	0	RW	ctl_tx_test_pattern
	31:17	0	不适用	保留

表 5-11: CONFIGURATION_RX_REG1

地址	位	默认值	类型	描述
0x0014	0	0	RW	ctl_rx_enable
	6:1	0	不适用	保留
	7	0	RW	ctl_rx_force_resync
	8	0	RW	ctl_rx_test_pattern
	31:9	0	不适用	保留

表 5-12: CORE_MODE_REG

地址	位	默认值	类型	描述
0x0020	1:0	(1)	R	核模式寄存器： • 2'b00: CAUI10 • 2'b01: CAUI4 • 2'b10: Runtime Switchable CAUI10 • 2'b11: Runtime Switchable CAUI4
	31:2	0	不适用	保留

注释：

1. 基于核配置。

表 5-13: CORE_VERSION_REG

地址	位	默认值	类型	描述
0x0024	7:0	核次要版本	R	核的当前版本，格式为“主要版本.次要版本” 例如，核版本为 1.7 位 [7:0] 表示次要版本为 7 位 [15:8] 表示主要版本为 1
	15:8	核主要版本	R	
	31:16	0	不适用	保留

表 5-14: CONFIGURATION_TX_BIP_OVERRIDE

地址	位	默认值	类型	描述
0x002C	7:0	0	RW	ctl_tx_lane0_vlm_bip7_override_value
	8	0	RW	ctl_tx_lane0_vlm_bip7_override
	31:9	0	不适用	保留

表 5-15: CONFIGURATION_TX_FLOW_CONTROL_CONTROL_REG1

地址	位	默认值	类型	描述
0x0030	8:0	0	RW	ctl_tx_pause_enable
	31:9	0	不适用	保留

表 5-16: CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG1

地址	位	默认值	类型	描述
0x0034	15:0	0	RW	ctl_tx_pause_refresh_timer0
	31:16	0	RW	ctl_tx_pause_refresh_timer1

表 5-17: CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG2

地址	位	默认值	类型	描述
0x0038	15:0	0	RW	ctl_tx_pause_refresh_timer2
	31:16	0	RW	ctl_tx_pause_refresh_timer3

表 5-18: CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG3

地址	位	默认值	类型	描述
0x003C	15:0	0	RW	ctl_tx_pause_refresh_timer4
	31:16	0	RW	ctl_tx_pause_refresh_timer5

表 5-19: CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG4

地址	位	默认值	类型	描述
0x0040	15:0	0	RW	ctl_tx_pause_refresh_timer6
	31:16	0	RW	ctl_tx_pause_refresh_timer7

表 5-20: CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG5

地址	位	默认值	类型	描述
0x0044	15:0	0	RW	ctl_tx_pause_refresh_timer8
	31:16	0	不适用	保留

表 5-21: CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG1

地址	位	默认值	类型	描述
0x0048	15:0	0	RW	ctl_tx_pause_quanta0
	31:16	0	RW	ctl_tx_pause_quanta1

表 5-22: CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG2

地址	位	默认值	类型	描述
0x004C	15:0	0	RW	ctl_tx_pause_quanta2
	31:16	0	RW	ctl_tx_pause_quanta3

表 5-23: CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG3

地址	位	默认值	类型	描述
0x0050	15:0	0	RW	ctl_tx_pause_quanta4
	31:16	0	RW	ctl_tx_pause_quanta5

表 5-24: CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG4

地址	位	默认值	类型	描述
0x0054	15:0	0	RW	ctl_tx_pause_quanta6
	31:16	0	RW	ctl_tx_pause_quanta7

表 5-25: CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG5

地址	位	默认值	类型	描述
0x0058	15:0	0	RW	ctl_tx_pause_quanta8
	31:16	0	不适用	保留

表 5-26: CONFIGURATION_TX_OTN_PKT_LEN_REG

地址	位	默认值	类型	描述
0x005C	7:0	0	RW	ctl_tx_min_packet_len
	22:8	0	RW	ctl_tx_max_packet_len
	31:23	0	不适用	保留

表 5-27: CONFIGURATION_TX_OTN_CTL_REG

地址	位	默认值	类型	描述
0x0060	0	0	RW	ctl_tx_check_sfd
	1	0	RW	ctl_tx_check_preamble
	2	0	RW	ctl_tx_ignore_fcs
	31:3	0	不适用	保留

表 5-28: CONFIGURATION_RX_FLOW_CONTROL_CONTROL_REG1

地址	位	默认值	类型	描述
0x0084	8:0	0	RW	ctl_rx_pause_enable
	9	0	不适用	保留
	10	0	RW	ctl_rx_enable_gcp
	11	0	RW	ctl_rx_enable_pcp
	12	0	RW	ctl_rx_enable_gpp
	13	0	RW	ctl_rx_enable_ppp
	14	0	不适用	保留
	23:15	0	RW	ctl_rx_pause_ack
	31:24	0	不适用	保留

表 5-29: CONFIGURATION_RX_FLOW_CONTROL_CONTROL_REG2

地址	位	默认值	类型	描述
0x0088	0	0	RW	ctl_rx_check_mcast_gcp
	1	0	RW	ctl_rx_check_ucast_gcp
	2	0	RW	ctl_rx_check_sa_gcp
	3	0	RW	ctl_rx_check_etype_gcp
	4	0	RW	ctl_rx_check_opcode_gcp
	5	0	RW	ctl_rx_check_mcast_pcp
	6	0	RW	ctl_rx_check_ucast_pcp
	7	0	RW	ctl_rx_check_sa_pcp
	8	0	RW	ctl_rx_check_etype_pcp
	9	0	RW	ctl_rx_check_opcode_pcp
	10	0	RW	ctl_rx_check_mcast_gpp
	11	0	RW	ctl_rx_check_ucast_gpp
	12	0	RW	ctl_rx_check_sa_gpp
	13	0	RW	ctl_rx_check_etype_gpp
	14	0	RW	ctl_rx_check_opcode_gpp
	15	0	RW	ctl_rx_check_opcode_ppp
	16	0	RW	ctl_rx_check_mcast_ppp
	17	0	RW	ctl_rx_check_ucast_ppp
	18	0	RW	ctl_rx_check_sa_ppp
	19	0	RW	ctl_rx_check_etype_ppp
	31:20	0	不适用	保留

表 5-30: GT_LOOPBACK_REG

地址	位	默认值	类型	描述
0x0090	0	0	RW	ctl_gt_loopback 0 对应于正常操作（外部环回）。 1 对应于近端 PMA 环回（内部环回）。
	31:1	0	不适用	保留

表 5-31: CONFIGURATION_AN_CONTROL_REG1

地址	位	默认值	类型	描述
0x00A0	0	0	RW	ctl_autoneg_enable
	1	1	RW	ctl_autoneg_bypass ⁽¹⁾
	9:2	0	RW	ctl_an_nonce_seed
	10	0	RW	ctl_an_pseudo_sel
	11	0	RW	ctl_restart_negotiation
	12	0	RW	ctl_an_local_fault
	31:13	0	不适用	保留

注释：

- 对于仿真，复位期间写入的 ctl_autoneg_bypass 值为 1。要采用启用 ANLT 的配置进行测试，请以 ctl_autoneg_enable 设为 1 且 ctl_autoneg_bypass 设为 0 来写入寄存器。

表 5-32: CONFIGURATION_AN_CONTROL_REG2

地址	位	默认值	类型	描述
0x00A4	0	0	RW	ctl_an_pause
	1	0	RW	ctl_an_asmdir
	17:2	0	不适用	保留
	18	0	RW	ctl_an_cl91_fec_request
	19	0	RW	ctl_an_cl91_fec_ability
	20	0	RW	ctl_an_fec_25g_rs_request
	21	0	不适用	保留
	22	0	RW	ctl_an_loc_np
	23	0	RW	ctl_an_lp_np_ack
	31:24	0	不适用	保留

表 5-33: CONFIGURATION_AN_ABILITY

地址	位	默认值	类型	描述
0x00A8	0	0	RW	ctl_an_ability_1000base_kx
	1	0	RW	ctl_an_ability_10gbase_kx4
	2	0	RW	ctl_an_ability_10gbase_kr
	3	0	RW	ctl_an_ability_40gbase_kr4
	4	0	RW	ctl_an_ability_40gbase_cr4
	5	0	RW	ctl_an_ability_100gbase_cr10
	6	0	RW	ctl_an_ability_100gbase_kp4
	7	0	RW	ctl_an_ability_100gbase_kr4
	8	0	RW	ctl_an_ability_100gbase_cr4
	9	0	RW	ctl_an_ability_25gbase_krcr_s
	10	0	RW	ctl_an_ability_25gbase_krcr
	11	0	RW	ctl_an_ability_2_5gbase_kx
	12	0	RW	ctl_an_ability_5gbase_kr
	13	0	RW	ctl_an_ability_50gbase_krcr
	14	0	RW	ctl_an_ability_100gbase_kr2cr2
	15	0	RW	ctl_an_ability_200gbase_kr4cr4
	16	0	RW	ctl_an_ability_25gbase_kr1
	17	0	RW	ctl_an_ability_25gbase_cr1
	18	0	RW	ctl_an_ability_50gbase_kr2
	19	0	RW	ctl_an_ability_50gbase_cr2
	31:20	0	不适用	保留

表 5-34: CONFIGURATION_LT_CONTROL_REG1

地址	位	默认值	类型	描述
0x00AC	0	0	RW	ctl_lt_training_enable
	1	0	RW	ctl_lt_restart_training
	31:2	0	不适用	保留

表 5-35: CONFIGURATION_LT_TRAINED_REG

地址	位	默认值	类型	描述
0x00B0	3:0	0	RW	ctl_lt_rx_trained
	31:4	0	不适用	保留

表 5-36: CONFIGURATION_LT_PRESET_REG

地址	位	默认值	类型	描述
0x00B4	3:0	0	RW	ctl_lt_preset_to_tx
	31:4	0	不适用	保留

表 5-37: CONFIGURATION_LT_INIT_REG

地址	位	默认值	类型	描述
0x00B8	3:0	0	RW	ctl_lt_initialize_to_tx
	31:4	0	不适用	保留

表 5-38: CONFIGURATION_LT_SEED_REG0

地址	位	默认值	类型	描述
0x00BC	10:0	0	RW	ctl_lt_pseudo_seed0
	26:16	0	RW	ctl_lt_pseudo_seed1
	31:27	0	不适用	保留

表 5-39: CONFIGURATION_LT_SEED_REG1

地址	位	默认值	类型	描述
0x00C0	10:0	0	RW	ctl_lt_pseudo_seed2
	26:16	0	RW	ctl_lt_pseudo_seed3
	31:27	0	不适用	保留

表 5-40: CONFIGURATION_LT_COEFFICIENT_REG0

地址	位	默认值	类型	描述
0x00C4	1:0	0	RW	ctl_lt_k_p1_to_tx0
	3:2	0	RW	ctl_lt_k0_to_tx0
	5:4	0	RW	ctl_lt_k_m1_to_tx0
	7:6	0	RW	ctl_lt_stat_p1_to_tx0
	9:0	0	RW	ctl_lt_stat0_to_tx0
	11:10	0	RW	ctl_lt_stat_m1_to_tx0
	17:16	0	RW	ctl_lt_k_p1_to_tx1
	19:18	0	RW	ctl_lt_k0_to_tx1
	21:20	0	RW	ctl_lt_k_m1_to_tx1
	23:22	0	RW	ctl_lt_stat_p1_to_tx1
	25:24	0	RW	ctl_lt_stat0_to_tx1
	27:26	0	RW	ctl_lt_stat_m1_to_tx1
	31:28	0	不适用	保留

表 5-41: CONFIGURATION_LT_COEFFICIENT_REG1

地址	位	默认值	类型	描述
0x00C8	1:0	0	RW	ctl_lt_k_p1_to_tx2
	3:2	0	RW	ctl_lt_k0_to_tx2
	5:4	0	RW	ctl_lt_k_m1_to_tx2
	7:6	0	RW	ctl_lt_stat_p1_to_tx2
	9:8	0	RW	ctl_lt_stat0_to_tx2
	11:10	0	RW	ctl_lt_stat_m1_to_tx2
	17:16	0	RW	ctl_lt_k_p1_to_tx3
	19:18	0	RW	ctl_lt_k0_to_tx3
	21:20	0	RW	ctl_lt_k_m1_to_tx3
	23:22	0	RW	ctl_lt_stat_p1_to_tx3
	25:24	0	RW	ctl_lt_stat0_to_tx3
	27:26	0	RW	ctl_lt_stat_m1_to_tx3
	31:28	0	不适用	保留

表 5-42: USER_REG0

地址	位	默认值	类型	描述
0x00CC	31:0	0	RW	user_reg0

表 5-43: RSFEC_CONFIG_INDICATION_CORRECTION

地址	位	默认值	类型	描述
0x1000	0	0	RW	ctl_rx_rsfec_enable_correction
	1	0	RW	ctl_rx_rsfec_enable_indication
	2	0	RW	ctl_rx_rsfec_ieee_error_indication_mode
	31:3	0	不适用	保留

表 5-44: RSFEC_CONFIG_ENABLE

地址	位	默认值	类型	描述
0x107C	0	0	RW	ctl_rx_rsfec_enable
	1	0	RW	ctl_tx_rsfec_enable, 前提是取消选中“Enable TX OTN Interface”选项并且选中“Include IEEE 802.3bj RS-FEC”选项; 或者, ctl_rsfc_enable, 前提是选中“Enable TX OTN Interface”选项并且选中“Include IEEE 802.3bj RS-FEC”选项。
	31:2	0	不适用	保留

表 5-45: STAT_TX_STATUS_REG

地址	位	默认值	类型	描述
0x0200	0	0	R/LH	stat_tx_local_fault
	31:1	0	不适用	保留

表 5-46: STAT_RX_STATUS_REG

地址	位	默认值	类型	描述
0x0204	0	1	R/LL	stat_rx_status
	1	1	R/LL	stat_rx_aligned
	2	0	R/LH	stat_rx_misaligned
	3	0	R/LH	stat_rx_aligned_err
	4	0	R/LH	stat_rx_hi_ber
	5	0	R/LH	stat_rx_remote_fault
	6	0	R/LH	stat_rx_local_fault
	7	0	R/LH	stat_rx_internal_local_fault
	8	0	R/LH	stat_rx_received_local_fault
	11:9	0	R/LH	stat_rx_test_pattern_mismatch
	12	0	R/LH	stat_rx_bad_preamble
	13	0	R/LH	stat_rx_bad_sfd
	14	0	R/LH	stat_rx_got_signal_os
	31:15	0	不适用	保留

表 5-47: STAT_STATUS_REG1

地址	位	默认值	类型	描述
0x0208	3:0	0	不适用	保留
	4	0	R/LH	stat_tx_ptp_fifo_read_error
	5	0	R/LH	stat_tx_ptp_fifo_write_error
	31:6	0	不适用	保留

表 5-48: STAT_RX_BLOCK_LOCK_REG

地址	位	默认值	类型	描述
0x020C	19:0	1	R/LL	stat_rx_block_lock
	31:20	0	不适用	保留

表 5-49: STAT_RX_LANE_SYNC_REG

地址	位	默认值	类型	描述
0x0210	19:0	1	R/LL	stat_rx_synced
	31:20	0	不适用	保留

表 5-50: STAT_RX_LANE_SYNC_ERR_REG

地址	位	默认值	类型	描述
0x0214	19:0	0	R/LH	stat_rx_synced_err
	31:20	0	不适用	保留

表 5-51: STAT_RX_LANE_AM_ERR_REG

地址	位	默认值	类型	描述
0x0218	19:0	0	R/LH	stat_rx_mf_err
	31:20	0	不适用	保留

表 5-52: STAT_RX_LANE_AM_LEN_ERR_REG

地址	位	默认值	类型	描述
0x021C	19:0	0	R/LH	stat_rx_mf_len_err
	31:20	0	不适用	保留

表 5-53: STAT_RX_LANE_AM_REPEAT_ERR_REG

地址	位	默认值	类型	描述
0x0220	19:0	0	R/LH	stat_rx_mf_repeat_err
	31:20	0	不适用	保留

表 5-54: STAT_RX_PCSL_DEMUXED_REG

地址	位	默认值	类型	描述
0x0224	19:0	0	R	stat_rx_pcs_l_demuxed
	31:20	0	不适用	保留

表 5-55: STAT_RX_PCS_LANE_NUM_REG1

地址	位	默认值	类型	描述
0x0228	4:0	0	R	stat_rx_pcs_l_number_0
	9:5	0	R	stat_rx_pcs_l_number_1
	14:10	0	R	stat_rx_pcs_l_number_2
	19:15	0	R	stat_rx_pcs_l_number_3
	24:20	0	R	stat_rx_pcs_l_number_4
	29:25	0	R	stat_rx_pcs_l_number_5
	31:30	0	不适用	保留

表 5-56: STAT_RX_PCS_LANE_NUM_REG2

地址	位	默认值	类型	描述
0x022C	4:0	0	R	stat_rx_pcs_l_number_6
	9:5	0	R	stat_rx_pcs_l_number_7
	14:10	0	R	stat_rx_pcs_l_number_8
	19:15	0	R	stat_rx_pcs_l_number_9
	24:20	0	R	stat_rx_pcs_l_number_10
	29:25	0	R	stat_rx_pcs_l_number_11
	31:30	0	不适用	保留

表 5-57: STAT_RX_PCS_LANE_NUM_REG3

地址	位	默认值	类型	描述
0x0230	4:0	0	R	stat_rx_pcs_l_number_12
	9:5	0	R	stat_rx_pcs_l_number_13
	14:10	0	R	stat_rx_pcs_l_number_14
	19:15	0	R	stat_rx_pcs_l_number_15
	24:20	0	R	stat_rx_pcs_l_number_16
	29:25	0	R	stat_rx_pcs_l_number_17
	31:30	0	不适用	保留

表 5-58: STAT_RX_PCS_LANE_NUM_REG4

地址	位	默认值	类型	描述
0x0234	4:0	0	R	stat_rx_pcs_l_number_18
	9:5	0	R	stat_rx_pcs_l_number_19
	31:10	0	不适用	保留

表 5-59: STAT_RX_BIP_OVERRIDE_REG

地址	位	默认值	类型	描述
0x0238	7:0	0	R	stat_rx_lane0_vlm_bip7
	8	0	R	stat_rx_lane0_vlm_bip7_valid
	31:9	0	不适用	保留

表 5-60: STAT_TX_OTN_STATUS_REG

地址	位	默认值	类型	描述
0x023C	0	0	R/LH	stat_tx_remote_fault
	1	0	R/LH	stat_tx_internal_local_fault
	2	0	R/LH	stat_tx_received_local_fault
	5:3	0	R/LH	stat_tx_test_pattern_mismatch
	6	0	R/LH	stat_tx_bad_preamble
	7	0	R/LH	stat_tx_bad_sfd
	8	0	R/LH	stat_tx_got_signal_os
	31:9	0	不适用	保留

表 5-61: STAT_AN_STATUS_REG

地址	位	默认值	类型	描述
0x0258	0	0	R	stat_an_fec_enable
	1	0	R	stat_an_rs_fec_enable
	2	0	R	stat_an_autoneg_complete
	3	0	R	stat_an_parallel_detection_fault
	4	0	R	stat_an_tx_pause_enable
	5	0	R	stat_an_rx_pause_enable
	6	0	R/LH	stat_an_lp_ability_valid
	7	0	R	stat_an_lp_autoneg_able
	8	0	R	stat_an_lp_pause
	9	0	R	stat_an_lp_asm_dir
	10	0	R	stat_an_lp_rf
	11	0	R	stat_an_lp_fec_10g_ability
	12	0	R	stat_an_lp_fec_10g_request
	13	0	R/LH	stat_an_lp_extended_ability_valid
	17:14	0	R	stat_an_lp_ability_extended_fec
	18	0	R	stat_an_lp_fec_25g_rs_request
	19	0	R	stat_an_lp_fec_25g_baser_request
	31:20	0	不适用	保留

表 5-62：STAT_AN_ABILITY_REG

地址	位	默认值	类型	描述
0x025C	0	0	R	stat_an_lp_ability_1000base_kx
	1	0	R	stat_an_lp_ability_10gbase_kx4
	2	0	R	stat_an_lp_ability_10gbase_kr
	3	0	R	stat_an_lp_ability_40gbase_kr4
	4	0	R	stat_an_lp_ability_40gbase_cr4
	5	0	R	stat_an_lp_ability_100gbase_cr10
	6	0	R	stat_an_lp_ability_100gbase_kp4
	7	0	R	stat_an_lp_ability_100gbase_kr4
	8	0	R	stat_an_lp_ability_100gbase_cr4
	9	0	R	stat_an_lp_ability_25gbase_krcr_s
	10	0	R	stat_an_lp_ability_25gbase_krcr
	11	0	R	stat_an_lp_ability_2_5gbase_kx
	12	0	R	stat_an_lp_ability_5gbase_kr
	13	0	R	stat_an_lp_ability_50gbase_krcr
	14	0	R	stat_an_lp_ability_100gbase_kr2cr2
	15	0	RW	stat_an_lp_ability_200gbase_kr4cr4
	16	0	RW	stat_an_lp_ability_25gbase_kr1
	17	0	RW	stat_an_lp_ability_25gbase_cr1
	18	0	RW	stat_an_lp_ability_50gbase_kr2
	19	0	RW	stat_an_lp_ability_50gbase_cr2
	31:20	0	不适用	保留

表 5-63: STAT_AN_LINK_CTL_REG_1

地址	位	默认值	类型	描述
0x0260	1:0	0	R	stat_an_link_cntl_1000base_kx
	3:2	0	R	stat_an_link_cntl_10gbase_kx4
	5:4	0	R	stat_an_link_cntl_10gbase_kr
	7:6	0	R	stat_an_link_cntl_40gbase_kr4
	9:8	0	R	stat_an_link_cntl_40gbase_cr4
	11:10	0	R	stat_an_link_cntl_100gbase_cr10
	13:12	0	R	stat_an_link_cntl_100gbase_kp4
	15:14	0	R	stat_an_link_cntl_100gbase_kr4
	17:16	0	R	stat_an_link_cntl_100gbase_cr4
	19:18	0	R	stat_an_link_cntl_25gbase_krcr_s
	21:20	0	R	stat_an_link_cntl_25gbase_krcr
	23:22	0	R	stat_an_link_cntl_2_5gbase_kx
	25:24	0	R	stat_an_link_cntl_5gbase_kr
	27:26	0	R	stat_an_link_cntl_50gbase_krcr
	29:28	0	R	stat_an_link_cntl_100gbase_kr2cr2
	31:30	0	R	stat_an_link_cntl_200gbase_kr4cr4

表 5-64: STAT_LT_STATUS_REG1

地址	位	默认值	类型	描述
0x0264	3:0	0	R	stat_lt_initialize_from_rx
	19:16	0	R	stat_lt_preset_from_rx
	31:20	0	R	保留

表 5-65: STAT_LT_STATUS_REG2

地址	位	默认值	类型	描述
0x0268	3:0	0	R	stat_lt_training
	19:16	0	R	stat_lt_frame_lock
	31:20	0	R	保留

表 5-66: STAT_LT_STATUS_REG3

地址	位	默认值	类型	描述
0x026C	3:0	0	R	stat_lt_signal_detect
	19:16	0	R	stat_lt_training_fail
	31:20	0	R	保留

表 5-67: STAT_LT_STATUS_REG4

地址	位	默认值	类型	描述
0x0270	3:0	0	R	stat_lt_rx_sof
	31:4	0	R	保留

表 5-68: STAT_LT_COEFFICIENT0_REG

地址	位	默认值	类型	描述
0x0274	1:0	0	R	stat_lt_k_p1_from_rx0
	3:2	0	R	stat_lt_k0_from_rx0
	5:4	0	R	stat_lt_k_m1_from_rx0
	7:6	0	R	stat_lt_stat_p1_from_rx0
	9:8	0	R	stat_lt_stat0_from_rx0
	11:10	0	R	stat_lt_stat_m1_from_rx0
	17:16	0	R	stat_lt_k_p1_from_rx1
	19:18	0	R	stat_lt_k0_from_rx1
	21:20	0	R	stat_lt_k_m1_from_rx1
	23:22	0	R	stat_lt_stat_p1_from_rx1
	25:24	0	R	stat_lt_stat0_from_rx1
	27:26	0	R	stat_lt_stat_m1_from_rx1
	31:28	0	不适用	保留

表 5-69: STAT_LT_COEFFICIENT1_REG

地址	位	默认值	类型	描述
0x0278	1:0	0	R	stat_lt_k_p1_from_rx2
	3:2	0	R	stat_lt_k0_from_rx2
	5:4	0	R	stat_lt_k_m1_from_rx2
	7:6	0	R	stat_lt_stat_p1_from_rx2
	9:8	0	R	stat_lt_stat0_from_rx2
	11:10	0	R	stat_lt_stat_m1_from_rx2
	17:16	0	R	stat_lt_k_p1_from_rx3
	19:18	0	R	stat_lt_k0_from_rx3
	21:20	0	R	stat_lt_k_m1_from_rx3
	23:22	0	R	stat_lt_stat_p1_from_rx3
	25:24	0	R	stat_lt_stat0_from_rx3
	27:26	0	R	stat_lt_stat_m1_from_rx3
	31:28	0	不适用	保留

表 5-70: STAT_AN_LINK_CTL_REG_2

地址	位	默认值	类型	描述
0x027C	1:0	0	R	stat_an_link_cntl_25gbase_kr1
	3:2	0	R	stat_an_link_cntl_25gbase_cr1
	5:4	0	R	stat_an_link_cntl_50gbase_kr2
	7:6	0	R	stat_an_link_cntl_50gbase_cr2
	31:8	0	不适用	保留

表 5-71: STAT_RSSEC_STATUS_REG

地址	位	默认值	类型	描述
0x1004	1:0	0	不适用	保留
	2	0	R	stat_rx_rssec_hi_ser
	3	0	R	stat_rx_rssec_hi_ser_lh
	7:4	0	不适用	保留
	8	0	R	stat_rx_rssec_am_lock0
	9	0	R	stat_rx_rssec_am_lock1
	10	0	R	stat_rx_rssec_am_lock2
	11	0	R	stat_rx_rssec_am_lock3
	13:12	0	不适用	保留
	14	0	R	stat_rx_rssec_lane_alignment_status
	31:15	0	不适用	保留

表 5-72: STAT_RSSEC_LANE_MAPPING_REG

地址	位	默认值	类型	描述
0x1018	1:0	0	R	stat_rx_rssec_lane_mapping0
	3:2	0	R	stat_rx_rssec_lane_mapping1
	5:4	0	R	stat_rx_rssec_lane_mapping2
	7:6	0	R	stat_rx_rssec_lane_mapping3
	31:8	0	不适用	保留

表 5-73: STAT_TX_OTN_RSSEC_STATUS_REG

地址	位	默认值	类型	描述
0x1044	0	1	R/LL	stat_tx_rssec_block_lock
	1	1	R/LL	stat_tx_rssec_am_lock
	2	1	R/LL	stat_tx_rssec_lane_alignment_status
	31:3	0	不适用	保留

表 5-74: TICK_REG

地址	位	默认值	类型	描述
0x02B0	0	0	WO/SC	tick_reg。将值 1 写入 Tick 位将触发在所有统计数据计数器的可读寄存器中生成其快照。该位将自动清零，因此用户输入只需单次写入即可。
	31:1	0	不适用	保留

.h 报头文件

当在 Vivado IDE 中启用“Include AXI4-Lite Control and Statistics Interface”选项并生成 IP 核时，报头文件 (.h) 包含 AXI4 寄存器信息，例如，寄存器地址、寄存器名称（含位的位置）、掩码值、访问类型及其默认值。此报头文件位于工程路径的 header_files 文件夹内。

统计数据计数器样本

下图显示了统计数据计数器样本。

所有计数器类型的计数器格式都相同。

发出“Tick”后，计数器将包含其更新值，并且可多次读取而不会破坏此数据。

表 5-75: STAT_RX_BIP_ERR_0[47:0]

地址	位	默认值	类型	描述
0x02C0	32	0	R	stat_rx_bip_err_0_lsb[31:0]
0x02C4	16	0	R	stat_rx_bip_err_0_msb[47:32]

RS-FEC Transcode Bypass

如果只需通过 100G Ethernet Hard IP 访问 RS-FEC，请在“RS-FEC Transcode Bypass”选项卡中选中“Enable RS-FEC Transcode Bypass”选项，并选中相应的“CMAC Core Selection”。

在此模式下，即可访问并使用 100G Ethernet Hard IP 核内部显示的 RS-FEC IP。在此情况下，100G Ethernet IP 核与 GT 功能均不可用，并禁用该选项卡的其它选项。

如果取消选中“Enable RS-FEC Transcode Bypass”选项，则启用该选项卡的其它选项并包含默认值。

核初始化顺序

无 AXI4-Lite 接口

- 断言以下信号有效：


```
ctl_rx_enable = 1'b1
ctl_tx_send_rfi = 1'b1
```
- 等待 RX_aligned，然后断言以下信号无效/有效：


```
ctl_tx_send_rfi = 1'b0
```

```
ctl_tx_enable = 1'b1
```

3. 在 Vivado IDE 中启用 TX/RX 流程控制（默认设置）时，分配以下信号。

注释：如果在 Vivado IDE 中已禁用 TX/RX 流程控制，请跳至 [步骤 4](#)。

```
ctl_tx_pause_req[8:0] = 9'b100
ctl_rx_pause_enable[8:0] = 9'b1FF
ctl_tx_pause_enable[8:0] = 9'b1FF
ctl_tx_pause_quanta8[15:0] = 16'bFFFF
ctl_tx_pause_refresh_timer8[15:0] = 16'bFFFF
```

4. 可执行数据发射和接收。

含 AXI4-Lite 接口

1. 写入以下寄存器：

```
0x00014 : 32'h00000001 [CONFIGURATION_RX_REG1 for ctl_rx_enable]
0x0000C : 32'h00000010 [CONFIGURATION_TX_REG1 for ctl_tx_send_rfi]
```

2. 等待 RX_aligned，然后写入以下寄存器：

```
0x0000C : 32'h00000001 [CONFIGURATION_TX_REG1 for ctl_tx_enable to 1'b1 and ctl_tx_send_rfi
to 1'b0]
```

3. 在 Vivado IDE 中启用 TX/RX 流程控制（默认设置）时，写入以下寄存器。

注释：如果在 Vivado IDE 中已禁用 TX/RX 流程控制，请跳至 [步骤 4](#)。

```
0x0084 : 32'h00003DFF [CONFIGURATION_RX_FLOW_CONTROL_CONTROL_REG1]
0x0088 : 32'h0001C631 [CONFIGURATION_RX_FLOW_CONTROL_CONTROL_REG2]
0x0048 : 32'hFFFFFFFF [CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG1]
0x004C : 32'hFFFFFFFF [CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG2]
0x0050 : 32'hFFFFFFFF [CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG3]
0x0054 : 32'hFFFFFFFF [CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG4]
0x0058 : 32'h0000FFFF [CONFIGURATION_TX_FLOW_CONTROL_QUANTA_REG5]
0x0034 : 32'hFFFFFFFF [CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG1]
0x0038 : 32'hFFFFFFFF [CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG2]
0x003C : 32'hFFFFFFFF [CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG3]
0x0040 : 32'hFFFFFFFF [CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG4]
0x0044 : 32'h0000FFFF [CONFIGURATION_TX_FLOW_CONTROL_REFRESH_REG5]
0x0030 : 32'h000001FF [CONFIGURATION_TX_FLOW_CONTROL_CONTROL_REG1]
```

4. 可执行数据发射和接收。

不同模式的用例

本章节描述了 100G Ethernet IP 核的不同操作模式的用例。

仿真 - 双工/单工 RX 模式

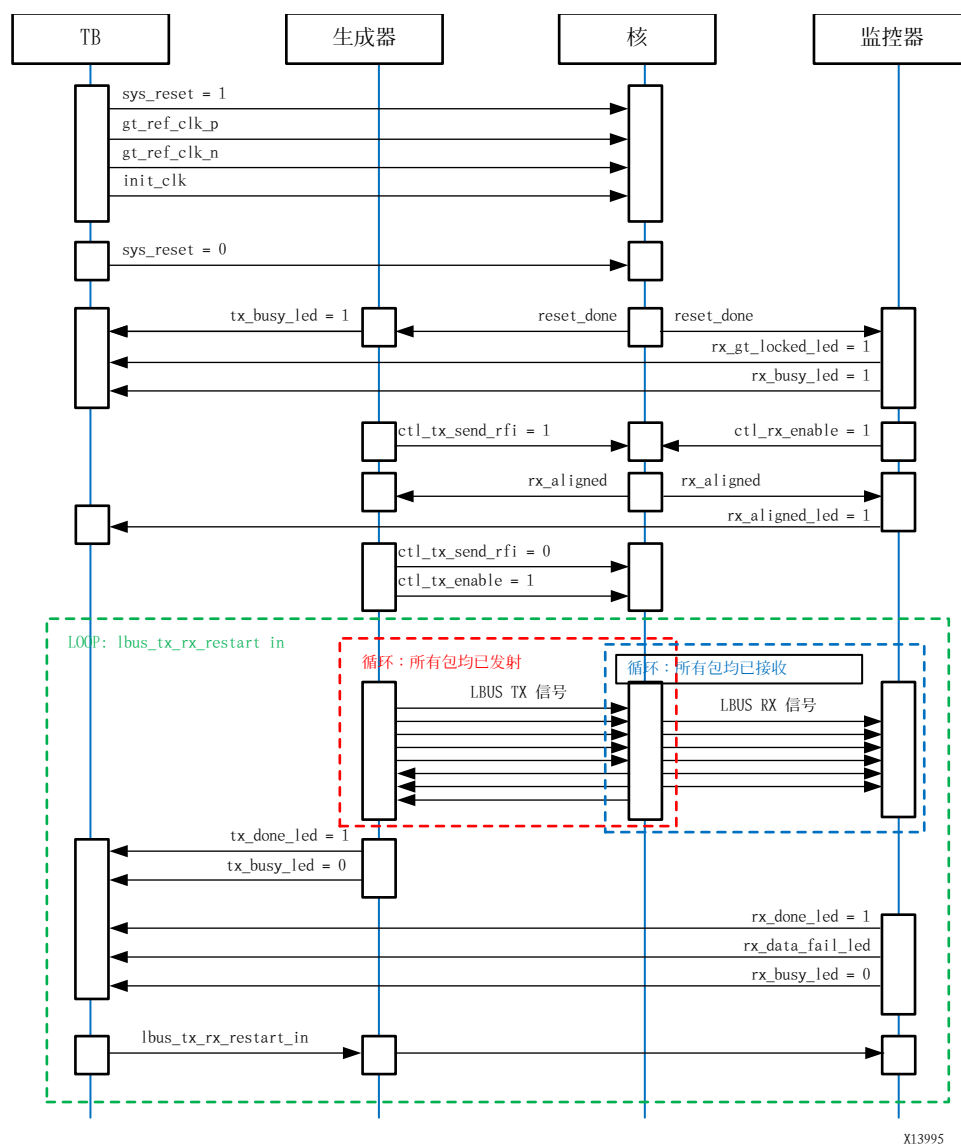


图 5-18：双工/单工 RX 配置的仿真用例

验证 - 双工/单工 RX 模式

图 5-21 显示了对应于开发板上双工/单工 RX 模式配置下的 100G Ethernet IP 核验证的 LED 行为和输入切换条件。

绿色表示成功完成相应的测试。

红色表示当前进程繁忙或者相应的测试失败。

验证 - 双工/单工 RX 模式验证通过场景

rx_gt_locked_led	rx_aligned_led	tx_done_led	rx_done_led	rx_data_fail_led	tx_busy_led	rx_busy_led	sys_reset (Switch)	lbus_tx_rx_restart_in(Switch)	Description
							ON	Off	Board Bring Up
							Off	Off	On System Reset
							Off	Off	After GT Locked
							Off	Off	After Rx_aligned
							Off	Off	All packets generated by packet generator
							Off	Off	All packets received by the packet monitor without error
							Off	ON	User restarted the LBUS transaction

图 5-21：对应双工/单工 RX 配置的开发板验证 - 通过场景

验证 - 双工/单工 RX 模式验证失败场景

rx_gt_locked_led	rx_aligned_led	tx_done_led	rx_done_led	rx_data_fail_led	tx_busy_led	rx_busy_led	sys_reset (Switch)	lbus_tx_rx_restart_in(Switch)	Description
							ON	Off	Board Bring Up
							Off	Off	On System Reset
							Off	Off	After GT Locked
							Off	Off	After Rx_aligned
							Off	Off	All packets generated by packet generator
							Off	Off	All packets received by the packet monitor but the data sanity failed
							Off	ON	User restarted the LBUS transaction

图 5-22：对应双工/单工 RX 配置的开发板验证 - 失败场景

验证 - 单工 TX 模式

图 5-23 显示了对应于开发板上单工 TX 模式配置下 100G Ethernet IP 核验证的 LED 行为和输入切换条件。

验证 - 单工 TX 模式验证通过场景

tx_gt_locked_led	rx_aligned_led	tx_done_led	tx_busy_led	sys_reset (Switch)	lbus_tx_rx_restart_in(Switch)	Description
				ON	Off	Board Bring Up
				Off	Off	On System Reset
				Off	Off	After GT Locked
				Off	ON	User has to decide when generator has to start packet generation by making simplex_mode_rx_aligned =1
				Off	Off	All packets generated by packet generator
				Off	ON	User restarted the LBUS transaction

图 5-23：对应单工 TX 配置的开发板验证 - 通过场景

验证 - 运行时可切换模式

图 5-24 显示了对应于开发板上运行时可切换模式配置下 100G Ethernet IP 核验证的 LED 行为和输入切换条件。

rx_gt_locked_led	rx_aligned_led	tx_done_led	caul_mode_led	rx_done_led	rx_data_fail_led	tx_busy_led	rx_busy_led	sys_reset (Switch)	lbus_tx_rx_restart_in(Switch)	switch_caul_mode(Switch)	Description
								ON	Off	Off	Board Bring Up
								Off	Off	Off	On System Reset
								Off	Off	Off	After GT Locked (CAUI10 mode)
								Off	Off	Off	After Rx_aligned (CAUI10 mode)
								Off	Off	Off	All packets generated by packet generator for CAUI10
								Off	Off	Off	All packets received by the packet monitor without error for CAUI10
								Off	ON	Off	User restarted the LBUS transaction
								Off	Off	1 Pulse	After GT Locked (CAUI4 mode)
								Off	Off	Off	After Rx_aligned (CAUI4 mode)
								Off	Off	Off	All packets generated by packet generator for CAUI4
								Off	Off	Off	All packets received by the packet monitor without error for CAUI4
								Off	ON	Off	User restarted the LBUS transaction

图 5-24：对应运行时可切换配置的开发板验证 - 通过场景

设计示例仿真

设计示例提供了一项便利的方法，可用于对使用 Vivado Design Suite 生成的 100G Ethernet IP 核设计工程示例的行为进行仿真和观察。

受支持的仿真器

当前受支持的仿真器包括：

- Vivado 仿真器（默认）
- Mentor Graphics® Questa® Advanced Simulator/ModelSim（集成在 Vivado IDE 中）
- Cadence® Incisive® Enterprise Simulator (IES)
- Synopsys VCS® 和 VCS MX

仿真器使用设计示例测试激励文件以及随设计示例一起提供的测试用例进行测试。

运行仿真

对于生成的任何现成工程（100G Ethernet IP 核），可通过以下几种方式来运行仿真：

1. 在“Sources”窗口中右键单击工程示例文件 (.xci) 并选中“Open IP Example Design”。这样即可创建工程示例。
2. 在左侧 Flow Navigator 窗格中的“仿真 (Simulation)”下，右键单击“Run Simulation”并选中“Run Behavioral Simulation”。

注释：针对 100G Ethernet IP 核不支持综合后和实现后仿真选项。

运行“Run Behavioral Simulation Option”后，即可通过“Tcl Console”以及“Log”窗口的“Simulation”选项卡来观察活动的编译和细化阶段。

3. 在“Tcl Console”中，输入 run all 命令并按 Enter 键。这样即可根据设计示例测试激励文件中提供的测试用例运行完整仿真。

完成仿真后，可在“Tcl Console”中查看结果。

更改仿真器

要更改仿真器，请执行以下操作：

1. 在 Flow Navigator 中的“Simulation”下，选中“Simulation Settings”。
2. 在“仿真工程设置 (Project Settings for Simulation)”对话框中，将“目标仿真器 (Target Simulator)”更改为“QuestaSim/ModelSim”。
3. 出现提示时，请单击“Yes”以完成更改，然后运行仿真器。

仿真加速

由于完成对齐所需时间较长，仿真完成所需时间可能较长。可通过 ``define SIM_SPEED_UP` 来缩短仿真时间，它可通过减少 PCS 通道对齐标记 (AM) 间隔来帮助 IP 加速实现对齐。设置 ``define SIM_SPEED_UP` 将把 CTL_TX_VL_LENGTH_MINUS1 和 CTL_RX_VL_LENGTH_MINUS1 从 16'h3FFF 更改为 16'h03FF。

SIM_SPEED_UP 选项在下列情况下可用于加速仿真：在串行环回中，或者在两个端点处都可减少对齐标记间隔的情况下。该选项与使用串行环回的设计示例仿真兼容。

注释

- 将 CTL_TX_VL_LENGTH_MINUS1 和 CTL_RX_VL_LENGTH_MINUS1 的值从默认值 0x3FFF 更改为其它值将导致违反 IEEE 802.3 规范。
- 减少 AM 间隔将导致链路上可用带宽少于 100GE。
- 此更改只能在仿真中执行。对于在硬件中运行的设计，必须使用默认值 0x3FFF。
- 全速率仿真仍应在不使用 SIM_SPEED_UP 选项的情况下运行。
- SIM_SPEED_UP 仅限在运行 RTL 仿真时使用。该选项对于综合后或实现后仿真不可用。

VCS

使用 vlogan 选项：+define+SIM_SPEED_UP

QuestaSim

使用 vlog 选项：+define+SIM_SPEED_UP

IES

使用 ncvtlog 选项：+define+SIM_SPEED_UP

Vivado 仿真器

使用 xvlog 选项：-d SIM_SPEED_UP

启用 RS-FEC 的配置仿真

为加速仿真，可应用 `SIM_SPEED_UP` 并在“Settings”窗口中取消选中“Use Precompiled IP simulation libraries”复选框，如下图所示。如不执行此操作，仿真可能长时间运行并导致超时错误。

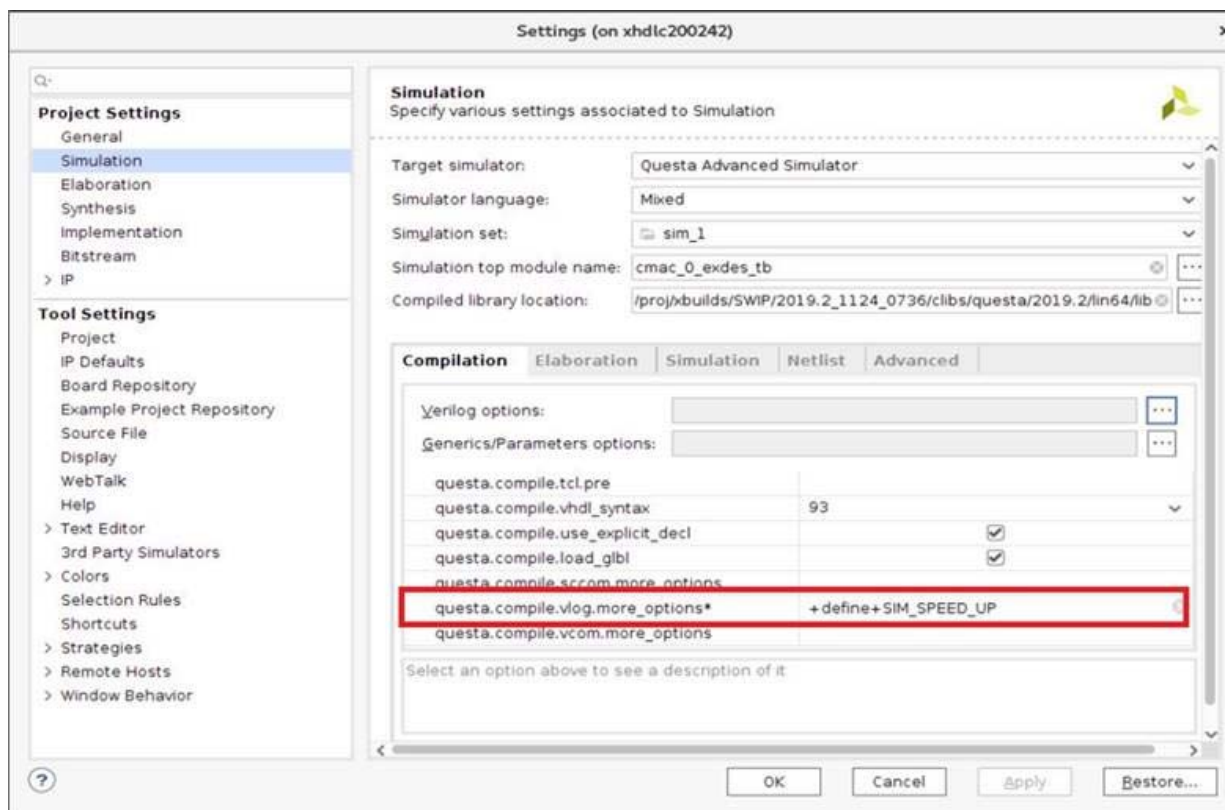


图 5-25：SIM_SPEED_UP 已启用

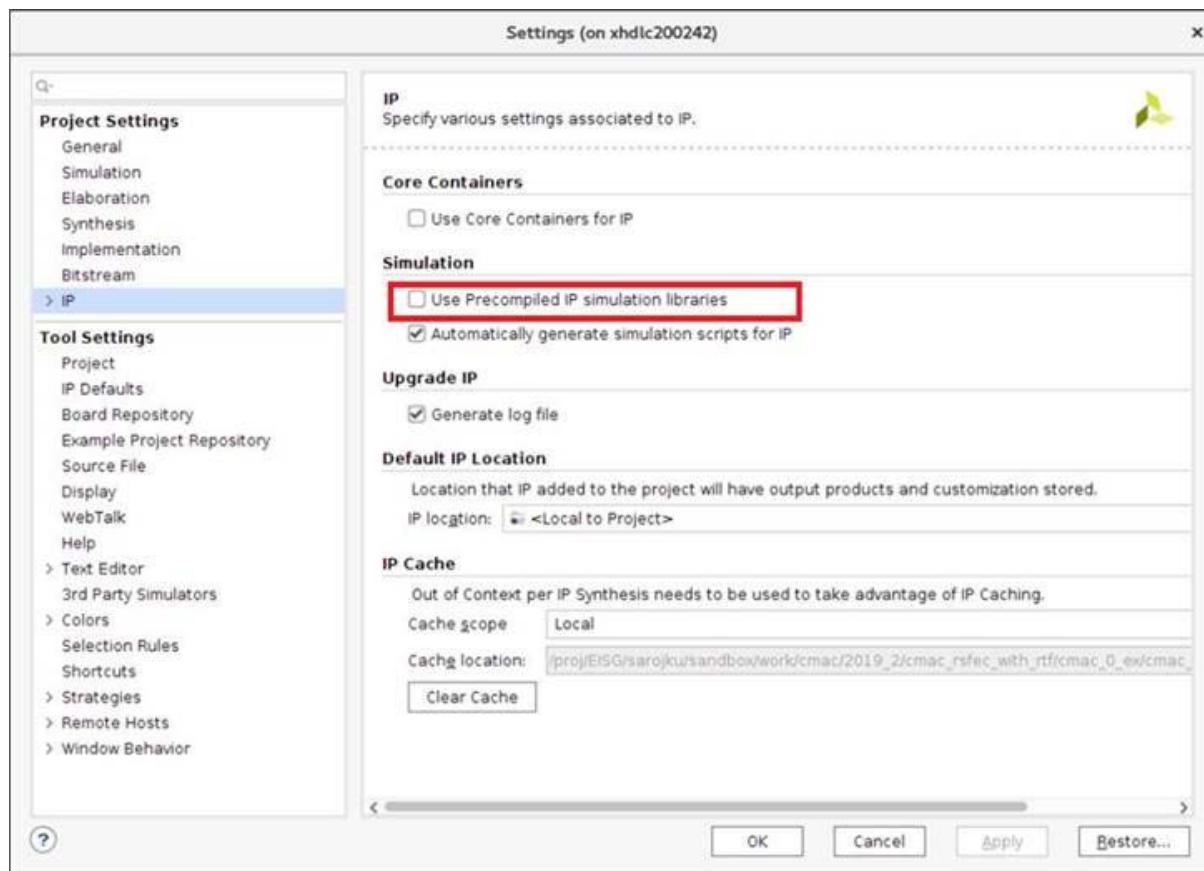


图 5-26：“Use Precompiled IP Simulation Libraries”已禁用

设计示例的综合和实现

要在 Vivado Design Suite 中对设计示例运行综合和实现，请执行以下步骤：

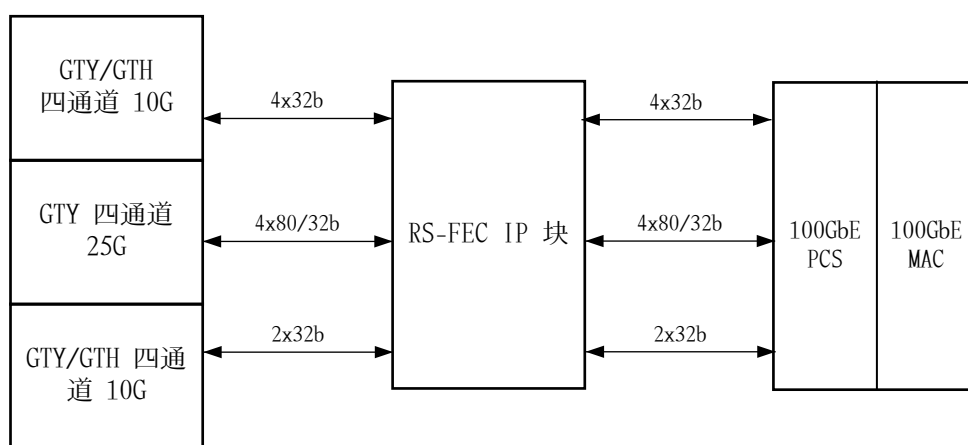
1. 转至 XCI 文件，右键单击并选择“Open IP Example Design”。
这样会打开新的 Vivado 工具窗口并在工程目录中显示名为“example_project”的工程。
2. 在 Flow Navigator 中，单击“Run Synthesis”和“Run Implementation”。



提示：首先单击“Run Implementation”即可同时运行综合和实现。
单击“Generate Bitstream”即可按顺序运行综合、实现，然后再运行比特流。

适用于 Integrated 100G Ethernet 的 UltraScale+ 器件 RS-FEC

Reed-Solomon Forward Error Correction (RS-FEC) 可提供稳定的多位错误检测与纠正算法，用于保护完整的 100 千兆数据流。本附录描述了 UltraScale+™ 器件 Integrated 100G Ethernet IP 内集成的 RS-FEC 引擎。如需获取 RS-FEC 子层的详细描述，请参阅 IEEE 802.3bj-2014 第 91 条 [参照 3]。



X17808-022317

图 A-1: 含 RS-FEC 块 (CMAC) 的 100G Ethernet MAC 原理图

操作模式

RS-FEC 引擎支持 2 种主要操作模式：正常模式和转码旁路模式。

正常模式

要在正常模式下使用 RS-FEC，Integrated 100G Ethernet 必须置于 CAUI-4/100GAUI-4 模式下，并且 `ctl_rx_rsfec_enable` 和 `ctl_tx_rsfec_enable` 信号必须设置为 1。断言对应复位（分别为 `rx_reset` 和 `tx_reset`）无效时，将对这些信号进行采样。

在此模式下，Integrated 100G Ethernet 会在内部将发射数据传输到 RS-FEC 引擎。RS-FEC 引擎会根据 802.3bj 第 91 条规范执行转码、RS 编码和符号分配操作。随后，经 RS-FEC 引擎编码所得输出数据将以 CAUI-4 格式提供给 SerDes，所采用的数据输出管脚和位映射与不启用 RS-FEC 引擎时 Integrated 100G Ethernet 与 SerDes 之间所使用的相同。

同样，从 SerDes 接收到的数据将以 CAUI-4 格式传递至 RS-FEC 引擎，所采用的数据输入管脚和位映射与不启用 RS-FEC 引擎时 Integrated 100G Ethernet 与 SerDes 之间所使用的相同。随后，RS-FEC 会对输入通道进行对齐和去歪斜，以重构所发射的 RS 代码字数据流，并根据 802.3bj 第 91 条规范执行 RS 解码和转码。随后，经 RS-FEC 引擎解码所得输出数据将在内部传递给 Integrated 100G Ethernet。

注释：对于 CAUI-4 模式，硬核 IP 内部的 802.3bj RS-FEC 核具有 RS(528,514) KR4 RS-FEC 配置。但对于 100GAUI-4 模式，将在 CMAC 与 GT 之间集成含 RS(544,514) KP4 RS-FEC 配置的 802.3bj RS-FEC 软核 IP。

在正常模式下将 RS-FEC 引擎与 Integrated 100G Ethernet 配合使用时，对于配置存在其它额外限制，如下所述。

RX 和 TX 帧长度（即对齐标记的间隔，此间隔由 CTL_RX_VL_LENGTH_MINUS1 和 CTL_TX_VL_LENGTH_MINUS1 参数来配置）必须能被 16 整除。

如果使用非标准对齐标记值（由 CTL_[RX|TX]_VL_MARKER_IDn 配置），对齐标记值的 32 个 MSB 必须设置为其 32 个 LSB 的按位反转值。对于标准对齐标记，该属性值为 true。

转码旁路模式

在转码旁路模式下使用 RS-FEC 引擎时，将在 100G Ethernet 集成块中禁用所有 Integrated 100G Ethernet 功能，以及 RS-FEC 引擎的对齐、纠偏和转码功能。唯一可用功能即 100 Gbps RS(528,514) 编码器和解码器。在此模式下，将使用一组独立输入和输出端口以在 RS 编码器与解码器之间进行双向数据传输。在正常模式下，不使用这些端口。

端口

公用端口

表 A-1 列出了用于正常模式和转码旁路模式下的控制配置和状态报告的 RS-FEC 端口。

表 A-1：公用端口

名称	I/O	时钟域	描述
ctl_rx_rsfc_enable_correction	I	rx_clk	启用 RS-FEC 纠错
ctl_rsfc_ieee_error_indication_mode	I	rx_clk	RS-FEC 错误指示模式（1 = IEEE 兼容模式，0 = 允许同时使用纠错和错误指示旁路）
ctl_rx_rsfc_enable_indication	I	rx_clk	启用 RS-FEC 指示
ctl_rx_rsfc_enable	I	rx_clk	启用 RX RS-FEC
ctl_tx_rsfc_enable	I	tx_clk	启用 TX RS-FEC
ctl_rsfc_enable_transcoder_bypass_mode	I	核时钟	启用转码旁路模式
stat_rx_rsfc_hi_ser	O	rx_clk	如果含 8,192 个代码字的窗口内的 RS-FEC 符号错误数量超过阈值 $K = 417$ ，则此项设置为 1。脉冲至高电平。此输出上无锁存高电平行为。请参阅 802.3 规格寄存器 1.201.2。
stat_rx_rsfc_am_lock0	O	rx_clk	如果 RS-FEC RX 通道 0 处于已锁定并已对齐状态，则此项为高电平
stat_rx_rsfc_am_lock1	O	rx_clk	如果 RS-FEC RX 通道 1 处于已锁定并已对齐状态，则此项为高电平
stat_rx_rsfc_am_lock2	O	rx_clk	如果 RS-FEC RX 通道 2 处于已锁定并已对齐状态，则此项为高电平
stat_rx_rsfc_am_lock3	O	rx_clk	如果 RS-FEC RX 通道 3 处于已锁定并已对齐状态，则此项为高电平

表 A-1：公用端口（续）

名称	I/O	时钟域	描述
stat_rx_rsfec_lane_alignment_status	O	rx_clk	如果 RS-FEC RX 通道全部处于已锁定并已对齐状态，则此项为高电平。
stat_rx_rsfec_corrected_cw_inc	O	rx_clk	当已纠正的 RS 代码字计数应递增时，此项为高电平。
stat_rx_rsfec_uncorrected_cw_inc	O	rx_clk	当未纠正的 RS 代码字计数应递增时，此项为高电平。
stat_rx_rsfec_cw_inc	O	rx_clk	当已接收的 RS 代码字总计数应递增时，此项为高电平。
stat_rx_rsfec_lane_mapping[7:0]	O	rx_clk	802.3 规格寄存器 1.206 的 8 个 LSB，用于显示已映射到每个 FEC 通道的 PMA 通道。 位 [1:0] = FEC 通道映射 0 位 [3:2] = FEC 通道映射 1 位 [5:4] = FEC 通道映射 2 位 [7:6] = FEC 通道映射 3
stat_rx_rsfec_err_count0_inc[2:0]	O	rx_clk	该值用于递增外部累加器数量，对应 FEC 通道 0 上的 RS 符号错误数量。
stat_rx_rsfec_err_count1_inc[2:0]	O	rx_clk	该值用于递增外部累加器数量，对应 FEC 通道 1 上的 RS 符号错误数量。
stat_rx_rsfec_err_count2_inc[2:0]	O	rx_clk	该值用于递增外部累加器数量，对应 FEC 通道 2 上的 RS 符号错误数量。
stat_rx_rsfec_err_count3_inc[2:0]	O	rx_clk	该值用于递增外部累加器数量，对应 FEC 通道 3 上的 RS 符号错误数量。
stat_rx_rsfec_rx_lane_fill_0[12:0]	O	rx_clk	位 [13:7] 可提供 RX 通道 0 FIFO 的填充级别。位 [6:0] 可提供应用于通道 0 的位级移位（单位为时钟周期的 1/80）。
stat_rx_rsfec_rx_lane_fill_1[12:0]	O	rx_clk	位 [13:7] 可提供 RX 通道 1 FIFO 的填充级别。位 [6:0] 可提供应用于通道 1 的位级移位（单位为时钟周期的 1/80）。
stat_rx_rsfec_rx_lane_fill_2[12:0]	O	rx_clk	位 [13:7] 可提供 RX 通道 2 FIFO 的填充级别。位 [6:0] 可提供应用于通道 2 的位级移位（单位为时钟周期的 1/80）。
stat_rx_rsfec_rx_lane_fill_3[12:0]	O	rx_clk	位 [13:7] 可提供 RX 通道 3 FIFO 的填充级别。位 [6:0] 可提供应用于通道 3 的位级移位（单位为时钟周期的 1/80）。

转码旁路模式端口

表 A-2 列出了仅限在转码旁路模式下用于数据传输的 RS-FEC 端口。

表 A-2：转码旁路模式端口

名称	I/O	时钟域	描述
rsfec_bypass_rx_din[329:0]	I	rx_clk	数据输入，连接到 RS 解码器。
rsfec_bypass_rx_din_cw_start	I	rx_clk	当为高电平时，指示 rsfec_bypass_rx_din 上的当前数据字是 RS 代码字中的第一个数据字。
rsfec_bypass_tx_din[329:0]	I	tx_clk	数据输入，连接到 RS 编码器。
rsfec_bypass_tx_din_cw_start	I	tx_clk	当为高电平时，指示 rsfec_bypass_tx_din 上的当前数据字是 RS 代码字中的第一个数据字。
rsfec_bypass_rx_dout[329:0]	O	rx_clk	数据输出，来自 RS 解码器。

表 A-2：转码旁路模式端口（续）

名称	I/O	时钟域	描述
rsfec_bypass_rx_dout_cw_start	O	rx_clk	当为高电平时，指示 rsfec_bypass_rx_dout 上的当前数据字是已解码的 RS 代码字中的第一个数据字。
rsfec_bypass_rx_dout_valid	O	rx_clk	当为高电平时，指示 rsfec_bypass_rx_dout 上的当前数据字有效。
rsfec_bypass_tx_dout[329:0]	O	tx_clk	数据输出，来自 RS 编码器。
rsfec_bypass_tx_dout_cw_start	O	tx_clk	当为高电平时，指示 rsfec_bypass_tx_dout 上的当前数据字是已编码的 RS 代码字中的第一个数据字。
rsfec_bypass_tx_dout_valid	O	tx_clk	当为高电平时，指示 rsfec_bypass_tx_dout 上的当前数据字有效。

时钟与复位

正常模式

RS-FEC 引擎的发射部分在 tx_clk 定义的单一时钟域内运行。tx_reset 信号为 tx_clk 域的异步复位。

RS-FEC 引擎的接收部分在 5 个不同时钟域内运行。每个 RS-FEC SerDes 通道都在其自己的时钟域上运行，其中 4 个时钟域由 rx_serdes_clk[3:0] 定义，并使用 rx_serdes_reset[3:0] 提供相应 SerDes 时钟域的异步复位。全部 4 个接收 SerDes 时钟域均达成亚稳态并嵌入由 rx_clk 定义的用户接收时钟域。rx_reset 信号为 rx_clk 域的异步复位。

转码旁路模式已启用

RS-FEC 引擎的发射部分在 tx_clk 定义的单一时钟域内运行。tx_reset 信号为 tx_clk 域的异步复位。

RS-FEC 引擎的接收部分在 rx_clk 定义的单一时钟域内运行。rx_reset 信号为 rx_clk 域的异步复位。

RS-FEC 子模式

在正常模式下和转码旁路模式下，RS-FEC 解码器操作均有 4 种子模式可供使用。其中 3 种子模式由 IEEE 802.3bj 规范定义，第 4 种子模式为非标准模式。表 A-3 列出了有效的 RS-FEC 操作子模式。断言 rx_reset 无效后，在首个周期内对所有控制管脚进行采样。

表 A-3：RS-FEC 操作子模式

控制信号	子模式							
	1		2			3	4	
ctl_rsfec_ieee_error_indication_mode	1	0	1	0	1	0	1	0
ctl_rx_rsfec_enable_indication	1	1	1	1	0	0	0	0
ctl_rx_rsfec_enable_correction	1	1	0	0	0	0	1	1

子模式 1：完整操作

在此子模式下，RS-FEC 引擎会检测并纠正错误。

- 如果接收到的代码字含不超过 7 个符号错误，将纠正这些错误，并将数据传递至 Integrated 100G Ethernet。

- 如果接收到的代码字含不少于 8 个符号错误，则将把错误数据传递到 Integrated 100G Ethernet，并且 66b/64b 编码流传输中含部分已损坏的 2 位同步报头。这将导致 Integrated 100G Ethernet 丢弃部分或全部包含在受影响的代码字中的任意数据包。

子模式 2：错误指示，无纠错

在此子模式下，RS-FEC 引擎会检测错误，但不会尝试纠正错误。

- 如果接收到的代码字不含任何错误，则会将数据传递至 Integrated 100G Ethernet。
- 如果接收到的代码字含不少于 1 个错误，则将把错误数据传递到 Integrated 100G Ethernet，并且 66 位/64 位编码流传输中含部分已损坏的 2 位同步报头。这将导致 Integrated 100G Ethernet 丢弃部分或全部包含在受影响的代码字中的任意数据包。

注释：如果 `ctl_rsfc_ieee_error_indication_mode` 控制标志为高电平，则尝试同时禁用错误指示和纠错会导致进入该子模式，并且在该子模式下不启用错误指示。这是 IEEE 802.3bj 第 91 条所要求的行为。为了同时禁用错误指示和纠错（即进入子模式 3），IEEE 错误指示模式必须设置为 0。

子模式 3：无错误指示，也无纠错（非标准）

在此子模式下，RS-FEC 引擎会检测错误，但不会尝试纠正错误。

- 如果接收到的代码字不含任何错误，则会将数据传递至 Integrated 100G Ethernet。
- 如果接收到的代码字含不少于 1 个错误，则仍会将错误数据传递到 Integrated 100G Ethernet，且不提供此数据存在错误的指示信息。

为了避免漏检数据包中存在的错误，RS-FEC 引擎会在此模式下执行额外的错误监控。检测到的符号错误数量将随输入代码字的连续非重叠窗口累加。如果任一窗口中的符号错误计数超过固定阈值，RS-FEC 引擎会将其 `hi_ser` 标志设置为 `True`，并导致传递到 Integrated 100G Ethernet 的数据的所有 2 位同步报头都长期 (>60ms) 处于损坏状态。这会导致 Integrated 100G Ethernet 将其 `hi_ber` 标志设置为 `true`，从而阻止对接收到的数据包进行处理。

该子模式属于 IEEE 802.3bj 的非标准扩展。

子模式 4：纠错，无错误指示

在此子模式下，RS-FEC 引擎会检测并纠正错误。

- 如果接收到的代码字含不超过 7 个符号错误，将纠正这些错误，并将数据传递至 Integrated 100G Ethernet。
- 如果接收到的代码字含不少于 8 个符号错误，则仍会将错误数据传递到 Integrated 100G Ethernet，且不提供此数据存在错误的指示信息。

为了避免漏检数据包中存在的错误，RS-FEC 引擎会在此模式下执行额外的错误监控。检测到的符号错误数量将随输入代码字的连续非重叠窗口累加。如果任一窗口中的符号错误计数超过固定阈值，RS-FEC 引擎会将其 `hi_ser` 标志设置为 `true`，并导致传递到 Integrated 100G Ethernet 的数据的所有 2 位同步报头都长期 (>60ms) 处于损坏状态。这会导致 Integrated 100G Ethernet 将其 `hi_ber` 标志设置为 `true`，从而阻止对接收到的数据包进行处理。

不同子模式的主要目的是当行误码率 (BER) 足够低至无需完整纠错时，允许降低时延。表 A-4 中显示了每个可用操作模式下的 RS-FEC 引擎时延。

表 A-4：RS-FEC 引擎时延

接收子模式	正常模式时延		转码旁路模式时延	
	时钟周期数	纳秒	时钟周期数	纳秒
1	37	114.8	27	83.8
2	24	74.5	14	43.4

表 A-4：RS-FEC 引擎时延 （续）

接收子模式	正常模式时延		转码旁路模式时延	
	时钟周期数	纳秒	时钟周期数	纳秒
3	12	37.2	2	6.2
4	37	114.8	27	83.8
发射	7	21.7	4	12.4

使用 RS-FEC 引擎

正常模式

由于用于 RS-FEC 引擎与 SerDes 之间的数据传输的端口与 Integrated 100G Ethernet 所使用的端口相同，并且 RS-FEC 层的旁路控制是在 100G Ethernet 集成块内部执行的，因此在正常模式下，Ethernet subsystem 中包含的 RS-FEC 功能在大部分情况下对于用户而言是透明的。

要在正常模式下启用 RS-FEC，请将 `ctl_rx_rsfc_enable` 和 `ctl_tx_rsfc_enable` 输入设置为 1，并将 `ctl_rsfc_enable_transcoder_bypass_mode` 设置为 0。在 `ctl_rsfc_ieee_error_indication_mode`、`ctl_rx_rsfc_enable_correction` 和 `ctl_rx_rsfc_enable_indication` 输入上设置所期望的操作子模式。随后，必须断言 `rx_reset` 和 `tx_reset` 有效并将其移除，才能应用所选设置。

在正常模式下，无论选定任何子模式，都会生成表 A-1 中定义的所有统计数据输出。

正常模式下，来自 RS-FEC 引擎的代码字统计数据标志 (`stat_rx_rsfc*_cw_inc`) 输出应根据表 A-5 来加以解释。

注释：如果禁用纠错（子模式 2 和 3），则纠正后的代码字将永不显示。

RS-FEC 引擎从不在标记为“非法”的行中生成任何值。

表 A-5：正常模式下的 RS-FEC 引擎

<code>cw_inc</code>	<code>corrected_cw_inc</code>	<code>uncorrected_cw_inc</code>	描述
0	0	0	无活动
0	0	1	非法
0	1	0	非法
0	1	1	非法
1	0	0	代码字不含任何错误
1	0	1	代码字含未纠正的错误
1	1	0	代码字含已纠正的错误
1	1	1	非法

转码旁路模式

在转码旁路模式下，核基于传输事务进行工作，即针对各 RS 代码字均直接进行编码和解码。不执行转码和对齐操作。实现不会以任何方式对 RS 代码字的 5140 有效载荷位的内容加以约束，因此可提供完整的灵活性。

要在转码旁路模式下启用 RS-FEC，请将 `ctl_rx_rsfc_enable`、`ctl_tx_rsfc_enable` 和 `ctl_rsfc_enable_transcoder_bypass_mode` 设置为 1。在 `ctl_rsfc_ieee_error_indication_mode`、`ctl_rx_rsfc_enable_correction` 和 `ctl_rx_rsfc_enable_indication` 输入上设置所期望的操作子模式。随后，必须断言 `rx_reset` 和 `tx_reset` 有效并将其移除，才能应用所选设置。

RS 编码

`rsfc_bypass_tx_din_cw_start` 信号必须断言有效，这样才能指示新 RS 代码字的启动。如果在任意时间重新断言启动信号有效，那么核将重新同步到最新启动信号。在 `rsfc_bypass_tx_din_cw_start` 为高电平的周期内，代码字数据的前 330 个位都会被传输到核中，其中位 0 (LSB) 即为此代码字的第一个位。数据传输将以此方式持续运行总计 16 个周期。在第 16 个周期，应以 0 值来填充最显著的 140 个位，因为编码器将再这些位置添加的奇偶校验位。在第 17 个周期，编码器已准备好在 `rsfc_bypass_tx_din_cw_start` 上接受另一次脉冲，并开始处理下一个代码字。

在输出端的 RS 代码字启动位置处将断言 `rsfec_bypass_tx_dout_cw_start` 信号有效。当输出端呈现对应 TX 数据时，即断言 `rsfec_bypass_tx_dout_valid` 信号有效。数据输出格式遵循数据输入格式，并将 0 值填充位替换为 140 个奇偶校验位。

RS 解码

`rsfec_bypass_rx_din_cw_start`、`rsfec_bypass_rx_dout_cw_start` 和 `rsfec_bypass_rx_dout_valid` 信号以模拟对应 TX 信号的方式进行操作。16 个数据周期（每个周期 330 位）可传输单一 5,280 位代码字输入（包括接收到的奇偶校验符号）。在第 17 个周期，解码器已准备好在 `rsfec_bypass_rx_din_cw_start` 上接受另一侧脉冲，并开始处理下一个代码字。

仅当已断言 `rsfec_bypass_rx_dout_cw_start` 有效并且输出端呈现对应数据时，才会断言 `rsfec_bypass_rx_dout_valid` 有效。如果在输入总线上呈现代码字的最后一个周期之前重新断言 `rsfec_bypass_rx_din_cw_start` 有效，那么 `rsfec_bypass_rx_dout_valid` 将断言无效，以指示输出数据不再有效。当输出端呈现对应于新 `rsfec_bypass_rx_din_cw_start` 的数据时，将重新断言 `rsfec_bypass_rx_dout_valid` 有效。

统计数据 and 代码字标志

在转码旁路模式下，无论选定任何子模式，都会生成表 A-1 中定义的统计数据输出的子集。与对齐和去歪斜逻辑（AM 锁定信号、通道对齐状态、FIFO 填充级别和通道映射）的运行相关的统计数据和标志在此模式下无效。通道 1、2 和 3 的符号错误计数无效，将在通道 0 输出端改为计算所有符号错误的数量。与 RS 解码器相关的统计数据和标志在此模式下有效。

代码字递增标志在转码旁路模式下的解释与在正常模式下的解释不同。这样即可支持用户在禁用纠正的子模式下操作时区分可能已纠正的代码字和可能尚未纠正的代码字。

在 802.3bj 和其它标准中，使用存在的连续不可纠正代码字来触发对齐丢失事件是很常见的。禁用纠错时，含错误的任何代码字都将被报告为未纠正的代码字。在此情况下使用未纠正的代码字标志来检测对齐丢失会导致对齐丢失的 BER 阈值低于可接受的值。因此，当激活转码旁路模式时，在这些信号上会报告另一对代码字条件，以支持实现此类算法。

因此，对于解码器所处理的每个代码字，`corrected_cw_inc` 和 `uncorrected_cw_inc` 信号可能达到高电平两次、一次或者也可能完全无法达到高电平。此行为与纠错子模式设置无关。

要计算 RS-FEC 解码器已纠正的代码字数量，应使用 AND 运算符将 `corrected_cw_inc` 输出与 `cw_inc` 输出相结合以提供合格的计数器递增信号。同样，要计算尚未纠正的代码字数量，应按同样方式将 `uncorrected_cw_inc` 输出与 `cw_inc` 输出相结合。

转码旁路模式下，来自 RS-FEC 引擎的代码字统计数据标志 (`stat_rx_rsfec*_cw_inc`) 输出应根据表 A-6 来加以解释。

表 A-6：转码旁路模式下的 RS-FEC 引擎

<code>cw_inc</code>	<code>corrected_cw_inc</code>	<code>uncorrected_cw_inc</code>	描述
0	0	0	无活动
0	0	1	代码字包含的错误数量超出纠错功能范围（>7 个符号）
0	1	0	代码字包含的错误数量在纠错功能范围（0-7 个符号）内
0	1	1	非法
1	0	0	代码字不含任何错误
1	0	1	代码字含未纠正的错误
1	1	0	代码字含已纠正的错误
1	1	1	非法

IEEE 1588 支持

为支持 IEEE 1588 时间戳应用，RS-FEC 引擎会捕获 80 位系统定时器（在 `rs_serdes_clk[0]` 时钟域内对该定时器进行时钟设置），并提供相应的延迟和变速箱调整以及 Integrated 100G Ethernet 块所应用的调整。

在转码旁路模式下，不提供 IEEE 1588 支持。

UltraScale+ 器件 RX OTN 接口

简介

本附录详述了 Integrated IP 块中包含的可选 RX 光传输网络 (OTN) 接口端口。如需了解有关软核 TX OTN 接口的更多信息，请参阅[附录 C：软核 TX OTN 接口](#)。

OTN 接口可提供来自 RX 通道对齐逻辑的输出，可输出 5 个含 66 位数据字的通道。这些数据字与 PCS 对齐标记对齐，不但不会被移除，而且同样通过接口发出。并且，这些输出还会按如下方式排序：PCS 通道 0 数据字将显示在 rx_otn_data_0 输出上，PCS 通道 1 数据字则将在 rx_otn_data_1 上输出，以此类推。

OTN 接口与标准客户端监控块配对。此块用于收集 OTN 数据的 Ethernet MAC 统计数据，以供 RX 路径使用。

OTN 接口具有下列特性。

- 符合 Integrated 100G Ethernet 要求的统计数据
- 独立 RX OTN 接口，可供 OTN 成帧应用使用
- 每个 OTN 通道 66 位数据字
- 由侧边总线或 AXI4-Lite 寄存器接口提供统计数据

实现

RX OTN 接口

接收到的数据完成对齐和重新排序后，将计算 66 位数据字的 BIP8 值并双双通过 OTN 接口输出。RX OTN 块可处理将接收到的数据转换为期望的 OTN 接口格式和时钟域的操作。如果 OTN 与 RX 核时钟不同，则使用基于 FIFO 的时钟域交汇；否则，将使用简单的流水线。

OTN 接口将包含 OTN_LANES == 5 通道的数据，并且将锁定到硬核 IP 的 rx_clk。此实现还会使用 RX MAC+PCS 块的现有统计数据接口。

Integrated 100G Ethernet 可配置为在输入数据路径上包含可选 802.3bj-2014 RSFEC 块。完成此配置后，RSFEC 块将先于 OTN IP 接口获取数据，因此，此块执行的纠错将令此 IP 接口受益。

OTN 接口的输出启用模式为每 33 个 rx_otn_clk 周期即有 1 个 rx_otn_ena 为“0”的周期（33 周期内 rx_otn_ena == 1'b1，后接 1 个周期 rx_otn_ena == 1'b0）。

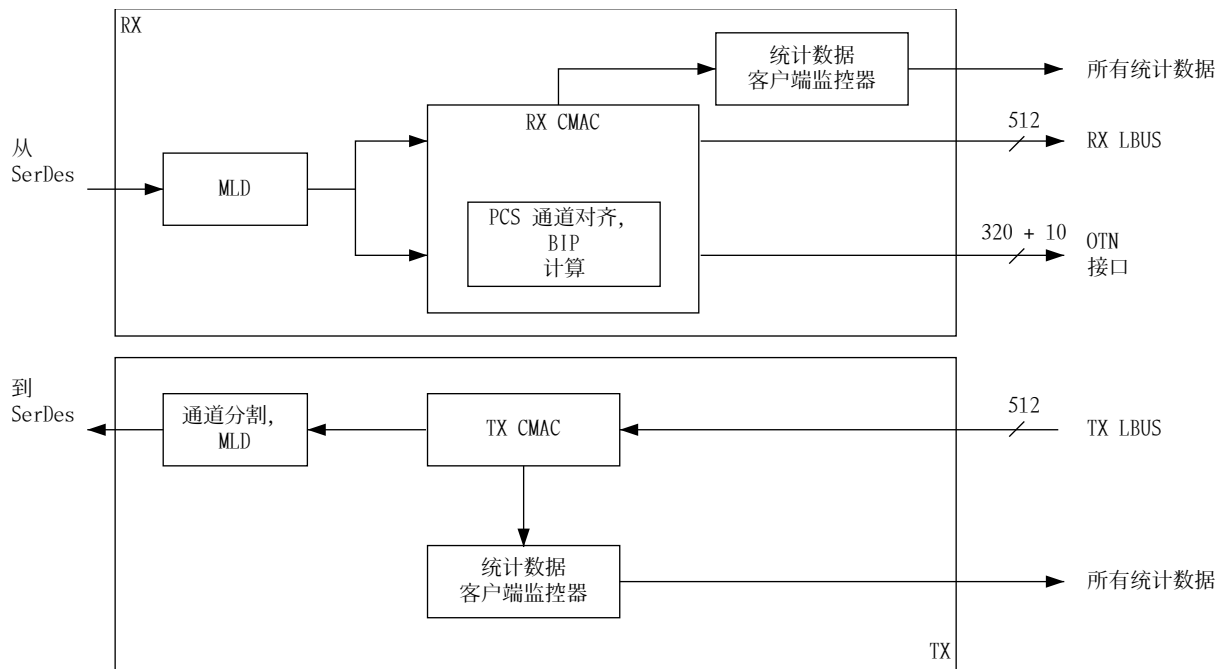
RX OTN 接口始终处于活动状态。

客户端监控

客户端监控的目的是为交换系统的远程监控 (RMON) 功能提供数据，以满足诸多供应商的需求。

Ethernet MAC 客户端监控模式支持为 OTN 接口提供统计数据报告功能。对于 RX 路径，OTN 数据的统计数据为正常 RX LBUS 路径 (MAC+PCS) 中计算所得的常规统计数据。无需其它块或端口，对于 OTN 和 LBUS，将使用来自标准统计数据端口的信息。

图 B-1 显示了含 OTN 接口和客户端监控的 Integrated 100G Ethernet 示例。

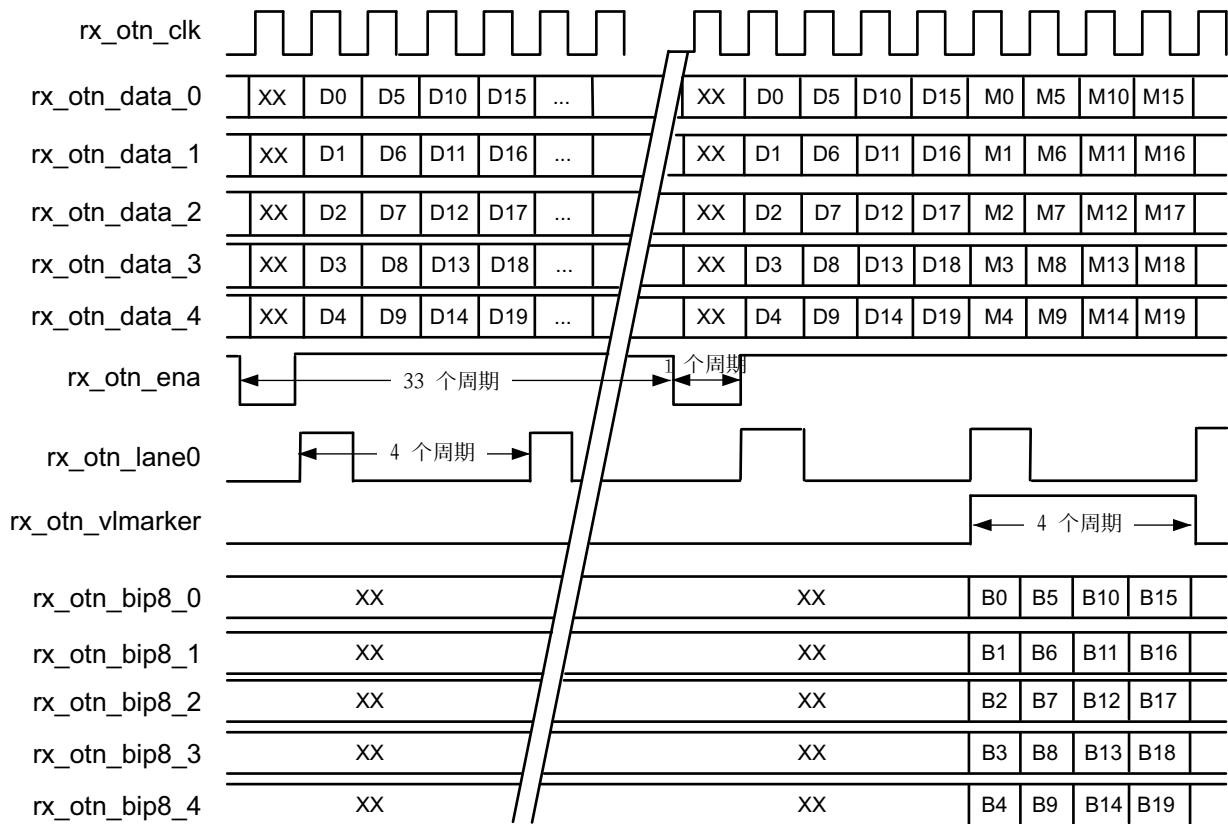


X21785-102318

图 B-1: 含 OTN 接口和客户端监控的 Integrated 100G Ethernet 原理图

OTN 接口总线传输事务

图 B-2 显示了 OTN 接口的总线时序，其中 OTN_LANES 等于 5。



X19886-092217

图 B-2: RX OTN 接口总线时序

5 个数据通道以 rx_otn_ena enable 总线来限定，并且仅当 enable 为 1 时才会处于就绪状态。

当 rx_otn_data0 总线上呈现 PCS 通道 0 数据时，断言 rx_otn_lane0 有效。

在此示例中，在 OTN 接口上针对 4 个数据周期呈现对齐标记（以 rx_otn_vlmarker 信号来指示）。当断言 rx_otn_vlmarker 有效时，在 rx_otn_bip8_0 到 rx_otn_bip8_4 总线上将呈现根据接收到的数据计算所得的 BIP8 值。

位排序

块包含 66 个位。任一块的前 2 个位均为同步报头 (sync header)。块为数据块或控制块。同步报头针对数据块为 01，针对控制块则为 10。因此，在任一块的前 2 个位之间始终存在转换。块的剩余位则包含有效载荷。有效载荷已扰码，而同步报头则会绕过扰码器。因此，同步报头是块中始终保证包含转换的唯一位置。此代码功能用于获取块同步。

rx_otn_data<N> 的位的顺序与 IEEE 802.3-2015 第 82.2.3.2 条中所述的发射顺序相匹配。

具体来说，rx_otn_data_<N>[65] 就是发射的第一个同步报头位。块的排序为：rx_otn_data_0 是接收的第一个块，后接 rx_otn_data_1 直至 rx_otn_data_4 为止。

rx_otn_bip8_<N> 信号同样遵循与 rx_otn_data_<N> 信号相同的位编号参考顺序。换言之，rx_otn_bip8_<N>[7] 是对应对齐标记的 BIP3 字段接收到的第一个位。如需了解更多信息，请参阅 IEEE 802.3-2015 第 82.2 条 [参照 2]。

端口描述

表 B-1 列出了该核上对应 OTN 接口功能显示的其它信号。OTN_LANES 为 OTN 接口上的数据字数，值为 5。

表 B-1： 对应 OTN 接口的其它信号

OTN 接口 - RX 路径		
rx_otn_clk	I	可选。OTN 接口时钟的 RX 时钟。应绑定到 rx_clk。 注释：使用除 rx_clk 以外的其它时钟将导致额外输出 FIFO 操作逻辑和资源。
rx_otn_ena	O	指示 rx_otn_data_* 总线上的数据有效。
rx_otn_lane0	O	此信号值为 1 表示 PCS 通道 0 的数据字显示在 rx_otn_data_0 上。
rx_otn_vlmarker	O	此信号值为 1 表示 rx_otn_data_* 总线上的数据为对齐标记字。
rx_otn_data_{0:OTN_LANES-1}[65:0]	O	接收数据路径的数据输出。 [65:64] = 同步报头 [63:0] = 数据
rx_otn_bip8_{0:OTN_LANES-1}[7:0]	O	可选。重新计算所得的 BIP 值。

客户端监控接口

客户端监控接口提供的统计数据与 Ethernet IP 所收集的统计数据相同。

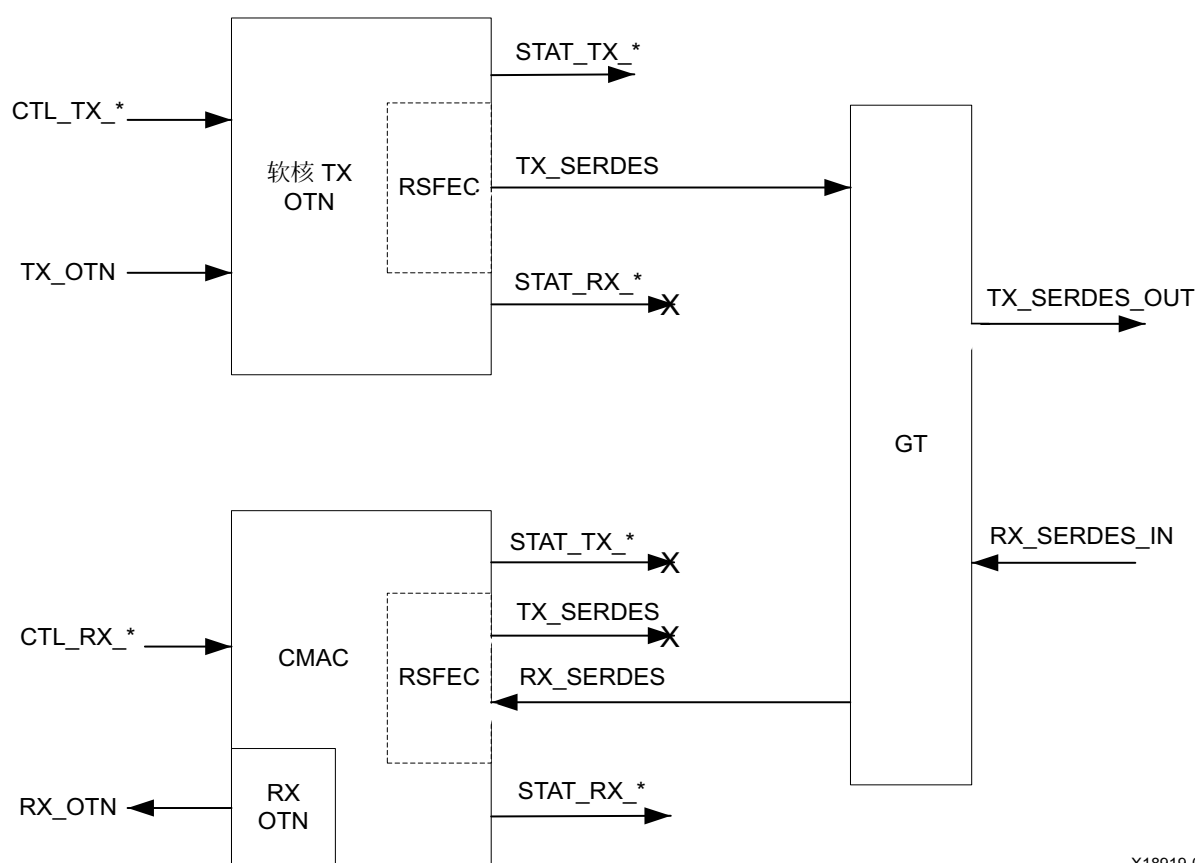
软核 TX OTN 接口

配置 CMAC 时，在向导中可选择互连结构逻辑中实现的软核 TX OTN 逻辑。（可选）软核 TX RS-FEC 可包含在软核 TX OTN 接口内。

注释：软核 RS-FEC LogiCORE™ 是付费许可 IP。如需了解有关订购的更多信息以及 RS-FEC 详细信息，请参阅 [100G RS-FEC](#) 产品网页。

软核 TX OTN 块可处理将 OTN 数据转换为期望的格式和时钟域的操作。如果 OTN 和 SerDes 位于不同时钟域，则使用基于 FIFO 的时钟域交汇；否则，将呈现简单的流水线。BIP8 信息与对齐标记一起由 IP 在 TX 上以透明方式进行传递。

对于呈现完整 MAC+PCS 的实现，OTN 数据将基于 tx_otn_ena 端口发送至变速箱块。RX OTN 接口始终处于活动状态。



X18919-092617

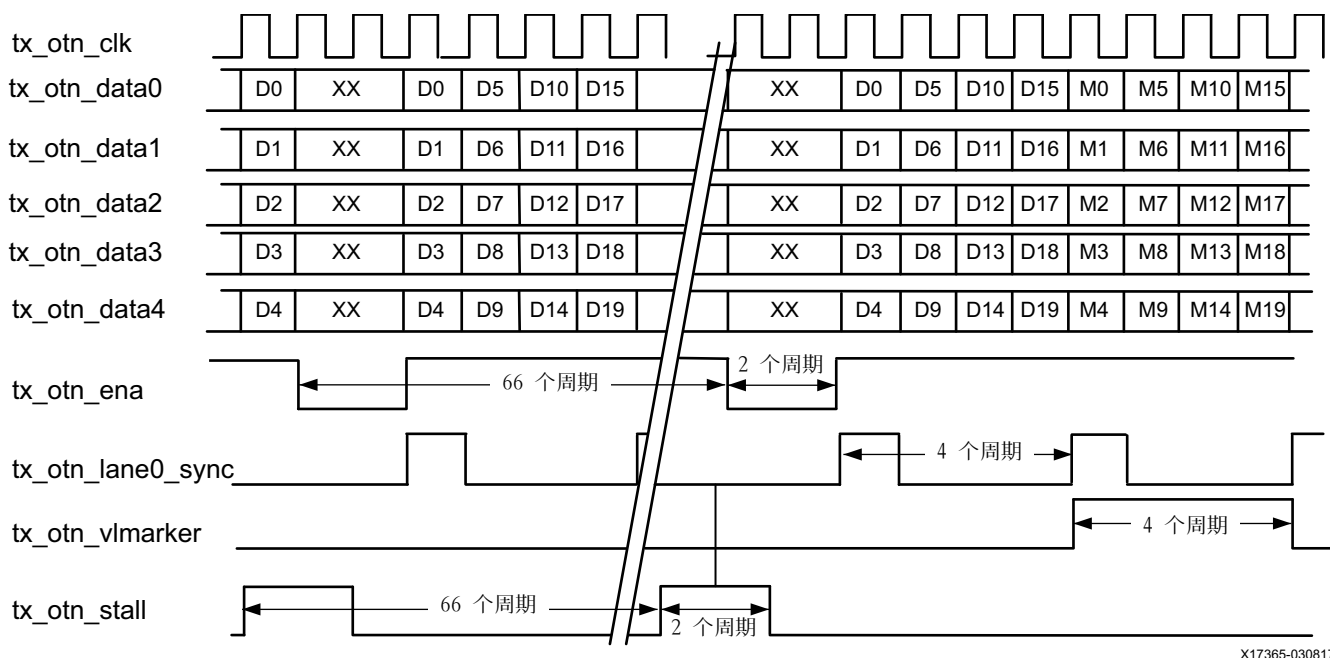
图 C-1: 含可选软核 TX OTN 接口的 Integrated CMAC 原理图

客户端监控

对于 TX 路径，由于 OTN 数据已对齐并已重新排序（以 PCS 对齐标记来指示），因此 OTN 数据只需解扰并解码，即可获得统计数据信息。TX 块可处理将 OTN TX 数据转换为期望的格式和时钟域的操作。

软核 TX OTN 接口总线时序

图 C-2 显示了 Integrated CMAC 上 OTN 接口的总线时序，其中 OTN_LANES 等于 5，并且呈现 TX OTN 端口。



X17365-030817

图 C-2：OTN 接口的总线时序

5 个数据通道以 `tx_otn_ena` enable 总线来限定，并且仅当 `enable` 为 1 时才会处于就绪状态。CAUI 块中的变速箱逻辑要求每 66 个周期内存在 2 个 `ena` 0 周期。为确保变速箱同步，提供了 `tx_otn_stall` 信号用于指引用户逻辑 TX `enable`。

当 `tx_otn_data0` 在 TX 接口上包含 PCS 通道 0 数据时，用户应断言 `tx_otn_lane0_sync` 有效。

在此示例中，在 OTN 接口上针对 4 个数据周期呈现“对齐标记 (Alignment Marker)”（以 `tx_otn_vlmarker` 来指示）。

位排序

块包含 66 个位。任一块的前 2 个位均为同步报头 (sync header)。块为数据块或控制块。同步报头针对数据块为 01，针对控制块则为 10。因此，在任一块的前 2 个位之间始终存在转换。块的剩余位则包含有效载荷。有效载荷已扰码，而同步报头则会绕过扰码器。因此，同步报头是块中始终保证包含转换的唯一位置。此代码功能用于获取块同步。

tx_otn_data<N> 的位的顺序与 IEEE 802.3-2015 第 82.2.3.2 条中所述的发射顺序相匹配。具体来说，tx_otn_data_<N>[65] 就是发射的第一个同步报头位。块的排序为：tx_otn_data_0 是发射的第一个块、后接 tx_otn_data_1 直至 tx_otn_data_4 为止。

如需了解更多信息，请参阅 IEEE 802.3-2015 第 82.2 条 [参照 2]。

端口描述

表 C-1 列出了软核 TX OTN 接口的所有信号，包括额外的控制信号和状态信号。

表 C-1：时钟信号和复位信号

名称	I/O	时钟域	描述
clk	I		所有 TX 核逻辑的时钟
tx_reset	I		所有 TX 核逻辑的复位

表 C-2 列出了软核 TX OTN 信号。

表 C-2：软核 TX OTN 信号

名称	I/O	时钟域	描述
tx_otn_lane0_sync	I	clk	此信号值为 1 表示输入总线 tx_otn_data_0 对应 PCS 通道 0 包含 66 位数据字。
tx_otn_vlmarker	I	clk	此信号值为 1 表示 tx_otn_data_* 总线上的输入数据为对齐标记字。仅当 TX 路径需要收集统计数据时，才使用此端口；否则，将忽略此端口，对齐标记字无需识别即可通过接口传递到 TX。
tx_otn_ena	I	clk	针对总线上的 OTN 数据启用。
tx_otn_stall	I	clk	指示下一个时钟周期应在 tx_otn_data_* 总线上插入气泡，即 tx_otn_ena 应为 0。
tx_otn_data_[0:4][65:0]	I	clk	用于发射的数据输入 [65:64] = 同步报头 [63:0] = 数据

表 C-3 列出了软核 TX OTN 接口的其它控制端口和状态端口。

表 C-3：软核 TX OTN 的其它控制端口和状态端口

名称	I/O	时钟域	描述
ctl_tx_max_packet_len[14:0]	I	clk	长度超过该值的任何包都将被视为大小过大。该总线允许的值范围为 64 到 16,383。ctl_rx_max_packet_len[14] 为保留值，必须设置为 0。
ctl_tx_min_packet_len[7:0]	I	clk	长度小于该值的任何包都将被视为大小过小。
ctl_tx_check_sfd	I	clk	断言有效时，此输入会导致客户端监控检查出口帧的帧起始定界符。
ctl_tx_check_preamble	I	clk	断言有效时，此输入会导致客户端监控检查出口帧的前导码。

表 C-3：软核 TX OTN 的其它控制端口和状态端口（续）

名称	I/O	时钟域	描述
ctl_tx_ignore_fcs	I	clk	启用由 TX 核在 LBUS 接口上执行 FCS 纠错。仅当 <code>ctl_tx_fcs_ins_enable</code> 为低电平时，此输入才有效。如果此输入为低电平，并且发射的数据包中含有无效 FCS，则不会将其作为有效包丢弃。如果此输入为高电平，则含无效 FCS 的包将被作为有效包丢弃。 在 <code>stat_tx_bad_fcs</code> 和 <code>stomped_fcs</code> 信号上会标记此错误，并且此数据包将作为已接收的包进行发射。 注释：报告的统计数据中显示不含 FCS 错误。
ctl_rsfc_enable	I	clk	此输入用于在 TX 路径的软核 TX OTN RTL 内启用 RS-FEC 软核 IP。
stat_tx_jabber	O	clk	对应含无效 FCS 且长度超过 <code>ctl_tx_max_packet_len</code> 的数据包的递增值。
stat_tx_oversize	O	clk	对应含有效 FCS 且长度超过 <code>ctl_tx_max_packet_len</code> 的数据包的递增值。
stat_tx_undersize[1:0]	O	clk	对应含有效 FCS 且长度小于 <code>ctl_tx_min_packet_len</code> 的数据包的递增值。
stat_tx_toolong	O	clk	对应含有效和无效 FCS 且长度超过 <code>ctl_tx_max_packet_len</code> 的数据包的递增值。
stat_tx_fragment[1:0]	O	clk	对应含无效 FCS 且长度小于 <code>ctl_tx_min_packet_len</code> 的数据包的递增值。
stat_tx_packet_bad_fcs	O	clk	对应具有 FCS 错误的数据包（所含字节数为 64 到 <code>ctl_tx_max_packet_len</code> 之间）的递增值。
stat_tx_stomped_fcs[2:0]	O	clk	含 <code>stomp</code> 标记的 FCS 指示符。该总线上的值用于指示数据包带有含 <code>stomp</code> 标记的 FCS。含 <code>stomp</code> 标记的 FCS 定义为期望的有效 FCS 的按位反转。此输出将脉冲 1 个时钟周期，以指示含 <code>stomp</code> 标记。脉冲可在连续周期内发生。
stat_tx_remote_fault	O	clk	远端故障指示状态。如果该位采样为 1，则表示检测到远端故障状况。 如果该位采样为 0，则表示不存在远端故障状况。此输出对电平敏感。
stat_tx_internal_local_fault	O	clk	当由于以下任一操作导致生成内部本地故障时，此信号将转为高电平 (High)：测试模式生成、通道对齐错误或误码率过高。 只要故障状况仍然存在，此信号就会保持高电平 (High)。
stat_tx_received_local_fault	O	clk	当接收到来自链路伙伴的本地故障字数足以触发 IEEE 故障状态机所指定的故障条件时，此信号将转为高电平 (High)。 只要故障状况仍然存在，此信号就会保持高电平 (High)。
stat_tx_bad_code[2:0]	O	clk	对应 64B/66B 编码违例的递增值。此信号用于指示 RX PCS 接收状态机处于 IEEE 802.3 标准所指定的 <code>RX_E</code> 状态。此输出可用于根据第 82.3 条的定义生成 MDIO 寄存器 3.33:7:0。

表 C-3：软核 TX OTN 的其它控制端口和状态端口（续）

名称	I/O	时钟域	描述
stat_tx_test_pattern_mismatch[2:0]	O	clk	测试模式不匹配数递增。任一周期内的非 0 值均表示 TX 核中针对测试模式发生的不匹配次数。仅当 <code>ctl_tx_test_pattern</code> 设置为 1 时，此输出才有效。此输出可用于根据第 82.3 条的定义生成 MDIO 寄存器 3.43.15:0。此输出将脉冲 1 个时钟周期。
stat_tx_bad_preamble	O	clk	对应无效前导码的递增。此信号用于指示接收以太网数据包之前是否已接收到有效的前导码。值为 1 表示出口处的前导码无效。
stat_tx_bad_sfd	O	clk	对应无效 SFD 的递增。此信号用于指示接收以太网数据包之前是否已接收到有效的 SFD。值为 1 表示出口处的 SFD 无效。
stat_tx_got_signal_os	O	clk	Signal OS 指示。如果该位采样为 1，则表示出口处存在“Signal OS”字。 注释：在以太网网络中不应接收到 Signal OS。
stat_tx_rsfc_block_lock	O	clk	每个 PCS 通道的块锁定状态。值为 1 表示对应通道已达到第 82 条中定义的块锁定状态。对应于第 82.3 条中所定义的 MDIO 寄存器位 3.50.7:0 和 3.51.11:0。此输出对电平敏感。
stat_tx_rsfc_am_lock	O	clk	指示 RS-FEC TX 通道 <n> 是否处于已锁定并已对齐状态。
stat_tx_rsfc_lane_alignment_status	O	clk	指示是否所有 RS-FEC TX 通道都处于已锁定并已对齐状态。

表 C-4 列出了含不同数据宽度的状态信号。

表 C-4：软核 TX OTN 的现有状态信号

名称	I/O	时钟域	描述
stat_tx_bad_fcs[2:0]	O	clk	对应具有 FCS 错误的数据包（大于 64 个字节）的递增。
stat_tx_packet_small[1:0]	O	clk	对应所含数据小于 64 个字节的所有包的递增。不允许传输小于 64 个字节的数据包。
stat_tx_total_bytes[6:0]	O	clk	对应已发射的字节总数的递增。
stat_tx_total_packets[2:0]	O	clk	对应已发射的数据包总数的递增。
stat_tx_total_good_packets	O	clk	对应已发射的有效数据包总数的递增。
stat_tx_total_good_bytes[13:0]	O	clk	对应已发射的有效字节总数的递增。仅当完全发射不含错误的数据包时，该值才为非 0 值。
stat_tx_packet_large	O	clk	对应所含数据超过 9,215 个字节的所有包的递增。
stat_tx_packet_64_bytes	O	clk	对应已发射的有效和无效数据包（含 64 个字节）的递增。
stat_tx_packet_65_127_bytes	O	clk	对应已发射的有效和无效数据包（含 65 到 127 个字节）的递增。
stat_tx_packet_128_255_bytes	O	clk	对应已发射的有效和无效数据包（含 128 到 255 个字节）的递增。

表 C-4：软核 TX OTN 的现有状态信号（续）

名称	I/O	时钟域	描述
stat_tx_packet_256_511_bytes	O	clk	对应已发射的有效和无效数据包（含 256 到 511 个字节）的递增值。
stat_tx_packet_512_1023_bytes	O	clk	对应已发射的有效和无效数据包（含 512 到 1023 个字节）的递增值。
stat_tx_packet_1024_1518_bytes	O	clk	对应已发射的有效和无效数据包（含 1024 到 1518 个字节）的递增值。
stat_tx_packet_1519_1522_bytes	O	clk	对应已发射的有效和无效数据包（含 1519 到 1522 个字节）的递增值。
stat_tx_packet_1523_1548_bytes	O	clk	对应已发射的有效和无效数据包（含 1523 到 1548 个字节）的递增值。
stat_tx_packet_1549_2047_bytes	O	clk	对应已发射的有效和无效数据包（含 1549 到 2047 个字节）的递增值。
stat_tx_packet_2048_4095_bytes	O	clk	对应已发射的有效和无效数据包（含 2048 到 4095 个字节）的递增值。
stat_tx_packet_4096_8191_bytes	O	clk	对应已发射的有效和无效数据包（含 4096 到 8191 个字节）的递增值。
stat_tx_packet_8192_9215_bytes	O	clk	对应已发射的有效和无效数据包（含 8,192 到 9,215 个字节）的递增值。

自动协商和链路训练

自动协商

含链路训练 (LT) 的自动协商 (AN) 是一项 FPGA 互连结构逻辑中实现的可选功能，可在配置时选择使用。图 D-1 中演示了含自动协商和链路训练的核的原理图。

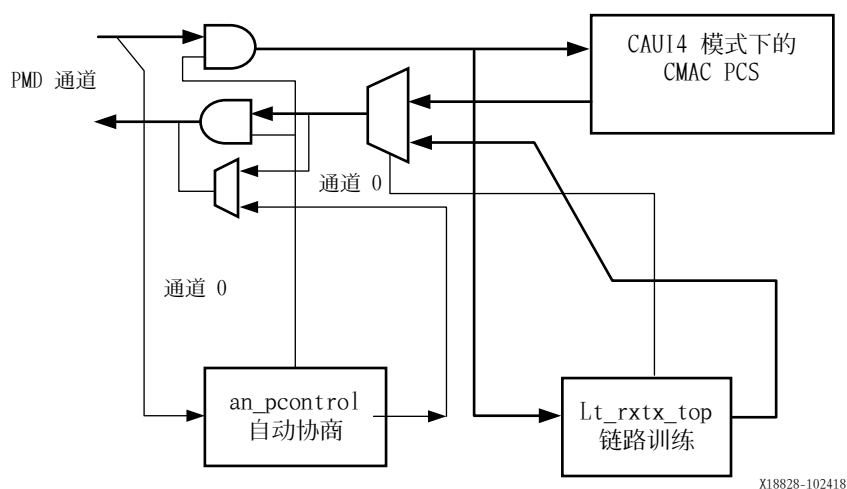


图 D-1: 含自动协商和链路训练的核

自动协商功能支持以太网器件执行下列操作：

- 将其拥有的操作模式播发至位于背板以太网链路远端的其它器件，并
- 检测其它器件可能正在播发的对应操作模式。

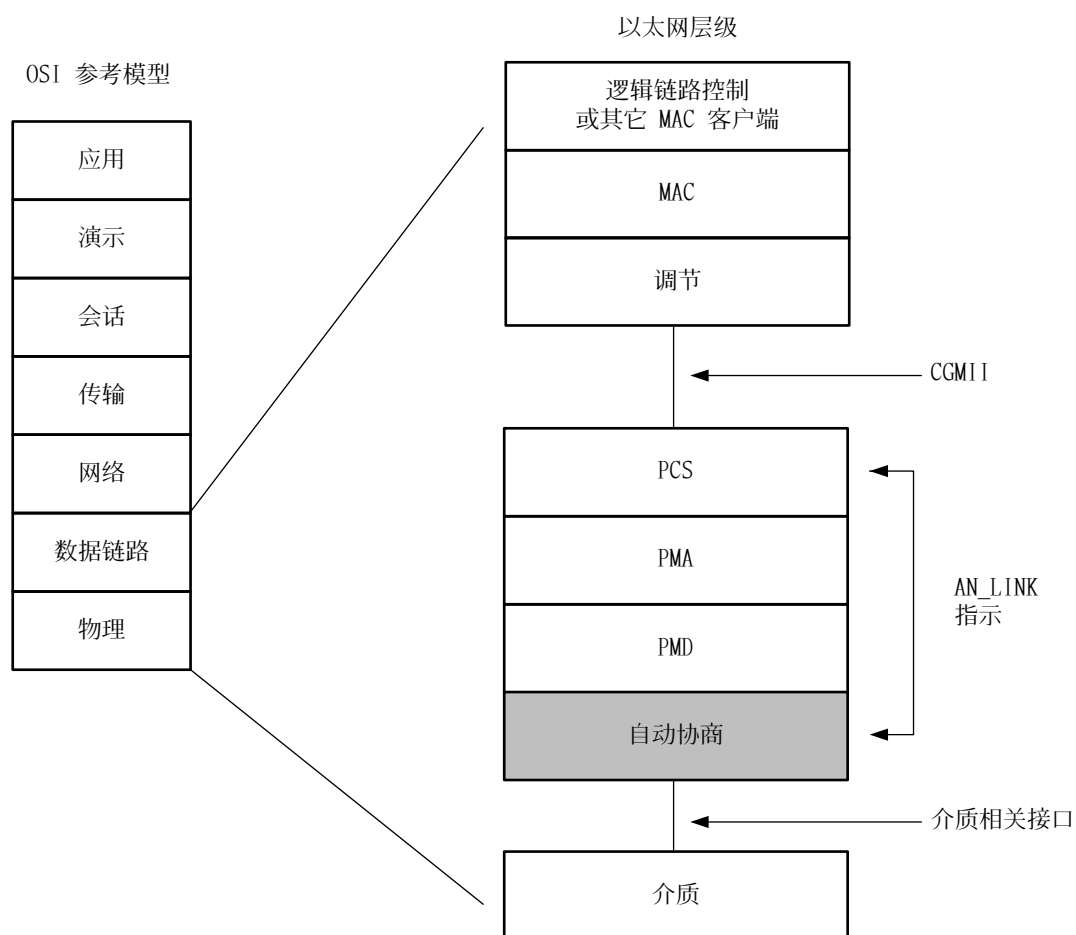
此自动协商功能的目的是提供一条途径，以便在 2 个器件之间交换信息，并自动配置这些器件以充分利用其功能。该功能还支持数字信号检测以确保器件连接到链路合作伙伴，而不是检测因串扰而产生的信号。当自动协商完成后，将根据可用操作模式报告相应的功能。

如果链路两端都支持链路训练功能，则会在自动协商完成后执行链路训练。通常由于数字信号遍历背板可能导致产生频率相关损失，因而需要执行链路训练。该核所包含的链路训练块的主要功能是在背板链路的基础上提供寄存器信息和训练顺序，随后，收发器所包含的接收端电路将对这些信息进行分析。链路训练块的另一项功能是将训练反馈从接收器传递到对应发射器，以便根据需要对其均衡器电路（作为收发器的一部分）进行调整。在此核中不包含决策制定算法。

当自动协商和链路训练完成后，数据路径将切换至任务模式 (PCS)，如图 D-1 中所示。

简介

图 D-2 显示了 OSI 参考模型中自动协商功能的位置。



X18918-102418

图 D-2：OSI 模型中的自动协商

100G Base-KR4 自动协商逻辑核可根据 IEEE 802.3-2015 标准第 73 条中指定的方式来实现其中的要求。自动协商的功能列在第 73 条中，具体来说，这些功能列在第 73.10.4 节“状态图”的“图 73-11 仲裁状态图”中。

正常任务操作期间，通过将链路控制输出设置为 11（二进制），收发器输入和输出的位工作频率通常为 25.78125 Gb/s。但自动协商期间通道上所使用的双曼彻斯特编码 (Dual Manchester Encoding, DME) 比特率与任务模式操作期间所使用的比特率不同。为满足此要求，自动协商核使用过采样和过驱动来使 156.25 Mb/s 自动协商速度（DME 时钟频率 312.5 MHz）与任务模式 25.78125 Gb/s 物理线速相匹配。

每个通道仅执行一次自动协商。因此，按约定，对于多通道以太网协议，使用通道 0 进行自动协商 (AN)。



重要提示：部分协议允许交换通道；但为了正常运行 AN，通道 0 必须连接到链路合作伙伴的通道 0。

功能描述

autoneg_enable

当 `ctl_autoneg_enable` 输入信号设为 1 时，自动协商在下列情况下自动开始执行：在上电时、丢失载波信号时，或者 `ctl_restart_negotiation` 输入信号从 0 到 1 循环时。所有功能 (Ability) 输入信号以及 2 个输入信号（`pause` 和 `asm_dir`）均绑定到低电平或高电平，以便指示硬件功能。针对自动协商器的每个实例，`nonce_seed[7:0]` 输入都必须设置为唯一的非零值。此操作的重要意义在于，保证在上电时不会发生死锁。如果连接在一起的 2 个链路合作伙伴在其 `nonce_seed[7:0]` 输入设置为相同值的情况下尝试自动协商，那么自动协商将连续不断失败。

`ctl_an_pseudo_sel` 输入是一种任意选择方式，用于选择随机位生成器的多项式，此生成器即自动协商期间所用 DME 页面的位元位置 49 中使用的随机位生成器。此输入的任何选择均有效，并且不会导致任何有害行为。

链路控制

当自动协商开始时，将根据各链路的对应功能 (Ability) 输入的处理方法来激活各链路控制信号。因此，ANIPC 硬件将监控对应链路状态信号，以便确认已连接各链路状态。如果特定链路未使用，则对应链路控制输出处于未连接状态，且对应链路状态输入应绑定到低电平。在此期间，AN 会与链路合作伙伴建立通信链路，并使用此链路来协商连接的功能。

自动协商完成

当自动协商完成时，将断言 `stat_an_autoneg_complete` 输出信号有效。此外，如果要使用前向纠错硬件，则会断言 `ctl_an_fec_enable` 输出信号有效；如果允许发射器硬件生成 PAUSE 控制包，则会断言 `ctl_tx_pause_en` 输出信号有效，如果允许接收器硬件检测 PAUSE 控制包，并且所选链路的输出链路控制设置为其任务模式值 11（二进制），则会断言 `ctl_rx_pause_en` 输出信号有效。

自动协商结果不会直接导致接口改变其行为。外部逻辑必须判定功能 (Ability) 信息的使用方式。例如，可将相应的逻辑级别应用于 `ctl_tx_FEC_enable`、`ctl_tx_pause_enable`、`ctl_rx_FEC_enable` 或 `ctl_rx_pause_enable`。

注释：接收到来自 PCS 的 `rx_status` 之后，才会断言 `stat_an_autoneg_complete` 信号有效。这意味着，如果包含链路训练，则完成链路训练之后才会断言 `stat_an_autoneg_complete` 输出信号有效。

链路训练

简介

当自动协商 (AN) 集中到背板或者铜工艺后，才会执行链路训练 (LT)。工艺选择也可以采用手动输入或并行检测方式来完成。由于频率相关损失可能导致需要进行链路培训，而当数字信号遍历背板或铜缆时则可能会发生此类损失。LT IP 核的主要功能是在背板链路的基础上提供寄存器信息和训练顺序，随后，该核范围外的接收端电路将对这些信息进行分析。含 LT 的核的另一项功能是将训练反馈从接收器传递到对应发射器，以便根据需要对其均衡器电路（不包含在此核中）进行调整。组成该核的 2 条电路分别是链路训练接收块和链路训练发射块。

功能描述

发射

LT 发射块会构造 1 个 4,384 位帧，其中包含帧定界符、控制通道和链路训练顺序。图 D-3 中显示了其格式。

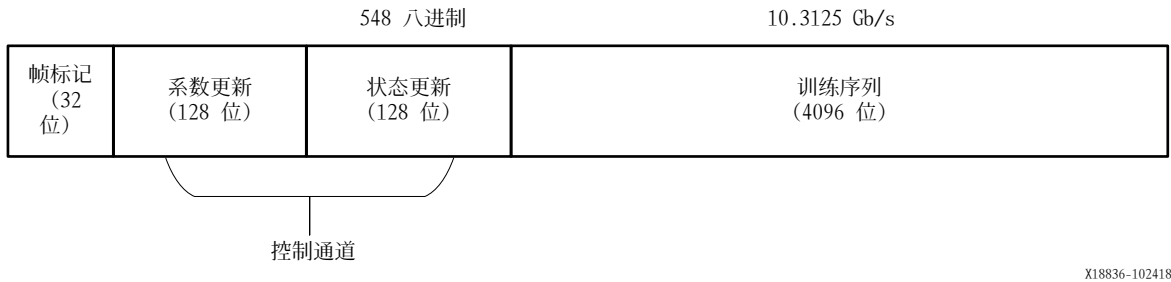


图 D-3：链路训练发射



建议：赛灵思建议不要通过链路训练算法来更改控制通道位，改为由发射状态机来发射这些位，否则接收到的位可能错误，从而可能导致 DME 错误。当断言 tx_SOF 有效时，即开始发射，当至少达到 288 位时间（或者约 30 ns）后，停止发射。

注释：虽然系数和状态的线速率包含 128 位时间，但这 2 个字段的实际信号处理速率将减去 8 的倍数。因此，DME 时钟速率为线速率的四分之一。

帧标记

帧标记包含 16 个连续的 1 后接 16 个连续的 0。在该帧剩余部分中，不会重复此模式。

系数和状态

由于这 2 个字段的 DME 信号处理速率减去 8 的倍数，因此每个系数和状态发射都包含 $128 / 8 = 16$ 位，每个位均按 15-0 的顺序编号。表 D-1 和表 D-2 按这些位的发射顺序（从位 15 开始到位 0 结束）定义这些位。

表 D-1：系数和更新字段位定义

比特	名称	描述
15:14	Reserved	作为 0 发射，接收时忽略。
13	Preset	1 = 预置系数 0 = 正常操作

表 D-1：系数和更新字段位定义（续）

比特	名称	描述
12	Initialize	1 = 初始化系数 0 = 正常操作
11:6	Reserved	作为 0 发射，接收时忽略。
5:4	Coefficient (+1) update	5 4 1 1= 保留 0 1= 递增 1 0= 递减 0 0= 保持
3:2	Coefficient	3 2 1 1= 保留 0 1= 递增 1 0= 递减 0 0= 保持
1:0	Coefficient (-1) update	1 0 1 1= 保留 0 1= 递增 1 0= 递减 0 0= 保持

表 D-2：状态报告字段位定义

比特	名称	描述
15	Receiver ready	1 = 局部接收器已判定训练完成，并且已准备好接收数据。 0 = 局部接收器正在请求训练继续。
14:6	保留	作为 0 发射，接收时忽略。
5:4	Coefficient (+1) update	5 4 1 1= 最大值 0 1= 已更新 1 0= 最小值 0 0= 未更新
3:2	Coefficient (0) update	3 2 1 1= 最大值 0 1= 已更新 1 0= 最小值 0 0= 未更新
1:0	Coefficient (-1) update	1 0 1 1= 最大值 0 1= 已更新 1 0= 最小值 0 0= 未更新

在 IEEE 802.3 第 72 条“72.6.10.2 训练帧结构”中定义了每个位的功能。其用途是在处理链路训练期间传递发射均衡器的调整方式。第 2 章中的“端口描述”中定义了对应的信号名称。

训练顺序

训练顺序由伪随机位元序列 (PRBS) 组成，此序列包含 4094 位后接 2 个 0，共计 4096 位。PRBS 以 10.3125 Gb/s 的线速率进行发射。PRBS 生成器可接收外部来源的 11 位种子。加载初始种子后，PRBS 生成器会继续运行，无需进一步干预。

PRBS 生成器本身通过对应于如下多项式的电路来实现：

$$G(x) = 1 + x^9 + x^{11}$$

接收

接收块用于实现 IEEE 802.3 第 72 条的图 72-4 中所示的帧对齐状态图。

帧锁定状态机

帧锁定状态机用于搜索帧标记，帧标记包含 16 个连续的 1 后接 16 个连续的 0。在 IEEE 802.3 第 72 条的图 72-4 中详细指定了该功能。达成帧锁定时，`frame_lock` 信号的值设为 TRUE。

已接收的数据

接收器用于输出控制通道，其中所含位定义如表 D-1 和表 D-2 中所述。

如果接收特定 DME 帧期间发生 DME 错误，则不会更新控制通道输出，但保留最后一个接收到的有效 DME 帧的值。当接收到下一个有效的 DME 帧时，即更新控制通道输出值。

端口描述

自动协商信号

表 D-3 列出了存在自动协商功能时可用的其它信号。

表 D-3：自动协商信号

名称	I/O	时钟域	描述
<code>ctl_autoneg_enable</code>	I	<code>init_clk</code>	自动协商的启用信号。
<code>ctl_autoneg_bypass</code>	I	<code>init_clk</code>	此输入用于禁用自动协商并绕过自动协商功能。断言此输入有效时，将关闭自动协商，但 PCS 将连接到输出以允许执行操作。
<code>ctl_an_nonce_seed[7:0]</code>	I	<code>init_clk</code>	8 位种子，用于初始化随机数 (nonce) 字段多项式生成器。
<code>ctl_an_pseudo_sel</code>	I	<code>init_clk</code>	选择位 49 随机位生成器的多项式生成器。如果此输入为 1，则多项式为 x^7+x^6+1 。如果此输入为低电平，则多项式为 x^7+x^3+1 。
<code>ctl_restart_negotiation</code>	I	<code>init_clk</code>	此输入用于触发重新启动自动协商，与当前电路状态无关。
<code>ctl_an_local_fault</code>	I	<code>init_clk</code>	此输入信号用于设置发射链路代码字的 <code>local_fault</code> 位。

表 D-3：自动协商信号（续）

名称	I/O	时钟域	描述
用于 PAUSE 功能播发的信号			
ctl_an_pause	I	init_clk	此输入用于设置发射链路代码字的 PAUSE 位 (C0)。
ctl_an_asmdir	I	init_clk	此输入用于设置发射链路代码字的 ASMDIR 位 (C1)。
ctl_an_loc_np	I	init_clk	本地下一页 (Local Next Page) 信号指示符。如果此位为 1，则 ANIPC 会将 loc_np_data 输入处的下一页数据字传输到远程链路合作伙伴。如果此位为 0，则 ANIPC 不会启动下一页协议。如果链路合作伙伴包含多个待发送的下一页信号，并且 loc_np 位已清零，那么 ANIPC 将传输空消息页面。
ctl_an_loc_np_ack	I	init_clk	链路合作伙伴下一页确认信号。此信号用于告知 ANIPC，本地主机已读取位于 lp_np_data 输出管脚处的下一页数据（来自远程链路合作伙伴）。当此信号变为高电平时，表示 ANIPC 确认已接收发送到远程链路合作伙伴的下一页代码字，并启动下一个代码字的传输。在此期间，ANIPC 会移除 lp_np 信号，直至新的下一页信息可用为止。
功能信号输入			
ctl_an_ability_1000base_kx	I	init_clk	这些输入用于识别发射链路代码字中播发到链路合作伙伴的以太网协议功能。值为 1 表示接口支持此协议并播发此信息。
ctl_an_ability_10gbase_kr	I	init_clk	
ctl_an_ability_10gbase_kx4	I	init_clk	
ctl_an_ability_25gbase_krcr	I	init_clk	
ctl_an_ability_25gbase_krcr_s	I	init_clk	
ctl_an_ability_25gbase_kr1	I	init_clk	
ctl_an_ability_25gbase_cr1	I	init_clk	
ctl_an_ability_40gbase_cr4	I	init_clk	
ctl_an_ability_40gbase_kr4	I	init_clk	
ctl_an_ability_50gbase_cr2	I	init_clk	
ctl_an_ability_50gbase_kr2	I	init_clk	
ctl_an_ability_100gbase_cr10	I	init_clk	
ctl_an_ability_100gbase_cr4	I	init_clk	
ctl_an_ability_100gbase_kp4	I	init_clk	
ctl_an_ability_100gbase_kr4	I	init_clk	
ctl_an_cl91_fec_request	I	init_clk	该位用于请求第 91 条 FEC。
ctl_an_cl91_fec_ability	I	init_clk	该位用于指示第 91 条 FEC 的功能。

表 D-3：自动协商信号（续）

名称	I/O	时钟域	描述
stat_an_link_cntl_10gbase_kx4[1:0]	O	init_clk	来自自动协商控制器的链路控制输出。有效设置如下： 00: DISABLE; PCS 断开连接; 01: SCAN_FOR_CARRIER; RX 已连接到 PCS; 11: ENABLE; PCS 已连接，可执行任务模式操作。 "10": 不使用。
stat_an_link_cntl_10gbase_kr[1:0]	O	init_clk	
stat_an_link_cntl_40gbase_kr4[1:0]	O	init_clk	
stat_an_link_cntl_40gbase_cr4[1:0]	O	init_clk	
stat_an_link_cntl_100gbase_cr10[1:0]	O	init_clk	
stat_an_link_cntl_100gbase_kp4[1:0]	O	init_clk	
stat_an_link_cntl_100gbase_kr4[1:0]	O	init_clk	
stat_an_link_cntl_100gbase_cr4[1:0]	O	init_clk	
stat_an_link_cntl_25gbase_krcr_s[1:0]	O	init_clk	
stat_an_link_cntl_25gbase_krcr[1:0]	O	init_clk	
stat_an_link_cntl_25gbase_kr1[1:0]	O	init_clk	
stat_an_link_cntl_25gbase_cr1[1:0]	O	init_clk	
stat_an_link_cntl_50gbase_kr2[1:0]	O	init_clk	
stat_an_link_cntl_50gbase_cr2[1:0]	O	init_clk	
stat_an_fec_enable	O	init_clk	此输出支持在链路上使用第 74 条 FEC。
stat_an_rs_fec_enable	O	init_clk	此输出支持在链路上使用第 91 条 FEC。
stat_an_tx_pause_enable	O	init_clk	此输出支持在发射路径中进行站对站（全局）暂停包生成，以控制接收路径中的数据流。
stat_an_rx_pause_enable	O	init_clk	此输出支持在接收路径中进行站对站（全局）暂停包解释，以控制来自发射器的数据流。
stat_an_autoneg_complete	O	init_clk	此输出指示自动协商已完成，并且已接收到来自 PCS 的 RX 链路状态。
stat_an_parallel_detection_fault	O	init_clk	此输出指示自动协商期间发生并行检测故障。
stat_an_start_tx_disable	O	init_clk	当 ctl_autoneg_enable 为高电平且 ctl_autoneg_bypass 为低电平时，此信号会在自动协商的 TX_DISABLE 阶段开始时在 1 个时钟周期内循环保持高电平。即，当自动协商进入 TX_DISABLE 状态时，此输出将在 1 个时钟周期内保持循环高电平。这样即可有效标示自动协商开始。
stat_an_start_an_good_check	O	init_clk	当 ctl_autoneg_enable 为高电平且 ctl_autoneg_bypass 为低电平时，此信号会在自动协商的 AN_GOOD_CHECK 阶段开始时在 1 个时钟周期内保持循环高电平。即，当自动协商进入 AN_GOOD_CHECK 状态时，此输出将在 1 个时钟周期内保持循环高电平。这样即可有效标示链路训练开始。但如果未启用链路训练，即 ctl_lt_training_enable 为低电平，那么此输出可有效标示任务模式操作开始。

表 D-3：自动协商信号（续）

名称	I/O	时钟域	描述
stat_an_lp_ability_1000base_kx	O	init_clk	这些信号用于指示从链路合作伙伴播发的协议。当断言 stat_an_lp_ability_valid 输出信号有效时，这些信号全部变为有效。值为 1 表示此协议已作为链路合作伙伴支持的协议进行播发。
stat_an_lp_ability_100gbase_cr10	O	init_clk	
stat_an_lp_ability_100gbase_cr4	O	init_clk	
stat_an_lp_ability_100gbase_kp4	O	init_clk	
stat_an_lp_ability_100gbase_kr4	O	init_clk	
stat_an_lp_ability_10gbase_kr	O	init_clk	
stat_an_lp_ability_10gbase_kx4	O	init_clk	
stat_an_lp_ability_25gbase_krcr	O	init_clk	
stat_an_lp_ability_25gbase_krcr_s	O	init_clk	
stat_an_lp_ability_25gbase_kr1	O	init_clk	
stat_an_lp_ability_25gbase_cr1	O	init_clk	
stat_an_lp_ability_40gbase_cr4	O	init_clk	
stat_an_lp_ability_40gbase_kr4	O	init_clk	
stat_an_lp_ability_50gbase_kr2	O	init_clk	
stat_an_lp_ability_50gbase_cr2	O	init_clk	
stat_an_lp_pause	O	init_clk	此信号用于指示来自链路合作伙伴的接收链路代码字的 PAUSE 位 (C0) 的播发值。当断言 stat_an_lp_ability_valid 输出信号有效时，此信号即变为有效。
stat_an_lp_asm_dir	O	init_clk	此信号用于指示来自链路合作伙伴的接收链路代码字的 ASMDIR 位 (C1) 的播发值。当断言 stat_an_lp_ability_valid 输出信号有效时，此信号即变为有效。
stat_an_lp_rf	O	init_clk	此位用于指示链路合作伙伴远程故障。
stat_an_lp_fec_10g_ability	O	init_clk	此信号用于指示与链路合作伙伴正在播发的 10Gb/s 通道协议相关联的第 74 条 FEC 功能。当断言 stat_an_lp_ability_valid 输出信号有效时，此信号即变为有效。
stat_an_lp_fec_10g_request	O	init_clk	此信号用于指示链路合作伙伴正在请求 10 Gb/s 通道协议上使用的第 74 条 FEC。当断言 stat_an_lp_ability_valid 输出信号有效时，此信号即变为有效。
stat_an_lp_fec_25g_rs_request	O	init_clk	此信号用于指示链路合作伙伴正在请求 25 Gb/s 通道协议上使用的第 91 条 RS FEC。当断言 stat_an_lp_ability_valid 输出信号有效时，此信号即变为有效。
stat_an_lp_fec_25_baser_request	O	init_clk	此信号用于指示链路合作伙伴正在请求用于 25 Gb/s 通道 BASE-R 协议的第 74 条 FEC。当断言 stat_an_lp_ability_valid 输出信号有效时，此信号即变为有效。
stat_an_lp_autoneg_able	O	init_clk	此信号用于指示链路合作伙伴可执行自动协商。当断言 stat_an_lp_ability_valid 输出信号有效时，此信号即变为有效。
stat_an_lp_ability_valid	O	init_clk	此信号用于指示何时所有链路合作伙伴播发将变为有效。

表 D-3：自动协商信号（续）

名称	I/O	时钟域	描述
stat_an_loc_np_ack	O	init_clk	此信号可指示用于接收 loc_np_data 输入管脚上显示的本地下一页数据的本地主机。当自动协商核逻辑对 loc_np_data 输入管脚上的下一页数据进行采样时，此信号将脉冲至高电平并保持 1 个时钟周期。当本地主机检测到此信号为高电平时，它必须将位于 loc_np_data 输入管脚处的 48 位下一页代码字替换为要发送的下一个 48 位代码字。如果本地主机没有其它下一页要发送，则它必须将 loc_np 输入清零。
stat_an_lp_np	O	init_clk	链路合作伙伴下一页信号。此信号用于指示在 lp_np_data 输出管脚处存在来自远程链路合作伙伴的有效的 48 位下一页代码字。当 lp_np_ack 输入信号被驱动至高电平时，此信号将被驱动至低电平，表示本地主机已读取下一页数据。它将保持低电平，直至在 lp_np_data 输出管脚上下一个代码字变为可用为止，届时 lp_np_output 将被重新驱动至高电平。
stat_an_rxcdrhold	O	init_clk	用于指示 RX CDR Hold 信号。
stat_an_lp_ability_extended_fec[3:0]	O	init_clk	此输出用于指示 FEC 扩展功能。
stat_an_lp_extended_ability_valid	O	init_clk	当该位为 1 时，表示检测到的扩展功能有效。
an_loc_np_data[47:0]	I	init_clk	本地下一页代码字。这是设置 loc_np 输入的情况下所使用的 48 位代码字。在此数据字段中，位 NP、ACK 和 T 以及位元位置 15、14、12 和 11 将不会随下一页代码字一起传输。这些位将在自动协商核逻辑中生成。但位元位置 13 处的消息协议位 MP 将进行传输。
an_lp_np_data[47:0]	O	init_clk	链路合作伙伴下一页数据信号。此 48 位数据字由自动协商核逻辑驱动，此逻辑包含来自远程链路合作伙伴的 48 位下一页代码字。

链路训练信号

表 D-4 描述了存在链路训练功能时可用的其它信号。

表 D-4：链路训练信号

名称	I/O	时钟域	描述
ctl_lt_training_enable	I	tx_serdes_clk	启用链路训练。禁用链路训练时，所有 PCS 通道都以任务模式进行操作。
ctl_lt_restart_training	I	tx_serdes_clk	此信号用于触发重新启动链路训练，与当前状态无关。
ctl_lt_rx_trained[3:0]	I	tx_serdes_clk	此信号断言有效即可指示接收器有限脉冲响应 (FIR) 滤波器系数已全部设置完成，并且训练的接收器部分已完成。
ctl_lt_preset_to_tx[3:0]	I	tx_serdes_clk	此信号用于设置预置位的值，该位用于发射到训练帧的控制块中的链路合作伙伴。
ctl_lt_initialize_to_tx[3:0]	I	tx_serdes_clk	此信号用于设置初始位的值，该位用于发射到训练帧的控制块中的链路合作伙伴。
ctl_lt_pseudo_seed0[10:0] ctl_lt_pseudo_seed1[10:0] ctl_lt_pseudo_seed2[10:0] ctl_lt_pseudo_seed3[10:0]	I	tx_serdes_clk	此 11 位信号用于生成训练模式生成器的种子。

表 D-4：链路训练信号（续）

名称	I/O	时钟域	描述
ctl_lt_k_p1_to_tx0[1:0] ctl_lt_k_p1_to_tx1[1:0] ctl_lt_k_p1_to_tx2[1:0] ctl_lt_k_p1_to_tx3[1:0]	I	tx_serdes_clk	此 2 位字段用于设置 k+1 系数更新字段的值，该字段用于发送到训练帧的控制块中的链路合作伙伴。
ctl_lt_k0_to_tx0[1:0] ctl_lt_k0_to_tx1[1:0] ctl_lt_k0_to_tx2[1:0] ctl_lt_k0_to_tx3[1:0]	I	tx_serdes_clk	此 2 位字段用于设置 k0 系数更新字段的值，该字段用于发送到训练帧的控制块中的链路合作伙伴。
ctl_lt_k_m1_to_tx0[1:0] ctl_lt_k_m1_to_tx1[1:0] ctl_lt_k_m1_to_tx2[1:0] ctl_lt_k_m1_to_tx3[1:0]	I	tx_serdes_clk	此 2 位字段用于设置 k-1 系数更新字段的值，该字段用于发送到训练帧的控制块中的链路合作伙伴。
ctl_lt_stat_p1_to_tx0[1:0] ctl_lt_stat_p1_to_tx1[1:0] ctl_lt_stat_p1_to_tx2[1:0] ctl_lt_stat_p1_to_tx3[1:0]	I	tx_serdes_clk	此 2 位字段用于设置 k+1 系数更新状态的值，该状态用于发送到训练帧的状态块中的链路合作伙伴。
ctl_lt_stat0_to_tx0[1:0] ctl_lt_stat0_to_tx1[1:0] ctl_lt_stat0_to_tx2[1:0] ctl_lt_stat0_to_tx3[1:0]	I	tx_serdes_clk	此 2 位字段用于设置 k0 系数更新状态的值，该状态用于发送到训练帧的状态块中的链路合作伙伴。
ctl_lt_stat_m1_to_tx0[1:0] ctl_lt_stat_m1_to_tx1[1:0] ctl_lt_stat_m1_to_tx2[1:0] ctl_lt_stat_m1_to_tx3[1:0]	I	tx_serdes_clk	此 2 位字段用于设置 k-1 系数更新状态的值，该状态用于发送到训练帧的状态块中的链路合作伙伴。
stat_lt_signal_detect[3:0]	O	rx_serdes_clk	此信号用于指示何时相应的链路训练状态机已进入 SEND_DATA 状态，在此状态下即可恢复正常 PCS 操作。
stat_lt_training[3:0]	O	rx_serdes_clk	此信号用于指示何时相应的链路训练状态机正在执行链路训练。
stat_lt_training_fail[3:0]	O	rx_serdes_clk	此信号在链路训练期间断言有效，前提是对应的链路训练状态机在训练周期期间检测到超时。
stat_lt_rx_sof[3:0]	O	rx_serdes_clk	此输出将在 1 个 RX SerDes 时钟周期内保持高电平，以指示链路训练帧开始。
stat_lt_frame_lock[3:0]	O	rx_serdes_clk	当链路训练已开始后，将针对每个物理介质相关 (PMD) 通道断言这些信号有效，前提是对应的链路训练接收器能够与链路合作伙伴建立帧同步。
stat_lt_preset_from_rx[3:0]	O	rx_serdes_clk	此信号用于反映从控制块中的链路合作伙伴接收到的预置控制位的值。
stat_lt_initialize_from_rx[3:0]	O	rx_serdes_clk	此信号用于反映从控制块中的链路合作伙伴接收到的初始化控制位的值。

表 D-4：链路训练信号（续）

名称	I/O	时钟域	描述
stat_lt_k_p1_from_rx0[1:0] stat_lt_k_p1_from_rx1[1:0] stat_lt_k_p1_from_rx2[1:0] stat_lt_k_p1_from_rx3[1:0]	O	rx_serdes_clk	此 2 位字段用于指示从控制块中的链路合作伙伴接收到的 k+1 系数的更新控制位。
stat_lt_k0_from_rx0[1:0] stat_lt_k0_from_rx1[1:0] stat_lt_k0_from_rx2[1:0] stat_lt_k0_from_rx3[1:0]	O	rx_serdes_clk	此 2 位字段用于指示从控制块中的链路合作伙伴接收到的 k0 系数的更新控制位。
stat_lt_k_m1_from_rx0[1:0] stat_lt_k_m1_from_rx1[1:0] stat_lt_k_m1_from_rx2[1:0] stat_lt_k_m1_from_rx3[1:0]	O	rx_serdes_clk	此 2 位字段用于指示从控制块中的链路合作伙伴接收到的 k-1 系数的更新控制位。
stat_lt_stat_p1_from_rx0[1:0] stat_lt_stat_p1_from_rx1[1:0] stat_lt_stat_p1_from_rx2[1:0] stat_lt_stat_p1_from_rx3[1:0]	O	rx_serdes_clk	此 2 位字段用于指示从状态块中的链路合作伙伴接收到的 k+1 系数的更新状态位。
stat_lt_stat0_from_rx0[1:0] stat_lt_stat0_from_rx1[1:0] stat_lt_stat0_from_rx2[1:0] stat_lt_stat0_from_rx3[1:0]	O	rx_serdes_clk	此 2 位字段用于指示从状态块中的链路合作伙伴接收到的 k0 系数的更新状态位。
stat_lt_stat_m1_from_rx0[1:0] stat_lt_stat_m1_from_rx1[1:0] stat_lt_stat_m1_from_rx2[1:0] stat_lt_stat_m1_from_rx3[1:0]	O	rx_serdes_clk	此 2 位字段用于指示从状态块中的链路合作伙伴接收到的 k-1 系数的更新状态位。
lt_tx_sof[3:0]	O	tx_serdes_clk	这是链路训练信号，在每个训练帧开始后的 1 个 tx_serdes_clk 周期内，此信号将断言有效。此信号是为需要计算训练帧数量或者需要将事件同步至训练帧的输出的应用而提供的。

含 AXI4-Lite 接口的自动协商和链路训练的验证步骤

- 根据要求写入功能寄存器 “CONFIGURATION_AN_ABILITY”。例如：写入的值为“0x1E0”。
- 写入 “CONFIGURATION_AN_CONTROL_REG1” 寄存器的值包含随机数种子值并启用 ctl_autoneg_enable 位。例如，写入的值为“0x16D”。
- 要启用含相应 FEC 播发值的 next_page 信息，请将值 0x09C0000 写入 “CONFIGURATION_AN_CONTROL_REG2” 寄存器。
- 写入链路训练的 “CONFIGURATION_LT_CONTROL_REG1” 控制信号，以启用链路训练选项。例如，写入的值为“0x1”。
- 将种子值写入 “CONFIGURATION_LT_SEED_REG0” 寄存器。例如，写入的值为“0x06070605”。
- 将种子值写入 “CONFIGURATION_LT_SEED_REG1” 寄存器。例如，写入的值为“0x06110609”。
- 将用于占位符逻辑的部分系数值写入 “CONFIGURATION_LT_COEFFICIENT_REG0” 寄存器。例如，写入的值为“0x05400540”。
- 将用于占位符逻辑的部分系数值写入 “CONFIGURATION_LT_COEFFICIENT_REG1” 寄存器。例如，写入的值为“0x05400540”。
- 发出 sys_reset 以便自动协商块读取更新后的随机数种子值。

从 UltraScale 到 UltraScale+ 的 FPGA 增强功能

UltraScale+™ Integrated 100G Ethernet IP 衍生自 UltraScale™ Integrated 100G Ethernet IP（欲知详情，请参阅 PG165 [参照 7]），提供了一些增强功能并进行了一些次要修订，如本附录中所述。

UltraScale+ Integrated 100G Ethernet IP 中的增强功能

- 新增 Reed Solomon 前向纠错 (RS-FEC) 集成块，包括转码旁路模式。
- 新增对应可编程包间隔 (IPG) 的支持。
- 新增对应定制前导码的支持。
- 新增对应超频的支持。请参阅《Virtex UltraScale+ FPGA 数据手册：DC 和 AC 开关特性》[参照 4]，以了解受支持的线速率。
 - -2 及更高等级下支持 CMAC CAUI-10 10x12.5G。
 - -3 及更高等级下支持 CMAC CAUI-4（含 RS-FEC 4x31.25G）。
- 在所有输入上新增寄存器以便实现时序收敛。
- 新增适用于安全 IP 的标准单元的行为代码以帮助加速仿真。

修订

- 不同架构间的 DRP 地址不同。请参阅表 3-8 以查看 UltraScale+ FPGA 中的 Integrated 100G Ethernet MAC 的 DRP 地址映射。

升级

本附录不适用于该版本的核，因为其中不含端口或参数更改。

调试

本附录包含有关赛灵思支持网站和调试工具上可用资源的详细信息。

在 Xilinx.com 上寻求帮助

为了帮助您在使用 100G Ethernet IP 核时完成设计和调试进程，[赛灵思支持网页](#)上提供了大量关键资源，如产品文档、版本说明、答复记录、已知问题相关信息以及如何获取进一步产品支持的链接。

文档

本产品指南是与 Integrated 100G Ethernet 相关的主要文件。本指南以及有助于设计进程的所有产品相关文档都可以在[赛灵思支持网页](#)上找到，也可以通过赛灵思 Documentation Navigator 来获取。

通过[下载页面](#)可下载赛灵思 Documentation Navigator。如需了解此工具和可用功能的详细信息，请在安装后打开联机帮助。

解决方案中心

如需获取设计周期各阶段有关器件、设计工具和 IP 等的技术支持，请参阅[赛灵思解决方案中心](#)。相关专题包括设计辅助、建议和故障排除提示等。

对应 Integrated 100G Ethernet 的解决方案中心为[赛灵思 Ethernet IP 解决方案中心](#)。

答复记录

答复记录包括有关常见问题的信息、有关如何解决这些问题的实用信息以及有关赛灵思产品的所有已知问题。我们每天都会创建和维护答复记录，确保用户可以获取最准确的信息。

您可以通过[赛灵思支持网页](#)（主页）上的“搜索支持”框找到此核的答复记录。要最大程度扩展搜索结果范围，请使用适当的关键词，例如：

- 产品名称
- 工具消息
- 所遇到问题的摘要

返回结果后，可以使用过滤器搜索来进一步定位结果。

Integrated 100G Ethernet 的主答复记录

AR: [67395](#)

联系技术支持

赛灵思在[赛灵思支持网页](#)上为此 LogiCORE™ IP 产品提供了技术支持，前提是用户按产品文档中所述方式使用该产品。如果您执行以下任何操作，则赛灵思无法保证产品时序和功能的正常运行，也无法保证提供相应支持：

- 在文档中未定义的器件中实现解决方案。
- 超出产品文档中允许的范围自定义解决方案。
- 更改设计中任何标记有“DO NOT MODIFY”的部分。

要联系赛灵思技术支持，请导航至[赛灵思支持网页](#)。

调试工具

Vivado Design Suite 调试功能

Vivado® Design Suite 调试功能可以将逻辑分析器和虚拟 I/O 核直接插入到您的设计中。调试功能还支持您设置触发条件，以便在硬件中捕获应用和集成块端口信号。随后，您便可对捕获的信号进行分析。Vivado IDE 中的这个功能可用来对在赛灵思器件中运行的设计进行逻辑调试和验证。

Vivado 逻辑分析器可搭配下列逻辑调试 IP 核一起使用：

- ILA 2.0（及更高版本）
- VIO 2.0（及更高版本）

请参阅《Vivado Design Suite 用户指南：编程和调试》(UG908) [参照 13]。

仿真调试

100G Ethernet IP 核设计示例包含仿真测试激励文件样本。其中包括从用户接口的 TX 侧环回、通过 TX 电路、环回到 RX 电路并检查用户接口的 RX 侧接收到的数据包。

本章包含有关根据脚本进行操作时仿真无法正常运行的情况下应检查的各项问题的详细信息。

仿真缓慢

在某些情况下，仿真可能看上去运行较为缓慢。如果仿真太慢而难以接受，以下建议有助于提升运行时间性能。

- 使用含更多内存、运行速度更快的计算机。
- 使用平台负载共享工具 (LSF)（如果可用）。
- 绕过赛灵思收发器（可能需要您创建自己的测试激励文件）。
- 减少发送的数据包的数量。此操作可通过修改提供的测试激励文件样本中的相应参数来实现。
- 缩短对齐标记之间指定的时间。这样应可缩短通道对齐阶段所耗的时间，但是会造成开销增加。但在硬件中实现 100G Ethernet IP 核时，对齐标记之间的距离应遵循规格建议（间隔 16,383 个数据字）。如需了解更多信息，请参阅第 5 章中的“仿真加速”。

仿真失败且未完成

如果仿真样本在成功完成前即失败并挂起，那么可能发生了超时。请确保针对仿真超时所设置的值足以容纳仿真等待时间段，例如，在通道对齐阶段期间的时间段。

仿真完成但失败

如果仿真样本可完成但失败，请联系[赛灵思技术支持](#)。该测试将正常成功完成。请参阅仿真样本日志文件，以确认仿真行为是否符合期望的行为。

自动协商和链路训练调试

要启用自动协商，请执行以下操作：

- 将 `ctl_autoneg_enable` 设为 1。
- 将 `ctl_autoneg_bypass` 设为 0。
- 将 `ctl_an_*` 设为播发期望的 AN 设置。

使用控制和状态接口时，设计示例会将 `ctl_an_*` 值绑定到有效设置。如果使用的是寄存器接口，请参阅[附录 D：自动协商和链路训练](#)以了解寄存器顺序。

要启用链路训练，请执行以下操作：

- 将 `ctl_lt_training_enable` 设为 0。

注释：这样核不会执行任何训练。它仅提供第 72.6.10 条所需的控制协议。训练算法由用户负责。

该核不会监控 RX 眼，也不会向链路合作伙伴 TX 发送任何预置、初始化或系数控制请求。建议将 `ctl_lt_rx_trained` 设为 1。设置 `ctl_lt_rx_trained` 即可告知链路合作伙伴您的 RX 训练已完成，并且将不再发送任何预置、初始化或系数更改。

该核不会对任何 GT TX 波幅或系数控制设置进行调整以响应从链路合作伙伴接收到的训练消息。设计示例链路训练占位符逻辑可指示何时已达到最大限制。这样应可允许链路训练成功完成。

随机数种子值

`nonce_seed` 参数必须设置为非零值。如果要连接同一开发板上含相同随机数种子的 2 个端口，那么复位释放时间必须不同。

如果 `nonce_seed` 发生更改，则需通过 `an_reset` 信号加载新的值。这包括需使用 AXI4-Lite 寄存器来更改 `nonce_seed` 的值。

下一页信号

如果链路合作伙伴发送下一页信号，`ctl_an_loc_np_ack` 必须设置为高电平，以确认下一页信号并允许自动协商完成操作。接收到下一页信号后，此控制信号即可设置为高电平，或者，它可始终保持高电平。

阶段和状态信号

1. 启动 AN 时处于 TX 禁用状态，不显示任何数据，这样可以确保两端链路均处于断开状态。
`stat_an_start_tx_disable` 信号将进行切换并保持 1 个周期，以指示此阶段开始。
2. TX 禁用状态后，将交换 AN 信息。在此阶段中，`stat_an_rxcdrhold` 保持高电平。
`stat_an_lp_autoneg_able` 和 `stat_an_lp_ability_valid` 信号将切换至高电平并保持 1 个时钟周期，以指示何时 `stat_an_lp*` 信息有效。
3. 链路训练开始时，`stat_an_start_an_good_check` 信号将切换至高电平并保持 1 个时钟周期。
`stat_an_rxcdrhold` 信号将断言无效，并切换 `gtwiz_reset_rx_datapath`。
4. 链路训练开始后，将采用 500 毫秒定时器来执行训练和块锁定、以任务模式建立连接并完成正常 PCS 操作，否则 AN 将重新启动。当链路训练完成帧同步后，`stat_lt_frame_lock` 信号会变为高电平，并且 `stat_lt_rx_sof` 信号将进行切换。在训练帧边界处，`stat_lt_rx_sof` 信号将继续切换至高电平，并保持 1 个时钟周期。
5. 当链路训练完成后，将断言 `stat_lt_signal_detect` 信号有效。这将指示开始正常 PCS 操作。
6. 当块锁定、同步和（在多通道核情况下）对齐完成后，`an_autoneg_complete` 信号将转至高电平。
`stat_rx_status` 和 `stat_rx_valid_ctrl_code` 信号将转至高电平。
注释：`stat_rx_valid_ctrl_code` 信号仅适用于单通道 10G/25G 核。
7. `an_autoneg_complete` 信号必须在达到 500 毫秒超时前转至高电平。否则 AN 将重新启动。无论何时，只要 `stat_rx_status` 信号重新变为低电平，AN 就会重新启动。

仿真与环回

自动协商 TX 禁用状态需耗时 50 毫秒才能完成仿真。使用不含预编译的 IP 库的 `SIM_SPEED_UP` 选项可缩短等待时间。请参阅 [AR 73518](#)，以获取有关关闭预编译库的更多信息。

自动协商无法在环回过程中完成，因为它要求从链路合作伙伴接收到的随机数值必须与发送给链路合作伙伴的随机数值不同。

可添加到 ILA 以供调试的信号列表如下所示：

- sys_reset
- an_reset
- ctl_an_*
- ctl_lt_*
- stat_an_start_tx_disable
- stat_an_cdrhold
- stat_an_lp_autoneg_able
- stat_an_lp_ability_valid
- stat_an_start_an_good_check
- stat_lt_frame_lock
- stat_lt_signal_detect
- stat_lt_link_training
- stat_lt_link_training_fail
- stat_rx_block_lock
- stat_rx_synced（仅在多通道核上可用）
- stat_rx_aligned（仅在多通道核上可用）
- stat_rx_valid_ctrl_code（仅在 10G/25G 核上可用）
- stat_rx_status
- stat_rx_bad_code
- stat_rx_hi_ber

如果使用的线速率支持第 74 条法尔码 FEC，则此信号列表如下：

- stat_fec_inc_cant_correct_count
- stat_fec_lock_error
- stat_fec_rx_lock
- stat_fec_inc_correct_count
- ctl_an_fec_10g_request
- ctl_fec_rx_enable
- ctl_fec_tx_enable
- stat_an_fec_enable
- stat_an_lp_fec_10g_ability
- stat_an_lp_fec_10g_request

如果使用的线速率支持 RS-FEC，则此信号列表如下：

- ctl_tx_rsfec_enable
- ctl_rx_rsfec_enable
- stat_rx_rsfec_am_lock
- stat_an_rs_fec_enable

使用 AXI4-Lite 接口调试自动协商和链路训练

请参阅附录 D：含 AXI4-Lite 接口的自动协商和链路训练的验证步骤以获取相关信息。

硬件调试

硬件问题各不相同，可能是链路初始化问题，也可能是测试数小时后才能注意到的问题。本节提供了常见问题的调试步骤。

一般检查

确保来自设计示例的所有核时序约束均已正确完成整合，并且在实现期间满足所有约束条件。

- 在布局布线后的时序仿真中是否能够正常工作？如果在硬件中发现问题，但在时序仿真中没有出现问题，则可能表示存在 PCB 问题。确保所有时钟源都已清理完成且处于活动状态。
- 如果在设计中使用 MMCM，请通过监控 `locked` 端口来确保所有 MMCM 都获得了锁定。

以太网专用检查

首次硬件测试期间可能会发生许多问题。本章详述了调试过程。其中假定 100G Ethernet IP 核已成功通过硬件中要实现的所有仿真测试。这是执行任何种类的硬件调试的先决条件。

以下操作顺序有助于确定以太网特有的问题：

1. 清理“信号完整性”。
2. 确保每个 SerDes 均可实现 CDR 锁定。
3. 检查每个通道是否都已实现字对齐。
4. 检查是否已实现通道对齐。
5. 继续执行“接口调试”和“协议调试”。

信号完整性

如果首次执行开发板初始化，并且 100G Ethernet IP 核似乎尚未实现通道对齐，那么问题很可能源于信号完整性。必须先解决信号完整性问题，然后才能执行任何其它调试操作。

即使已达成通道对齐，周期性 BIP8 错误仍会造成信号完整性问题。请检查 BIP8 信号以辅助执行调试。



重要提示：假定 PCB 本身是根据所需的走线阻抗和走线长度（包括 IEEE 802.3 规范中规定的偏差要求）设计和制造的。

信号完整性应与 100G Ethernet IP 核分开，单独进行调试。应执行如下检查：

- 收发器设置
- 检查噪声
- 误码率测试

如需帮助进行收发器和信号完整性调试，请联系[赛灵思技术支持](#)。

通道交换

在以太网中，物理通道可进行交换，协议将按正确方式完成通道对齐。因此，通道交换应该不会导致任何问题。

N/P 交换

如果差分信号的正负信号进行交换，则在此通道上将无法正确接收数据。请验证每个链路中的每个差分对的极性是否正确。

时钟设置和复位

请参阅第 3 章中的“时钟”和第 3 章中的“复位”以查看这些要求。

确保 100G Ethernet IP 核与赛灵思收发器参考时钟的时钟频率与对 IP 核进行排序时所请求的配置相匹配。核时钟具有与之关联的最小频率。最大核时钟频率则由时序约束来确定。最小核时钟频率衍生自所需的以太网带宽加上为时钟容限、时钟漂移和时钟抖动所保留的裕度。

调试期间首先需要验证的是确保复位保持断言有效，直至时钟稳定为止。时钟频率必须稳定并且不含毛刺，随后才能使 100G Ethernet IP 核脱离复位。此要求适用于 SerDes 时钟和 IP 核时钟。

如果后续在时钟上检测到任何不稳定现象，则 100G Ethernet IP 核必须复位。此类不稳定现象的示例之一是 CDR 锁定丢失。用户逻辑应判定需要复位的所有外部条件（例如，时钟毛刺、CDR 锁定丢失或电源毛刺）。

当串行数据变为有效后，GT 需 GTRXRESET 以确保对数据施加正确的 CDR 锁定。当电缆拔出并重新插入后，或者当链路合作伙伴上电或复位后，必须执行此操作。在核级别，为了避免链路 TX 侧发生中断，可使用 `gtwiz_reset_rx_datapath` 触发复位。可通过对光学模块信号丢失使用信号检测或反相（如果可用）来触发复位。如果信号检测或信号丢失不可用，则可添加超时逻辑以监控对齐是否尚未完成，并发出 `gtwiz_reset_rx_datapath` 复位。

除非 IP 核已复位，否则无法执行配置更改。配置更改的示例包括更改最大数据包长度设置。检查端口列表上特定信号的描述，以判定此要求是否适用于要更改的参数（表 2-2）。

接口调试

100G Ethernet IP 核用户接口为分段式 LBUS（局部总线）。本章详述了 TX 和 RX 接口的调试信息。

TX 调试

TX 调试是使用多个诊断信号来辅助完成的。如需了解更多详情，请参阅表 2-2。

数据必须写入 TX LBUS 以避免出现上溢或下溢状况。

LBUS 带宽必须始终大于以太网带宽，以避免数据发送发生中断。

将数据写入 LBUS 时，必须始终对 `tx_rdyout` 信号进行观测。此信号用于指示 TX 缓存的填充级别是否在可接受范围内。如果此信号曾断言有效，则必须停止写入 TX LBUS 直至断言此信号无效为止。由于 TX LBUS 带宽大于 TX 以太网接口，因此，此信号被断言有效是很常见的现象，无需担心。当断言 `tx_rdyout` 有效时，必须确保停止 TX 写入。

`tx_rdyout` 变为断言有效的级别由预设阈值来设置。



重要提示：如果忽略 `tx_rdyout`，则可能已断言 `tx_ovfout` 信号有效，表明存在缓存上溢。应避免出现此现象。赛灵思建议，如果断言 `tx_ovfout` 有效，则应将核复位。当 `tx_ovfout` 已断言有效后，请勿尝试继续调试，直至导致上溢的原因得到解决为止。

在 TX 方向上开始包数据传输事务后，它必须持续运行直至完成，否则可能出现缓存下溢（以 `stat_tx_underflow_err` 信号来标示）。不允许出现此状况。在 TX LBUS 上写入数据时不得发生中断。以太网数据包必须自始至终存在于线上，不得存在间隙或空闲。如果断言 `stat_tx_underflow_err` 有效，则调试必须停止，直至导致下溢的问题得到解决为止。

RX 调试

请参阅表 2-2 中的端口列表，以获取可用于 RX 调试的诊断信号的完整描述。

如果根据 802.3 协议正确执行以太网数据包传输，则不应存在 RX 错误。但必须首先验证接收到的信号的信号完整性。

`stat_rx_bip_err` 信号可为每个通道提供信号完整性指示。根据 802.3 协议，当误码率过高时，`stat_rx_hi_ber` 信号将断言有效。阈值为 $BER = 10^{-4}$ 。

为帮助调试，可在收发器级别执行局部环回。这样会将 TX SerDes 连接到 RX SerDes 并绕过潜在的信号完整性问题。接收到的数据可与发射的数据包进行对比检查，以验证逻辑是否正常运行。

协议调试

要使 100G Ethernet IP 核实现无错数据传输，应遵循 802.3 规范进行操作。请注意，应始终首先确保信号完整性，然后再继续进行协议调试。

对齐标记间隔

根据 802.3 规格，针对 TX 和 RX，对齐标记间隔都应设置为 16,383。请检查链路两端是否都编程为该值。

诊断信号

有许多错误指示可用于检查是否存在协议违例。请仔细阅读每项指示的描述，查看它是否适用于特定调试问题。如需了解更多详情，请参阅[表 2-2](#)。

以下是建议的调试顺序。

1. 请确保已实现字同步。
2. 请确保已实现通道同步（所使用的通道标记对齐字间隔为 16,383 个字）。
3. 验证 BIP8 指示符是否已清零。
4. 确保不存在解扰器错误。
5. 消除 CRC32 错误（如果有）。
6. 确保正确遵循 LBUS 协议进行操作。
7. 确保发送数据包时不存在上溢或下溢状况。

统计数据计数器

实现无错通信时，可监控统计数据指示符以确保流量特性符合期望。部分信号仅为选通，即计数器不包含在核中。这样即可对计数器大小进行自定义。计数器为可选。

附加资源与法律声明

赛灵思资源

如需了解答复记录、技术文档、下载以及论坛等支持性资源，请参阅[赛灵思技术支持](#)。

Documentation Navigator 与设计中心

赛灵思 Documentation Navigator (DocNav) 提供了访问赛灵思文档、视频和支持资源的渠道，您可以在其中筛选搜索信息。打开 DocNav 的方法：

- 在 Vivado IDE 中，单击“Help > Documentation and Tutorials”。
- 在 Windows 中，单击“Start > All Programs > Xilinx Design Tools > DocNav”。
- 在 Linux 命令提示中输入 docnav。

赛灵思设计中心 (Xilinx Design Hubs) 提供了根据设计任务和其它话题整理的文档链接，您可以使用这些链接了解关键概念以及常见问题解答。要访问设计中心，请执行以下操作：

- 在 DocNav 中，单击“Design Hubs View”视图。
- 在赛灵思网站上，请参阅[设计中心](#)页面。

注释：如需了解有关 Documentation Navigator 的更多信息，请参阅赛灵思网站上的 [Documentation Navigator](#) 页面。

参考资料

以下技术文档是非常实用的补充资料，可配合本产品指南一起使用：

1. IEEE 1588-2008 (<http://standards.ieee.org/findstds/standard/1588-2008.html>)
2. IEEE 802.3-2012 标准 (<http://standards.ieee.org/findstds/standard/802.3-2012.html>)
3. IEEE 802.3bj-2014 标准 (<http://standards.ieee.org/findstds/standard/802.3bj-2014.html>)
4. 《Virtex UltraScale+ FPGA 数据手册：DC 和 AC 开关特性》(DS923)
5. 《UltraScale FPGAs Transceivers Wizard 产品指南》(PG182)
6. 《UltraScale 架构时钟资源用户指南》(UG572)
7. 《UltraScale 器件 Integrated 100G Ethernet Subsystem 产品指南》(PG165)
8. 《Vivado Design Suite 用户指南：采用 IP integrator 设计 IP 子系统》(UG994)
9. 《Vivado Design Suite 用户指南：采用 IP 进行设计》(UG896)

10. 《Vivado Design Suite 用户指南：入门指南》 ([UG910](#))
11. 《Vivado Design Suite 用户指南：逻辑仿真》 ([UG900](#))
12. 《Vivado Design Suite 用户指南：如何使用约束》 ([UG903](#))
13. 《Vivado Design Suite 用户指南：编程和调试》 ([UG908](#))
14. 《Vivado Design Suite 用户指南：实现》 ([UG904](#))
15. 《UltraScale 架构 GTH 收发器用户指南》 ([UG576](#))
16. 《UltraScale 架构 GTY 收发器用户指南》 ([UG578](#))

修订历史

日期	版本	修订
2020 年 6 月 24 日	3.1	常规更新 - 新增 100GAUI-4 支持。 第 5 章：设计示例 - 在“启用 RS-FEC 的配置仿真”中新增有关 RS-FEC 仿真的详细信息。 “CORE XCI 顶层端口列表”更新。 附录 G：调试 - 新增章节，详述“自动协商和链路训练调试”。
2019 年 10 月 30 日	3.0	第 4 章：设计流程步骤 - 更新图。 第 5 章：设计示例 - 更新图 5-13。 附录 A：适用于 Integrated 100G Ethernet 的 UltraScale+ 器件 RS-FEC - 更新表 A-1。 附录 D：自动协商和链路训练 - 新增章节：“含 AXI4-Lite 接口的自动协商和链路训练的验证步骤”。

日期	版本	修订
2019 年 5 月 22 日	2.6	第 1 章：概述 - 更新表 1-2。 第 2 章：产品规格 - 在项目符号列表中新增 AXI4-Stream 接口。 - 在“典型操作方法”中新增 AXI4-Stream 描述。 第 3 章：用核设计 - 在整章中新增 100GAUI-2 有关内容。 - 新增表 3-1。 - 在表 3-2 中更新对应 100G (4 x 25.78125) 的 GT 接口宽度。 - 更新图 3-3 和图 3-4。 - 更新图 3-11 和图 3-12。 - 新增“用户端 AXI4-Stream 接口”章节。 第 4 章：设计流程步骤 - 更新图。 - 在表 4-1 中新增 AXIS 以及 Include Statistics Counters 参数和 Statistics Resource Type 参数。 第 5 章：设计示例 - 在表 5-2 中新增 AXI4-Stream TX 和 RX。 - 在表 5-6 中新增表格注释。 - 在表 5-33 中新增位 [15:11]。 - 在表 5-61 中更新位 [13, 6] 对应类型。 - 在表 5-62 中更新位 [19:11]。 - 在表 5-63 中更新位 [31:22]。 - 在表 5-70 中新增寄存器。 - 在“核初始化顺序”中更新代码。 附录 D：自动协商和链路训练 - 在表 D-2 中更新位 [5:0] 描述。

日期	版本	修订
2018 年 12 月 5 日	2.5	IP 相关信息 - 在“功能特性”的项目符号列表中新增可选软核 TX OTN 接口。 第 1 章：概述 - 在“简介”中新增 100GAUI-2 注释和 GTM。 第 2 章：产品规格 - 更新表 2-1。 - 在“产品规格”中新增 GTM。 - 更新图 2-1。 - 在“端口描述”中更新重要注释。 第 3 章：用核设计 - 新增“含 GTM 映射的 CMAC”。 - 已更新图 3-3 到图 3-8。 - 在整章中新增 GTM 相关内容。 - 新增图 3-9 到图 3-12。 - 在图 3-12 之后新增 AR71785 注释。 - 更新“收发器选择规则”。 第 4 章：设计流程步骤 - 更新图。 - 更新表 4-1 和表 4-3。 第 5 章：设计示例 - 在表 5-2 中更新 gt_rxusclk2 并新增 user_reg0。 - 在表 5-5 中新增 USER_REG0。 - 新增表 5-42。 附录 A：适用于 Integrated 100G Ethernet 的 UltraScale+ 器件 RS-FEC - 在“统计数据 and 代码字标志”中新增代码字描述。 附录 B：UltraScale+ 器件 RX OTN 接口 - 更新图 B-1。 附录 C：UltraScale+ 器件 TX OTN 接口 在附录 C：软核 TX OTN 接口中第一段内新增注释。
2018 年 4 月 4 日	2.4	- 在全文中新增对应 STAT_RX_PCSSL_NUMBER_0[4:0] 到 STAT_RX_PCSSL_NUMBER_19[4:0] 的描述。 第 5 章：设计示例 - 新增 gt_txpippmen、gt_txpippmsel 和 stat_reg_compare_out 端口。 - 定义 .h 头文件。 - 更新寄存器名称： - STAT_RX_PCSSL_DEMUXED 更新为 STAT_RX_PCSSL_DEMUXED_REG - STAT_RSFECS_STATUS 更新为 STAT_RSFECS_STATUS_REG - STAT_RSFECS_LANE_MAPPING 更新为 STAT_RSFECS_LANE_MAPPING_REG - STAT_AN_STATUS 更新为 STAT_AN_STATUS_REG - STAT_AN_LINK_CTL 更新为 STAT_AN_LINK_CTL_REG - STAT_AN_ABILITY 更新为 STAT_AN_ABILITY_REG - 新增 STAT_TX_OTN_RSFECS_STATUS_REG 寄存器。 - 新增地址 0x0258 到 0x0278 并移除 0x0758 到 0x0778。

日期	版本	修订
2017 年 10 月 4 日	2.4	第 5 章：设计示例 - 将端口 <code>s_axi_pm_tick</code> 更新为 <code>pm_tick</code>。 - 更新 <code>rx_serdes_clk</code> 的端口描述。 - 新增 <code>send_continuous_pkts</code> 端口。 - 更新“配置寄存器映射”表和“状态和统计数据寄存器映射”表，新增寄存器和地址。 - 更新“核初始化顺序”章节。 附录 A：自动协商和链路训练 - 将端口 <code>ctl_an_cl91_ability</code> 更新为 <code>ctl_an_cl91_fec_ability</code>。
2017 年 6 月 7 日	2.3	- 在全文中将信号名称 <code>stat_rx_vl_*</code> 更新为 <code>stat_rx_pcs*_*</code>。 第 3 章：用核设计 - 新增“逐帧设置时间戳操作”章节。 第 5 章：设计示例 - 新增 <code>gt_powergoodout</code>、<code>gt_ref_clk_out</code>、<code>tx_preamblein</code>、<code>rx_preambleout</code> 和 <code>ctl_rsfc_enable</code> 信号。 - 更新“配置寄存器映射”表。 - 新增以下“状态和统计数据寄存器映射”地址：0x023C、0x0718、0x0720、0x0728、0x0730、0x0738、0x0740、0x0748、0x0750 和 0x103C。 - 新增以下“寄存器描述”表：CONFIGURATION_TX_OTN_PKT_LEN_REG、CONFIGURATION_TX_OTN_CTL_REG、CONFIGURATION_TX_OTN_PKT_LEN_REG、CONFIGURATION_TX_OTN_CTL_REG、STAT_TX_OTN_STATUS_REG 和 STAT_TX_OTN_RSFC_STATUS_REG
2017 年 4 月 5 日	2.2	- 新增对应软核 TX OTN 接口的附录。 - 新增对应自动协商和链路训练功能的附录。
2016 年 11 月 30 日	2.1	第 1 章：概述 - 移除重要注释中的器件限制，因为所有 UltraScale+® 器件都包含 CAUI-10/CAUI-4。 第 2 章：产品规格 - 更新 <code>TX_RDYOUT</code> 端口描述。 - 更新 <code>STAT_RX_FRAMING_ERR_N</code>、<code>STAT_RX_BAD_FCS</code>、<code>STAT_RX_STOMPED_FCS</code>、<code>STAT_RX_UNDERSIZE</code>、<code>STAT_RX_FRAGMENT</code>、<code>STAT_RX_BAD_CODE</code>、<code>STAT_RX_TOTAL_BYTES</code>、<code>STAT_RX_TOTAL_PACKET</code> 和 <code>STAT_RX_PACKET_SMALL</code> 的总线值。 第 3 章：用核设计 - 在“收发器选择规则”中新增 CAUI-4 规则。 第 4 章：设计流程步骤 - 更新 Vivado IP catalog 选项卡截屏。 “General”选项卡：新增 TX IPG Value 参数。 第 5 章：设计示例 - 将 <code>axi_gt_loopback</code> 端口名称更改为 <code>ctl_gt_loopback</code>。 - 更新 <code>drp_addr</code> 端口描述。 - 新增 <code>stat_rx_rsfc_hi_ser</code>、<code>stat_rx_rsfc_lane_alignment_status</code> 和 <code>stat_rx_rsfc_lane_mapping</code> 信号。

日期	版本	修订
2016 年 10 月 5 日	2.0	第 2 章：产品规格 - 更新 CTL_RX_SYSTEMTIMERIN[80-1:0] 的时钟域。 - 更新 CTL_RX_OPCODE_PPP[15:0] 和 CTL_TX_OPCODE_PPP[15:0] 的默认值。 第 3 章：用核设计 - 在“复位”章节中新增有关“同步模式”和“异步模式”的详情。 第 4 章：设计流程步骤 - 在全文中将“GT Selections and Configuration”更改为“CMAC/GT Selections and Configuration”选项卡。 第 5 章：设计示例 - 新增“设计层级示例（设计示例中包含 GT 子核）”章节和图例。 - 新增 tx_clk、gtwiz_userdata_tx_in、gtwiz_userdata_rx_out、txdata_in、txctrl0_in、txctrl1_in、rxdata_out、rxctrl0_out、rxctrl1_out、gt_txinhibit、axi_gt_reset_all 和 axi_gt_loopback 信号。 - 更新“配置寄存器映射”表。 - 新增 GT_LOOPBACK_REF 表。 - 新增“仿真加速”章节。
2016 年 4 月 6 日	1.0	初始赛灵思版本。

请阅读：重要法律提示

本文向贵司/您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：(1) 资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且 (2) 赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其它责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司/您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司/您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能的用途。如果把赛灵思产品应用于此类特殊用途，贵司/您将自行承担风险和责任。请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>。

关于与汽车相关用途的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。

© 2016-2020 年赛灵思公司版权所有。Xilinx、赛灵思标识、Alveo、Artix、Kintex、Spartan、Versal、Virtex、Vivado、Zynq 及本文提到的其它指定品牌均为赛灵思在美国及其它国家的商标。所有其它商标均为各自所有方所属财产。