

使用 STM32 缓存来优化性能与功率效率

引言

本应用笔记描述了意法半导体开发的首款指令缓存(ICACHE)和数据缓存(DCACHE)。

在 Arm® Cortex®-M33 处理器的 AHB 总线中引入的 ICACHE 和 DCACHE 嵌入到下表中列出的 STM32 微控制器(MCU)中。这些缓存使用户从内部和外部存储器提取指令和数据时或在用于外部存储器的数据流量时提高应用性能并降低功耗。

本文档提供了典型示例，以强调 ICACHE 和 DCACHE 功能，并便于配置。

表 1. 适用产品

类型	产品系列与产品线
微控制器	STM32L5 系列、STM32U575/585 产品线

1 ICACHE 和 DCACHE 概述

本节概述了嵌入在基于 STM32 Arm® Cortex® 内核的微控制器中的 ICACHE 和 DCACHE 接口。

本节详细介绍了 ICACHE 和 DCACHE 图，以及在系统架构中的集成。

提示

Arm 是 Arm Limited（或其子公司）在美国和/或其他地区的注册商标。

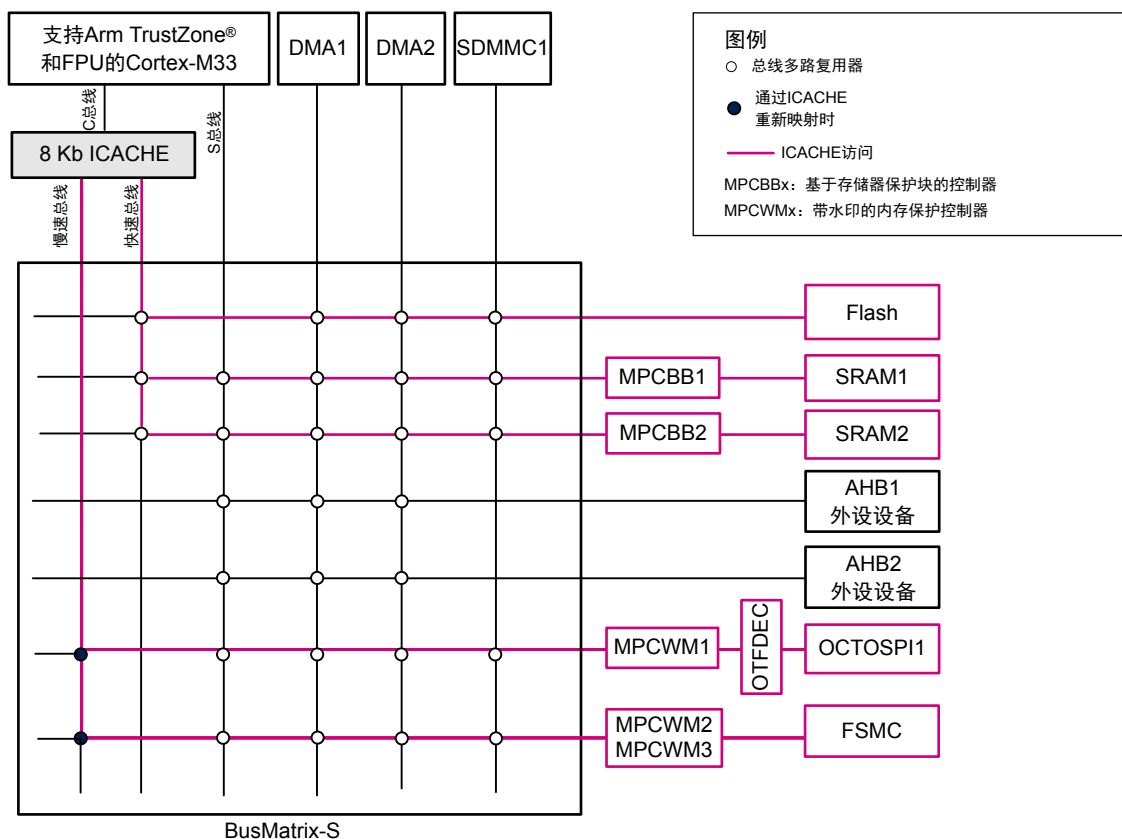
arm

1.1 STM32L5 系列智能架构

此架构基于总线矩阵，允许多个主设备（Cortex-M33、ICACHE、DMA1/2 和 SDMMC1）访问多个从设备（如 Flash 存储器、SRAM1/2、OCTOSPI1 或 FSMC）。

下图描述了 STM32L5 系列智能架构。

图 1. STM32L5 系列智能架构



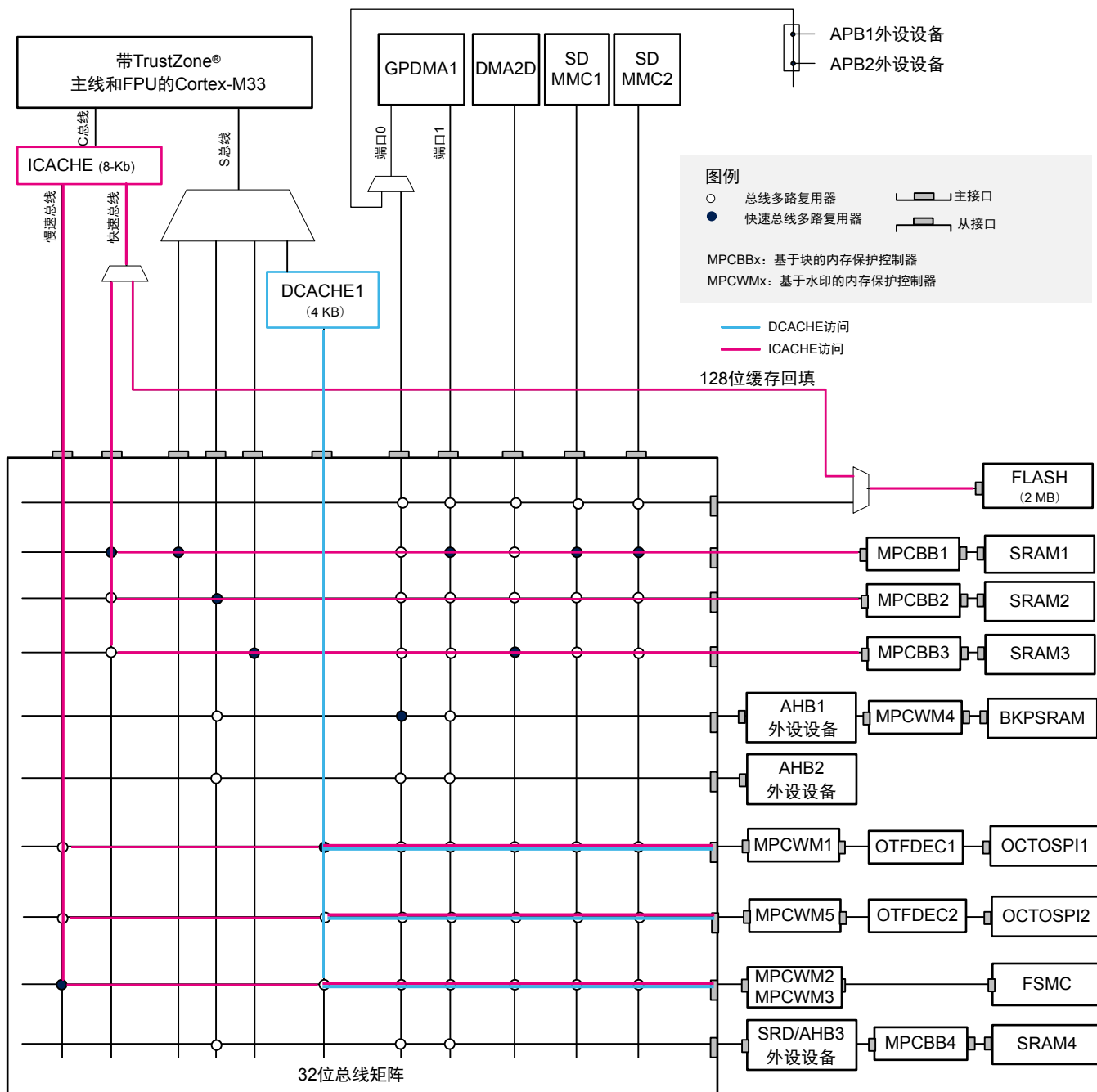
由于将 8-Kb 的 ICACHE 接口引入了其 C-AHB 总线，通过快速总线从内部存储器（Flash 存储器、SRAM1 或 SRAM2）或通过慢速总线从外部存储器（OCTOSPI1 或 FSMC）提取代码或数据时，Cortex-M33 的性能有所提升。

1.2 STM32U5 系列智能架构

此架构基于总线矩阵，允许多个主设备（Cortex-M33、ICACHE、DCACHE、GPDMA1、DMA2D 和 SDMMC1/2）访问多个从设备（如 Flash 存储器、SRAM1/2/3/4、BKPSRAM、OCTOSPI1/2 或 FSMC）。

下图描述了 STM32U5 系列智能架构。

图 2. STM32U5 系列智能架构



其 C-AHB 总线引入了 8-Kb 的 ICACHE 接口，通过快速总线从内部存储器（Flash 存储器、SRAM1、SRAM2 或 SRAM3）或通过慢速总线从外部存储器（OCTOSPI1、OCTOSPI2 或 FSMC）提取代码或数据时，Cortex-M33 的性能有所提升。

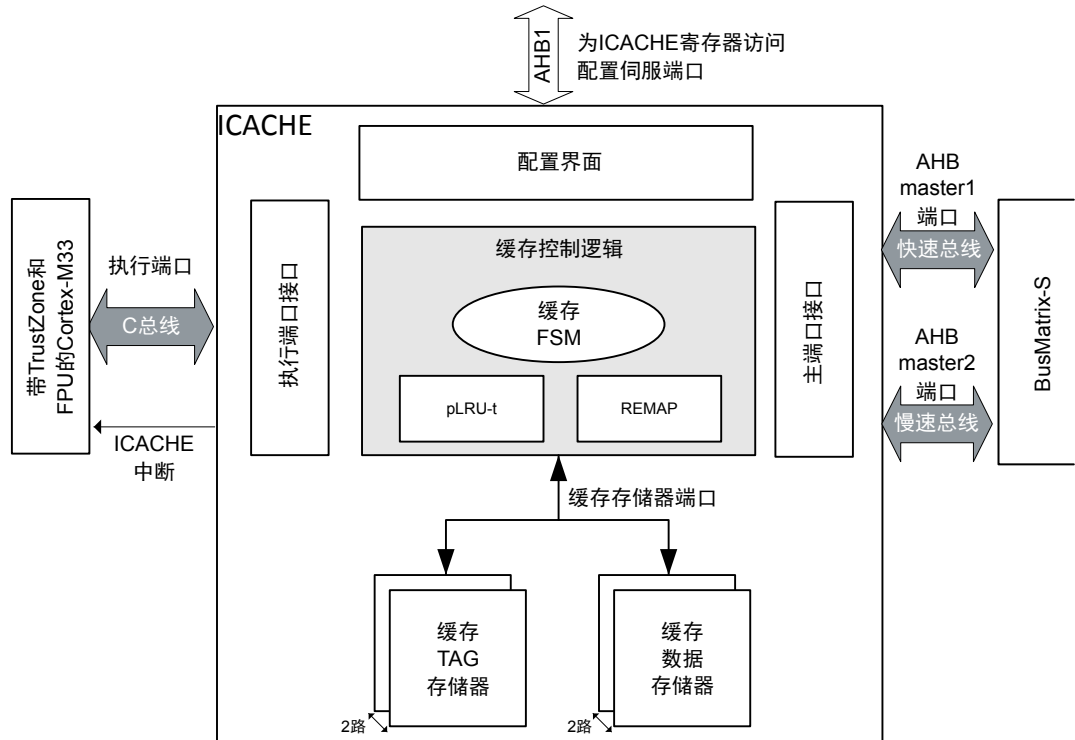
其 S-AHB 总线引入了 4-Kb 的 DCACHE 接口，提高了外部存储器（OCTOSPI1、OCTOSPI2 或 FSMC）的数据流量。

1.3

ICACHE 框图

ICACHE 框图如下图所示。

图 3. ICACHE 框图



ICACHE 存储器包括：

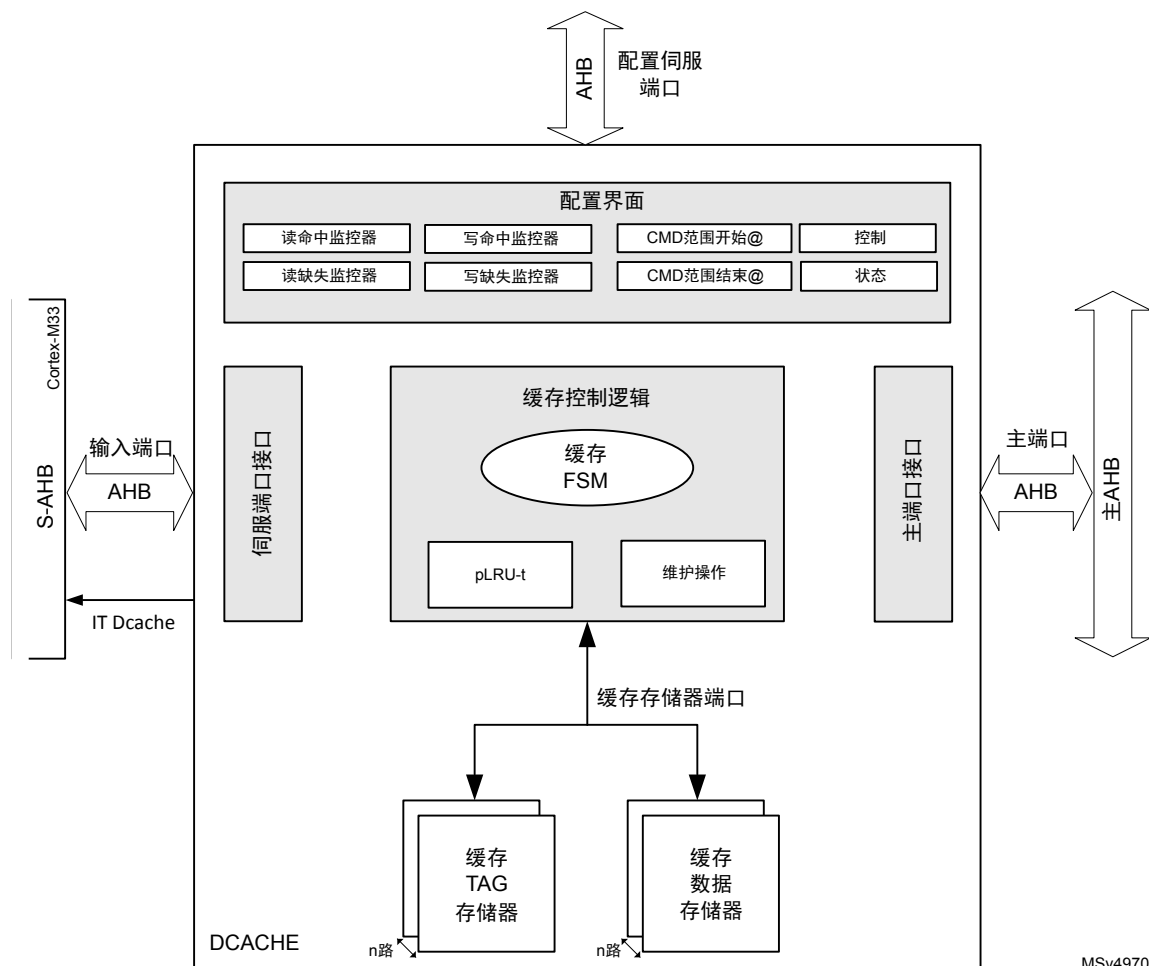
- 具有以下元素的 TAG 存储器：
 - 指示将哪些数据包含在缓存数据存储器中的地址标签
 - 有效位
- 数据存储器，包含缓存的数据

1.4

DCACHE 框图

DCACHE 框图如下图所示。

图 4. DCACHE 框图



MSv49707V2

DCACHE 存储器包括:

- 具有以下元素的 TAG 存储器:
 - 指示将哪些数据包含在缓存数据存储器中的地址标签
 - 有效位 特权位
 - dirty 位
- 数据存储器, 包含缓存的数据

2 ICACHE 和 DCACHE 主要特性

2.1 ICACHE 功能

2.1.1 双主端口

ICACHE 通过两个 AHB 主端口来访问 AHB 总线矩阵：master1（快速总线）和 master2（慢速总线）。此功能允许在访问不同的存储区（如内部 Flash 存储器、内部 SRAM 和外部存储器）时使流量解耦，以减少缓存缺失时的 CPU 停止。

下表总结了存储区域及其地址。

表 2. 存储区域及其地址

外设		可缓存的存储器访问		不可缓存的存储器访问	
类型	名称	总线名称	区域地址	总线名称	区域地址
内部	FLASH	ICACHE 快速总线	[0x0800 0000 至 0x0807 FFFF]，适用于 L5 系列 [0x0800 0000 至 0x081F FFFF]，适用于 U5 系列	N/A	N/A
	SRAM1		[0x0A00 0000 - 0x0A02 FFFF]	S 总线	[0x2000 0000 - 0x2002 FFFF]
	SRAM2		[0x0A03 0000 - 0x0A03 FFFF]		[0x2003 0000 - 0x2003 FFFF]
	SRAM3 ⁽¹⁾		[0x0A04 0000 - 0x0A0B FFFF] ⁽¹⁾		[0x2004 0000 - 0x200B FFFF] ⁽¹⁾
外部	非安全 OCTOSPI1 存储区域	ICACHE 慢速总线 ⁽²⁾	通过重映射功能定义的[0x0000 0000 到 0x07FF FFFF]或[0x1000 0000:0x1FFF FFFF]范围内的别名地址	S 总线	[0x9000 0000 - 0x9FFF FFFF]
	非安全 FMC 存储区域 3				[0x8000 0000 - 0x8FFF FFFF]
	非安全 OCTOSPI2 存储区域 ⁽¹⁾				[0x7000 0000 - 0x7FFF FFFF] ⁽¹⁾
	非安全 FMC 存储区域 1				[0x6000 0000 - 0x6FFF FFFF]

1. 不适用于 STM32L5 产品。

2. 将在重映射此类区域时选择。

2.1.2 1 路与 2 路 ICACHE

默认情况下，ICACHE 配置为关联操作模式（启用 2 路），但对于需要超低功耗的应用，也可以将 ICACHE 配置直接映射模式（启用 1 路）。ICACHE 配置通过 ICACHE_CR 中的 WAYSEL 位来完成，如下所示：

- WAYSEL = 0: 直接映射操作模式（1 路）
- WAYSEL = 1（默认）：关联操作模式（2 路）

表 3.1 路与 2 路 ICACHE

参数	1 路 ICACHE	2 路 ICACHE
缓存大小(Kb)	8	
路的缓存数量	1	2
缓存行大小	128 位（16 字节）	
缓存行数量	512	每路 256

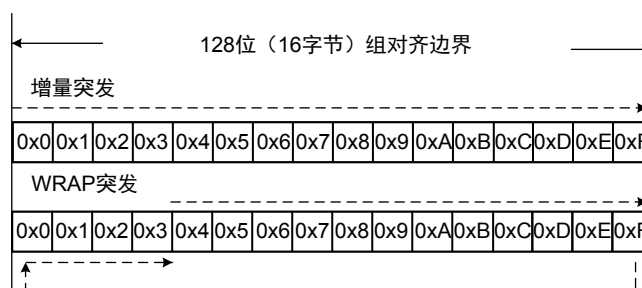
2.1.3 突发类型

一些 Octo-SPI 存储器支持 WRAP 突发，这为关键字优先的特征性能带来了优势。面向重新映射区域的 AHB 存储器事务的 ICACHE 突发类型可配置。该突发类型可实施增量突发或 WRAP 突发，可通过 ICACHE_CRRx 寄存器中的 HBURST 位进行选择。

WRAP 与增量突发的区别如下（另请参见图表）：

- WRAP 突发：
 - 缓存行大小 = 128 位
 - 脉冲起始地址 = CPU 请求的第一个数据的字地址
- 增量突发：
 - 缓存行大小 = 128 位
 - 脉冲起始地址 = 与包含请求字的缓存行边界对齐的地址

图 5. 增量与 WRAP 突发



2.1.4 可缓存区域与重映射功能

ICACHE 通过 C-AHB 总线连接至 Cortex-M33，并从地址[0x0000 0000 到 0x1FFF FFFF]来缓存代码区域。

由于外部存储器在范围为[0x6000 0000 到 0x9FFF FFFF]的地址上映射，ICACHE 支持重映射功能，允许在 [0x0000 0000 到 0x07FF FFFF]或[0x1000 0000 到 0x1FFF FFFF]的范围内映射任何外部存储区域，并可以通过 C-AHB 总线来访问该区域。

可通过此功能最多映射四个外部存储区域。

一旦区域被重映射，即使 ICACHE 被禁用或事务不可缓存，重映射也会发生。

用户可在存储器保护单元(MPU)中定义和编程可缓存存储区。下表总结了 STM32L5 和 STM32U5 系列存储器的配置。

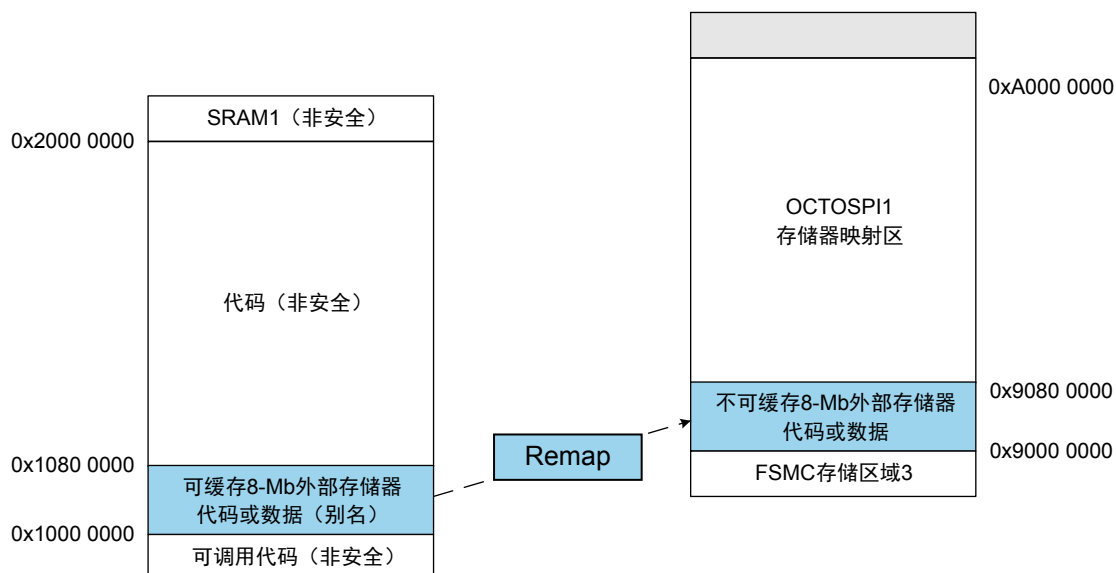
表 4. STM32L5 和 STM32U5 系列存储器的配置

产品存储器	可缓存 (MPU 编程)	在 ICACHE 中重映射 (ICACHE_CRRx 编程)
Flash	有或无	不需要
SRAM	不推荐	
外部存储器 (OCTOSPI 或 FSMC)	有或无	需要，前提是用户希望在 C-AHB 总线（或在 S-AHB 总线）上实现外部代码提取

2.1.5 ICACHE 外部存储器重映射的优势

下图的示例显示了访问外部 8-Mb 外部 Octo-SPI 存储器时（如外部 Flash 存储器或 RAM）如何在代码执行或数据读取期间从 ICACHE 增强性能中受益。

图 6. Octo-SPI 存储器重新映射示例



重映射此外部存储器需要执行以下步骤：

1. 外部存储器的 OCTOSPI 配置

配置 OCTOSPI 接口，以便在存储器映射模式下访问外部存储器（外部存储器视为映射到[0x9000 0000 到 0x9FFF FFFF]区域的内部存储器）。由于外部存储器的容量为 8 Mb，因此它位于区域[0x9000 0000 到 0x907F FFFF]中。此区域的外部存储器通过 S 总线来访问且不可缓存。下一步展示了 ICACHE 配置，以便重新映射该区域。

提示

对于存储器映射模式中的 OCTOSPI 配置，请参阅 STM32 微控制器的 Octo-SPI 接口应用笔记(AN5050)。

2.1.8 ICACHE 安全性

ICACHE 为可安全化外设，可通过 GTZC TZSC 安全配置寄存器配置为安全型。将其配置为安全型时，只允许对 ICACHE 寄存器进行安全访问。也可以通过 GTZC TZSC 特权配置寄存器将 ICACHE 配置为特权型。将 ICACHE 配置为特权型时，只允许对 ICACHE 寄存器进行特权化访问。

默认情况下，通过 GTZC TZSC 将 ICACHE 配置为非安全型和非特权型。

2.1.9 事件与中断管理

ICACHE 管理功能错误，当检测到错误时，在 DCACHE_SR 中设置 ERRF 标志。如果在 DCACHE_IER 中设置了 ERRIE 位，也可能产生中断。

一旦 ICACHE 无效，当缓存忙碌状态完成时，在 ICACHE_SR 中设置 BSYENDF 标志。如果在 ICACHE_IER 中设置了 BSYENDIE 位，也可以产生中断。

下表列出了 ICACHE 中断与事件标志。

表 5. ICACHE 中断与事件管理位

寄存器	位名	位描述	位访问类型
ICACHE_SR	BUSYF	缓存执行全无效化操作	只读
	BSYENDF	缓存无效化操作完成	
	ERRF	缓存操作期间发生错误	
ICACHE_IER	ERRIE	为缓存错误使能中断	读/写
	BSYENDIE	在验证操作完成时使能中断	
ICACHE_FCR	CERRF	清除 ICACHE_SR 中的 ERRF	只写
	CBSYENDF	清除 ICACHE_SR 中的 BSYENDF	

2.2 DCACHE 功能

数据缓存旨在缓存来自处理器或来自另一个总线主外设的外部存储器数据负载和数据存储。这些访问包括可能发生在外部存储器地址上的指令提取。DCACHE 同时管理读写事务。

2.2.1 DCACHE 可缓存流量

DCACHE 缓存从主端口接口到 AHB 总线的外部存储器。根据其 AHB 事务存储器锁定属性，传入的存储器请求被定义为可缓存。

根据通过 MPU 配置的存储器属性，DCACHE 写策略被定义为透写或回写。当区域被配置为不可缓存时，将旁路 DCACHE。

表 6. AHB 事务的 DCACHE 可缓存性

AHB 锁定属性	AHB 可缓存属性	可缓存性
0	X	读取和写入：不可缓存
1	0	读取：可缓存 写入：（可缓存）透写
1	1	读取：可缓存 写入：（可缓存）回写

2.2.2 DCACHE 可缓存区域

DCACHE 伺服接口通过 S-AHB 总线连接至 Cortex-M33，并从地址[0x6000 0000:0x9FFF FFFF]缓存 FMC、OCTOSPI1/OCTOSPI2 的存储区域。

表 7. DCACHE 可缓存区域与接口

可缓存存储器地址区	接口
[0x6000 0000:0x6FFF FFFF]	FMC 存储区域 1 非安全
[0x7000 0000:0x7FFF FFFF]	OCTOSPI2 存储区域 非安全
[0x8000 0000:0x8FFF FFFF]	FMC 存储区域 3 非安全
[0x9000 0000:0x9FFF FFFF]	OCTOSPI1 存储区域 非安全

2.2.3 突发类型

与 ICACHE 相同，DCACHE 支持增量和回环突发（参见第 2.1.3 节）。
 对于 DCACHE，通过 DCACHE_CR 中的 HBURST 位来配置突发类型。

2.2.4 DCACHE 配置

在启动期间，默认禁用 DCACHE，从而将伺服存储器请求直接转发至主端口。要启用 DCACHE，必须在 DCACHE_CR 寄存器中设置 EN 位。

2.2.5 命中和缺失监控器

DCACHE 实施四个缓存性能分析监控器：

- 两个 32 位(R/W)命中监控器：记录 CPU 在缓存存储器中读取或写入数据而不在 DCACHE 主端口上产生事务的次数（数据已在缓存中可用）。(R/W)命中监控计数器分别在 DCACHE_RHMONR 和 DCACHE_WHMONR 寄存器中可用。
- 两个 16 位(R/W)缺失监控器：记录 CPU 在缓存存储器中读取或写入数据并在 DCACHE 主端口上产生事务（以便从存储区域加载数据）的次数（提取的数据在缓存中尚不可用）。(R/W)缺失监控计数器分别在 DCACHE_RMMONR 和 DCACHE_WMMONR 寄存器中可用。

提示

这四个监控器不会在达到最大值时复位。这四个监控器通过 DCACHE_CR 寄存器中的以下位来管理：

- WHITMEN 位（对应于 WMISSMEN 位），用于启用/停止写命中（对应于缺失）监控器
- RHITMEN 位（对应于 RMISSMEN 位），用于启用/停止读命中（对应于缺失）监控器
- WHITMRST 位（对应于 WMISSMRST 位），用于重置写命中（对应于缺失）监控器
- RHITMRST 位（对应于 RMISSMRST 位），用于重置读命中（对应于缺失）监控器

默认情况下，这些监控器被禁用，以降低功耗。

2.2.6 DCACHE 维护

DCACHE 提供多种维护操作，可通过 DCACHE_CR 中的 CACHEDCMD[2:0]来配置这些操作。

000：无操作（默认）

001：清除范围。清除缓存中的特定范围

010：使范围无效。使缓存中的特定范围无效

010：清除并使范围无效。清除并使缓存中的特定范围无效

通过以下方式配置所选范围：

- **CMDSTARTADDR** 寄存器：指令起始地址
- **CMDENDADDR** 寄存器：指令结束地址

提示

在写入 **CACHECMD** 之前，必须设置此寄存器。

当在 **DCACHE_CR** 寄存器中设置 **STARTCMD** 位时，缓存指令维护开始。通过设置 **DCACHE_CR** 寄存器中的 **CACHEINV** 位，**DCACHE** 也支持全 **CACHE** 无效化。

2.2.7

DCACHE 安全性

DCACHE 为可安全化外设，可通过 **GTZC TZSC** 安全配置寄存器配置为安全型。将其配置为安全型时，只允许对 **DCACHE** 寄存器进行安全访问。

也可以通过 **GTZC TZSC** 特权配置寄存器将 **DCACHE** 配置为特权型。将 **DCACHE** 配置为特权型时，只允许对 **DCACHE** 寄存器进行特权化访问。

默认情况下，通过 **GTZC TZSC** 将 **DCACHE** 配置为非安全型和非特权型。

2.2.8

事件与中断管理

DCACHE 管理功能错误，当检测到错误时，在 **DCACHE_SR** 中设置 **ERRF** 标志。如果在 **DCACHE_IER** 中设置了 **ERRIE** 位，也可能产生中断。一旦 **DCACHE** 失效，当缓存忙碌状态完成时，在 **DCACHE_SR** 中设置 **BSYENDF** 标志。

如果在 **DCACHE_IER** 中设置了 **BSYENDIE** 位，也可以产生中断。可通过 **DCACHE_SR** 中的 **CMDENF** 和 **BUSYCMDF** 来检查 **DCACHE** 指令状态

如果在 **DCACHE_IER** 中设置了 **CMDENDIE** 位，也可以产生中断。下表列出了 **DCACHE** 中断与事件标志。

表 8. DCACHE 中断与事件管理位

寄存器	寄存器	位描述	位访问类型
DCACHE_SR	BUSYF	缓存执行全无效化操作	只读
	BSYENDF	缓存全无效化操作结束	
	BUSYCMDF	缓存执行范围指令	
	CMDENDF	范围指令结束	
	ERRF	缓存操作期间发生错误	
DCACHE_IER	ERRIE	为缓存错误使能中断	读/写
	CMDENDIE	在范围指令结束时使能中断	
	BSYENDIE	在全无效化操作结束时使能中断	
DCACHE_FCR	CERRF	清除 DCACHE_SR 中的 ERRF	只写
	CCMDENDF	清除 DCACHE_SR 中的 CMDENDF	
	CBSYENDF	清除 DCACHE_SR 中的 BSYENDF	

3 ICACHE 和 DCACHE 的性能与功耗

使用 ICACHE 和 DCACHE 在访问外部存储器时提升应用性能。下表显示了在访问外部存储器时 ICACHE 和 DCACHE 对 CoreMark® 执行的影响。

表 9. ICACHE 和 DCACHE 的性能对外部存储器的 CoreMark 执行的影响

(1)

CoreMark 代码	CoreMark 数据	ICACHE 配置	DCACHE 配置	CoreMark 值/Mhz
内部 Flash	内部 SRAM	启用 (2 路)	输出关闭	3.89
内部 Flash	外部 Octo-SPI PSRAM (S 总线)	启用 (2 路)	启用	3.89
内部 Flash	外部 Octo-SPI PSRAM (S 总线)	启用 (2 路)	输出关闭	0.48
外部 Octo-SPI Flash (C 总线)	内部 SRAM	启用 (2 路)	输出关闭	3.86
外部 Octo-SPI Flash (C 总线)	内部 SRAM	输出关闭	输出关闭	0.24
内部 Flash	内部 SRAM	输出关闭	输出关闭	2.69

1. 测试条件:

- 系统频率: 160 MHz。
- 外部 Octo-SPI PSRAM 存储器: 80 MHz (DTR 模式)。
- 外部 Octo-SPI Flash 存储器: 80 MHz (STR 模式)。
- 编译器: IAR V8.50.4。
- 内部 Flash 提取: 打开。

访问内部和外部存储器时使用 ICACHE 和 DCACHE 降低功耗。
下表显示了 ICACHE 在 CoreMark 执行期间对功耗的影响。

表 10. CoreMark 执行 ICACHE 对功耗的影响

(1)

ICACHE 配置	MCU 功耗(mA)
启用 (2 路)	7.60
启用 (1 路)	7.13
输出关闭	8.89

1. 测试条件:

- CoreMark 代码: 内部 Flash 存储器。
- CoreMark 数据: 内部 SRAM。
- 内部 Flash 存储器提取: 开。
- 系统频率: 160 MHz。
- 编译器: IAR V8.32.2。
- 电压范围: 1。
- SMPS: 打开。

提示

对于无法完全载入缓存的代码, 2 路设置关联配置比 1 路设置关联配置的性能更好。与此同时, 1 路设置关联配置的缓存几乎始终比 2 路设置关联缓存的功效更高。在这两种关联性配置下, 必须对每个代码进行评估, 以便在性能与功耗之间实现最佳折中。选择取决于用户优先级。

4 结论

意法半导体开发的首款缓存 ICACHE 和 DCACHE 能够缓存内部和外部存储器，增强了数据流量和指令提取的性能。本文档介绍了 ICACHE 和 DCACHE 支持的不同功能，其简单且灵活的配置可降低开发成本并缩短上市周期。

版本历史

表 11. 文档版本历史

日期	版本	变更
2019 年 10 月 10 日	1	初始版本。
2020 年 2 月 27 日	2	更新了： • 表 2. 存储区域及其地址 • 第 2.1.7 节 ICACHE 维护 • 第 2.1.8 节 ICACHE 安全性
2021 年 12 月 7 日	3	更新了： • 文件标题 • 引言 • 第 1 节 ICACHE 和 DCACHE 概述 • 第 4 节 结论 • 增加了 • 第 2 节 ICACHE 和 DCACHE 主要特性 • 第 3 节 ICACHE 和 DCACHE 的性能与功耗

目录

1	ICACHE 和 DCACHE 概述	2
1.1	STM32L5 系列智能架构	2
1.2	STM32U5 系列智能架构	2
1.3	ICACHE 框图	4
1.4	DCACHE 框图	5
2	ICACHE 和 DCACHE 主要特性	6
2.1	ICACHE 功能	6
2.1.1	双主端口	6
2.1.2	1 路与 2 路 ICACHE	7
2.1.3	突发类型	8
2.1.4	可缓存区域与重映射功能	8
2.1.5	ICACHE 外部存储器重映射的优势	9
2.1.6	命中和缺失监控器	10
2.1.7	ICACHE 维护	10
2.1.8	ICACHE 安全性	11
2.1.9	事件与中断管理	11
2.2	DCACHE 功能	11
2.2.1	DCACHE 可缓存流量	11
2.2.2	DCACHE 可缓存区域	12
2.2.3	突发类型	12
2.2.4	DCACHE 配置	12
2.2.5	命中和缺失监控器	12
2.2.6	DCACHE 维护	12
2.2.7	DCACHE 安全性	13
2.2.8	事件与中断管理	13
3	ICACHE 和 DCACHE 的性能与功耗	14
4	结论	15
	版本历史	16
	目录	17
	表一览	19



图一览	20
-----------	----

表一览

表 1.	适用产品.....	1
表 2.	存储区域及其地址	6
表 3.	1 路与 2 路 ICACHE	7
表 4.	STM32L5 和 STM32U5 系列存储器的配置	8
表 5.	ICACHE 中断与事件管理位	11
表 6.	AHB 事务的 DCACHE 可缓存性.....	11
表 7.	DCACHE 可缓存区域与接口	12
表 8.	DCACHE 中断与事件管理位	13
表 9.	ICACHE 和 DCACHE 的性能对外部存储器的 CoreMark 执行的影响	14
表 10.	CoreMark 执行 ICACHE 对功耗的影响	14
表 11.	文档版本历史	16

图一览

图 1.	STM32L5 系列智能架构	2
图 2.	STM32U5 系列智能架构	3
图 3.	ICACHE 框图	4
图 4.	DCACHE 框图	5
图 5.	增量与 WRAP 突发	8
图 6.	Octo-SPI 存储器重新映射示例	9
图 7.	存储区域重映射示例	10

IMPORTANT NOTICE – PLEASE READ CAREFULLY

STMicroelectronics NV and its subsidiaries ("ST") reserve the right to make changes, corrections, enhancements, modifications, and improvements to ST products and/or to this document at any time without notice. Purchasers should obtain the latest relevant information on ST products before placing orders. ST products are sold pursuant to ST's terms and conditions of sale in place at the time of order acknowledgement.

Purchasers are solely responsible for the choice, selection, and use of ST products and ST assumes no liability for application assistance or the design of Purchasers' products.

No license, express or implied, to any intellectual property right is granted by ST herein.

Resale of ST products with provisions different from the information set forth herein shall void any warranty granted by ST for such product.

ST and the ST logo are trademarks of ST. For additional information about ST trademarks, please refer to www.st.com/trademarks. All other product or service names are the property of their respective owners.

Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2021 STMicroelectronics – All rights reserved