

# 使用 FPGA I/O 优化来设计更高性价比的 PCB

ANDY WATTS, MENTOR GRAPHICS

**Mentor**<sup>®</sup>  
A Siemens Business

S Y S T E M D E S I G N

W H I T E P A P E R

[www.mentor.com](http://www.mentor.com)

FPGA 器件凭借强大的功能、灵活性和即时可用性形成极具吸引力的业务驱动力，掀起了一场广泛采用 FPGA 来实现系统 PCB 设计的浪潮。很显然，FPGA 器件的上市时间优势和容量 / 性能特性已兑现其产品承诺，成为更多资本资源密集型定制 IC/ASIC 解决方案的可行替代方案，并且成功整合了创建系统设计时所需的标准“现成”元器件。

上述 FPGA 概要视角代表了典型的工程 / 产品管理视角。虽然基于 FPGA 的典型项目通过使用现代 FPGA 实现了经济和上市时间方面的诸多效益，但仍有许多未实现的效益尚待实现。一个显而易见的事实是，FPGA 器件的灵活性和强大功能在很大程度上未能转化为系统 PCB 的优化源。要想充分利用 FPGA 器件的灵活性，缺失的一大要素是对决策影响“多米诺链”的分析，该项分析从 PCB 信号到 FPGA 管脚的分配开始，并最终反映到产品利润率上。

本文将展示 PCB 信号到 FPGA 管脚分配与产品利润率之间的因果关系。此外还阐明了无需投入大量时间或成本便可获得重大竞争优势的机会。

### 对利润率的详细影响

大多数工程 / 产品经理在得知每个 PCB 信号到 FPGA 管脚的分配都会直接影响其产品利润率时，都表现得目瞪口呆。对决策影响链的分析（图 1）表明，每次将 PCB 信号分配给 FPGA 管脚时，FPGA 和 PCB 设计域都会受到影响。尽管任何单一决策的影响可能都微乎其微，但数千个此类决策的影响可能会对设计的成本、性能和可靠性产生重大影响。在每个设计域内，FPGA-PCB 接口都有多个功能和物理方面可供更改。通过将我们的分析局限在对 PCB 接口的物理更改上，我们可以简化分析，避免分散对产品利润率的关注。

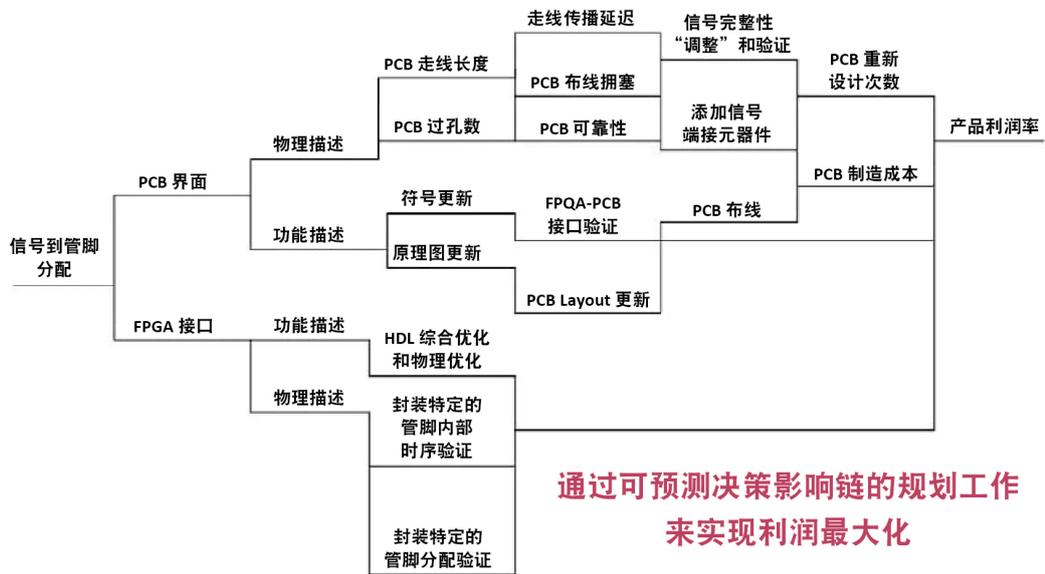


图 1：预测将会影响设计链的决策可以提高利润率。

每当 PCB 信号从一个 FPGA 管脚位置移到另一个 FPGA 管脚位置时，PCB 走线长度、PCB 过孔数和布线拥塞都会受到影响。就 PCB 走线长度和布线拥塞而言，如图 2 所示，其影响在视觉上显而易见。

图 2 所示的两个 PCB 信号到 FPGA 管脚分配选项明确地表明了，到 FPGA 封装的物理连接点的位置如何影响 PCB 走线的长度。在此示例中，PCB 走线长度缩短了 50%，同时还减少了布线拥塞和过孔数。

## PCB 信号位置影响走线长度

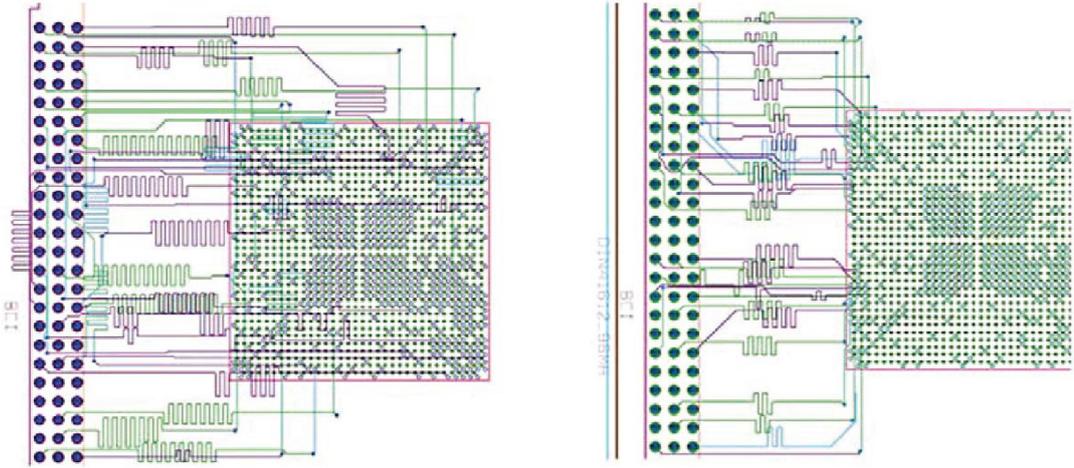


图 2：在这两个视图中不难发现，FPGA 的位置会影响总走线长度

走线长度则会影响信号在走线间的传播延迟。通过将走线长度缩短 50%，传播延迟减少了 50%，从而使跨这些走线运行的信号的最大工作频率增加了 100%。

通过灵活的 PCB 信号到 FPGA 管脚分配可以最大限度减少走线交叉，这也提高了 PCB 系统设计的可靠性，因为 PCB 过孔容易受到振动的影响，故而成为潜在的机械和电气故障点。对布线拥塞的影响在视觉上非常明显，但要归纳布线拥塞的统计特征，则需要仔细测量两种信号分配选项所使用的表面积。在我们的简单示例中，布线拥塞减少了约 20%。

很显然，PCB 信号到 FPGA 管脚分配会影响：

- PCB 走线长度
- PCB 传播延迟
- PCB 可靠性
- PCB 布线拥塞

## 加速系统约束收敛

设计周期中花费了多少时间“调整”PCB设计以满足时序和信号完整性约束呢？既然“两点之间的最短距离是一条直线”是正确的，那么“两个点”被移至尽可能靠近彼此的位置时，能实现最短距离也同样正确。FPGA 器件在系统 PCB 设计中的神奇之处在于，电气连接中的两个点有一个是灵活的。

务实的方法是利用 FPGA 固有的灵活性，而不是花费大量的设计时间，通过改变元器件布局、元器件角度、PCB 叠层、PCB 信号层对、走线布线以及可能的 PCB 制造材料来“微调和调整”PCB 设计，以满足系统约束。通过首先最大限度减小 FPGA 与 PCB 系统上其他元器件之间的连接距离，便可将“微调和调整”所花费的时间减少 20%-50%。

## 加速系统的物理设计并最大限度降低制造成本

同样，高质量的 FPGA-PCB 接口设计也可以将花费在 PCB 走线布线上的设计周期时间减少 25% 到 50%。FPGA 的灵活性为系统设计带来的一项关键价值在于减少了布线拥塞，从而产生额外的信号层对表面积，此表面积可用于布置更多走线。将布线拥塞趋势应用于高管脚密度的 FPGA 封装后，高质量的 FPGA-PCB 接口很可能会减少实现复杂系统所需的信号层对数量。就中等生产量而言，减少一个信号层对便能大幅节省制造成本。

利用 FPGA 器件的灵活性来减少布线拥塞是一种行之有效的方法，可将“不可布线的 PCB”转换为“可布线的 PCB”，而无需增加 PCB 的制造成本。还有一个经常被人忽视的机会是，确定当前 PCB 叠层未提供完成设计所需的走线布线表面积所需的时间……即在断言“不可布线的 PCB”之前的时间。

## 利润率是影响决策链中的最后一块多米诺骨牌

从 FPGA-PCB 接口设计到产品利润率的逻辑决策影响链是一个简单的“多米诺级联”。无论工程界是否有意地认识到它们之间的联系，这块多米诺骨牌都会倒下。一个简单的事实是，许多系统设计团队之所以不解决策影响链，仅仅因为它跨越了设计领域边界，并且与设计流程的历史和文化产生了冲突。

## 了解 PCB 优化存在的障碍

既然可以使用 FPGA 器件的灵活性来优化 PCB 设计，为什么设计团队很少运用这种灵活性呢？

- 设计复杂性
- 风险分析与规避
- 设计团队组织和孤岛
- 传统设计流程
- 历史设计支持基础设施
- 上市时间约束
- 工具的可用性

### 设计复杂性

从根本上讲，创建合法的 FPGA 接口定义并非易事。考虑可能的信号到管脚接口设计数量：

- 一个两信号管脚封装具有 2 种可能的接口设计
- 一个三信号管脚封装具有 6 种可能的接口设计
- 一个四信号管脚封装具有 24 种可能的接口设计
- 一个五信号管脚封装具有 120 种可能的接口设计
- 一个一百信号管脚的小型 FPGA 封装具有 9 x 10157 种可能的接口设计
- 常见的一千信号管脚 FPGA 封装可能具有的接口设计数量过多，以至于 Microsoft Excel 无法计算该值

所有可能的 FPGA 接口设计的空间都包含合法和非合法的管脚分配定义。合法接口设计与非法接口设计之间的差异取决于 FPGA 供应商基于特定器件 / 封装 / 管脚的管脚分配规则。

可能的接口设计数量只是其中一个复杂性维度。每个 FPGA 信号管脚都可以定义为 N 个可能的 I/O 标准之一，其中“N”可能高达 78，如图 3 所示。FPGA 供应商管脚分配规则是动态的，并且会评估作为主要变量的管脚类型、I/O 标准设置和管脚组。

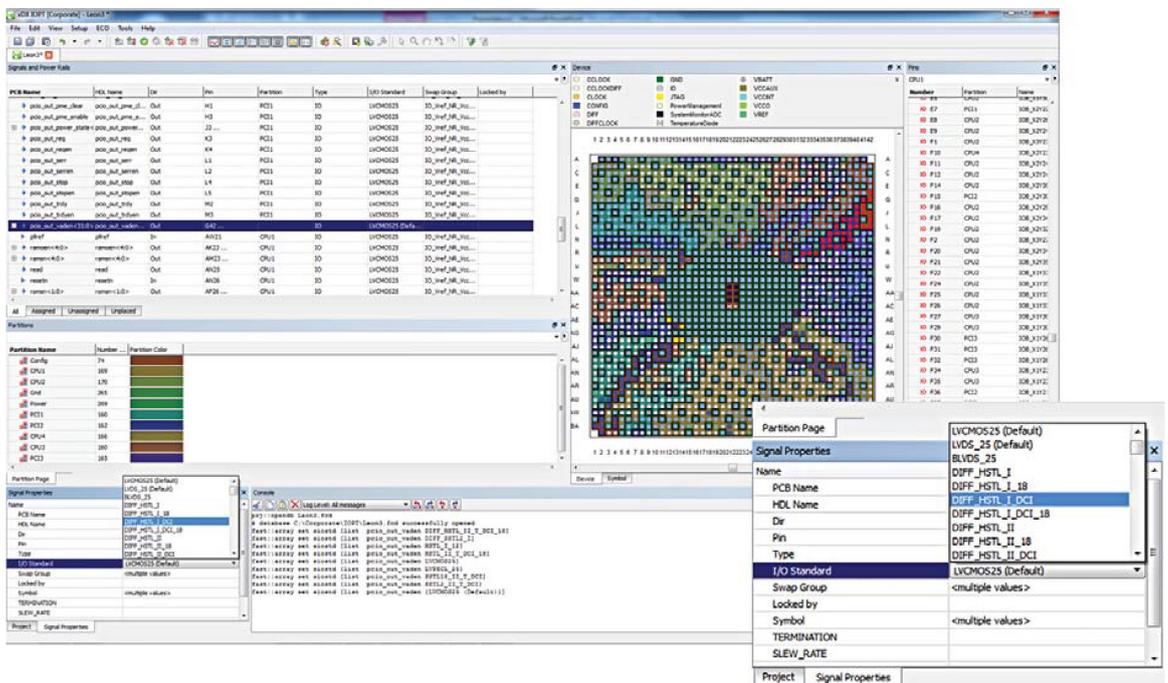


图 3：给定管脚可能具有多达 78 种可能适用的不同 I/O 标准。Xpedition 的 FPGA I/O 优化器会维护标准，并为设计人员呈现可能的标准供其选择。

一个简单的示例：在同一管脚组（电源区域）内，3.3V I/O 标准可能无法与 1.8V 标准共存。直到将 PCB 信号分配给 FPGA 管脚并对这些 FPGA 管脚进行电气配置以匹配信号，才为该 FPGA 元器件定义“管脚交换规则”。

这个简单的示例描述了 FPGA 器件与标准现成元器件在接口方面存在的一个主要差别，但模糊了 FPGA 接口设计的真正复杂性。每个 FPGA 器件 / 封装都有复杂且多变的 FPGA 接口设计规则。FPGA 器件上有大量多用途管脚：

- 可用作 I/O 信号管脚的时钟管脚
- 可用作本地时钟管脚的 I/O 信号管脚
- 可用作 I/O 信号管脚的 FPGA 配置（启动）管脚
- 可用作 I/O 信号管脚的 JTAG 管脚
- 具有可变驱动强度设置的 I/O 管脚
- 具有可变转换速率设置的 I/O 管脚
- 具有可变端接拓扑设置的 I/O 管脚
- 只要极性为正极就可以是差分对信号管脚的 I/O 管脚
- 只要极性为负极就可以是差分对信号管脚的 I/O 管脚
- 只要同一管脚组内没有 I/O 管脚需要基准电压便可用作 I/O 管脚的 Vref 管脚

以上是一份简短的清单。通常，工程师需要几个月的时间才能掌握有效创建合法 FPGA 接口设计所需的 FPGA 器件 / 封装专业知识。这些必要的 FPGA 器件 / 封装专业知识在整个系统设计团队内并非常识，因而会在设计过程中自然形成瓶颈。

### 风险分析与规避

运用 FPGA-PCB 接口的灵活性所引入的风险很简单：如果 FPGA 和 PCB 设计流程域之间的 FPGA-PCB 接口中存在一个错误，则最终的 PCB 将无法运行。在最坏的情况下，FPGA-PCB 接口错误可能导致灾难性的元器件损坏（例如，将 20mA 驱入额定电流为 5mA 的管脚中）。与接口错误相关的成本大大超过了任何 PCB 制造原型的成本；将 PCB 符号和原理图与 FPGA 设计和供应商文件进行比较以发现确切的错误需要花费数周的昂贵工程时间，因此真正的成本是设计周期时间预算。这是一个繁琐而痛苦的过程，任何有经验的工程师都会采用系统化方式加以规避。

对于与 FPGA-PCB 接口相关的设计复杂性以及跨设计域边界维护绝对接口同步的需求，设计团队自然而常见的反应是在设计流程的早期锁定 FPGA-PCB 接口设计。

如果我们讨论的情况是，我们只有包含 FPGA-PCB 接口在内的几十个管脚，那么接口错误风险和信号复杂性分配将不会成为强有力的驱动因素。但我们正在处理的器件具有数百乃至数千个信号管脚。当我们将原子管脚的复杂度乘以 FPGA 器件上的信号管脚数，再按 FPGA 管脚共存规则进行分解，然后进行分析，以确定决策影响链的维度时，需要考虑的可能对产品利润率产生的影响多达数十亿种。

## 设计团队组织和孤岛

为实现 PCB 优化，FPGA 设计团队、PCB 功能设计团队和 PCB 物理设计团队都必须协调一致。许多设计组织已经从“芯片与电路板”结构演变为由 FPGA 和 PCB 功能工程师组成的“系统”团队。同时，主要业务驱动因素由于外包和“随地设计，随地制造”举措，而在功能设计与物理设计之间形成了一道鸿沟。在产品流程的某个时刻，电子设计从一个团队“抛给”另一个团队，从而形成组织孤岛。克服现有的孤岛以实现 PCB 优化，要求集中管理工作以促进有效的沟通，同时将设计改版的风险降至最低。

## 传统设计流程

创建系统 PCB 功能设计的主要流程仍基于原理图。原理图设计流程的历史优势是能够通过符号表示准确地传达设计意图。基于原理图的设计方法具有内在的代价和风险：

- 必须为设计中使用的所有元器件创建并验证符号
  - 符号接口错误会导致 PCB 无法运行
- 创建原理图和连接元器件非常耗时且费力
  - 原理图错误会导致 PCB 无法运行

为超过 500 个管脚的 FPGA 器件创建单一符号非常耗时费力，容易出错，而且可能导致符号无法在物理上容入原理图图纸。为克服尺寸问题，设计团队经常会为单一 FPGA 器件创建多个（碎片化）符号，略微增加了人工、时间和验证投入。为了能够重复使用在 FPGA 符号创建中的投入，通常基于 FPGA 管脚组创建通用的碎片化符号。

通用 FPGA 碎片化符号需要注意的是，由于管脚交换是特定于设计的，因此在技术上不可能包含 FPGA 管脚交换数据。此外，在保持原理图设计流程成本的同时，原理图清晰传达设计意图的价值也被模糊。

在这一详细级别上，设计团队之所以不愿利用 FPGA 接口设计的灵活性来优化其 PCB，原因并不神秘：与符号和原理图的创建、维护和验证过程相关的成本和风险抹杀了“灵活性”优势。

## 历史设计支持基础设施

许多电子设计公司已构建 PCB 公司库和流程 / 策略，最大限度减少与“现成”元器件接口中存在的错误相关的风险。在历史上，现成元器件都有一个共同属性：元器件的接口永不更改。针对标准的“现成”元器件投资创建和验证高质量的接口是完全值得的，因为该项工作只需完成一次，之后便可在包含该元器件的设计中反复利用。

相同的逻辑被错误地应用于 FPGA 器件，意图最大限度降低在复杂的系统设计中采用 FPGA 器件带来的相关风险。一个简单的事实被忽视：FPGA 接口是特定于设计的，并且随每个设计而变化。将传统的风险缓解逻辑应用于 FPGA 元器件的机械做法导致在标准设计流程中不允许进行 FPGA 管脚交换。有人可能会争辩，PCB 物理设计人员通常不具备创建合法的管脚交换所需的 FPGA 接口设计专业知识，但这种做法带来的最终结果是，可用于优化 PCB 设计的设计灵活性遭到重创。

## 上市时间约束

上市时间往往是选择在系统 PCB 设计中包含的 FPGA 器件的基本驱动因素之一。随着设计开发窗口持续承受压力并日趋收紧，满足上市时间约束的一个关键方面是降低设计风险。

正如其他 PCB 优化障碍所展示的那样，利用 FPGA 器件的灵活性进行 PCB 优化是增加设计排程风险的关键来源之一。诚然，利用 FPGA 接口设计的灵活性可以大幅缩短上市时间，这一点已经过反复证明。但还有一点，只有在部署先进的设计技术，以系统化的方式同时解决每个 PCB 优化障碍，上述说法才能成立。

## 工具的可用性

每个 FPGA 供应商都会提供工具，用于自动创建器件 / 封装特定的合法信号到管脚分配。但在创建接口时，所有这些解决方案无一例外，都仅仅考虑单个 FPGA。FPGA 供应商工具从未考虑过 PCB 物理连接。公平地讲，指望 FPGA 供应商提供充分考虑 PCB Layout 的工具也是一种资源 / 专业知识的投入错位。

考虑一个在同一 PCB 上使用多个 FPGA 器件，其中每个 FPGA 封装包含 1,500 个管脚的例子。只要了解了设计复杂性就会发现，充分评估设计优化空间，从而以手动方式实现 PCB 优化的想法实在远远超出了合理的期望。就此问题空间而言，很显然，基于计算机的优化才是唯一可行的选择。在持续投资，开发专注于通过 FPGA 接口设计灵活性实现 PCB 优化的产品方面，Mentor Graphics 是唯一一家拥有专业履历的顶级 EDA 供应商。

## 障碍摘要

在风险评估、历史和文化流程及政策、必要的专业知识以及基本接口复杂性（可能的接口设计数量）等因素的共同作用下，人们不约而同地选择了在设计流程早期锁定 FPGA-PCB 接口的严苛做法。过早锁定 FPGA-PCB 接口是一种不当的控制手段，它会妨碍 PCB 优化，并导致产品利润率偏离正常的工程设计流程。

## 存在的潜力

通过投资采用 FPGA 并运用 FPGA 接口灵活性的新兴方法，PCB 优化技术的早期采用者可以体验到意想不到的效果：

- 系统 PCB 设计中每 500 个 FPGA 管脚至少可减省一人-周的工作量。
- 将走线长度缩短 25% 至 50% 并获得相应的性能提升
- 每 500 个 FPGA 管脚最多可减省 150 个 PCB 过孔
- 将接口设计时间缩短多达 60%
- 使用相同的 PCB 叠层将不可布线的 PCB 转换为可布线的 PCB
- 总设计周期缩短多达 50%

在激烈的竞争格局中，哪怕是细微的 PCB 制造成本优势和一天的上市时间加速都有可能造成大获全胜与折戟沉沙的天壤之别，实现 50% 的设计上市时间优势的机会更是寥寥无几。

## 新浪潮的威力

很显然，利用 FPGA 器件的灵活性来优化 PCB 设计以提高产品利润率，是标准系统 PCB 设计流程的一大关键发展。事实上，这种水平的 PCB 优化仅代表 PCB 优化机会的第一层次。

那些使用多个 FPGA 器件的系统 PCB 设计怎么办？如果复杂的系统设计需要 3、4、10、20 个 FPGA 器件呢？如果没有基本的 PCB 优化，这类设计注定要归为“无法布线的 PCB”这种委婉的工程说法。经验表明，当系统设计需要一个或两个高管脚密度的 FPGA 器件时，您的设计团队必须具备高度的专业知识、经验、专注和职业操守才能“完成任务”。除了满足排程要求并交付可正常工作的产品之外，他们可能根本没有机会考虑利润率优化的问题。而一旦 PCB 上有超过 4 个这样的大型 FPGA 器件，您的工程团队就会“撞墙”，这表现为随着信号层对的增加，PCB 制造成本飞涨，甚至出现可怕的“无法布线的 PCB”，他们的奉献精神也将受到严峻的考验。

客户如果固守他们的企业基础设施、流程和策略，在首次尝试包含多个 FPGA 器件的更复杂系统 PCB 设计时，往往会遭遇 PCB 优化问题。常见的反应措施包括，尝试通过找到更大的器件来减少 FPGA 器件的数量和 / 或重新构建系统设计以降低复杂性……却从未考虑过直面与 PCB 优化相关的障碍和机会。

同时对多 FPGA 系统设计应用 PCB 优化技术代表了下一层次的 PCB 优化。多 FPGA 优化的关键要求是能够优化可能涵盖多个 FPGA 供应商的多个 FPGA 器件。只有 EDA PCB 供应商才有机会满足以下要求：能够整合涵盖多个 FPGA 供应商的 FPGA 器件 / 封装特定的智能来实现同步 PCB 优化。

您是否知道可以利用 FPGA 管脚的电气灵活性来减省 PCB 上的其他元器件？通过修改管脚的电气特性，可以从系统 PCB 设计中减省分立信号调节元器件。大多数设计团队都深陷“上市时间”的困境中，从未有机会研究这一层次的 PCB 优化，更不用说发展必要的技术能力以运用这种先进的 FPGA 功能和灵活性。

不要低估通过操纵 FPGA 管脚电气特性来实现减省分立元器件所需的专业知识：

- 管脚电气特性的变化会在 PCB 的“FPGA 封装内部”和“封装外部”产生镜像影响
- PCB 信号完整性和时序分析工具及使用“专业知识”必须“随时待命”，方可评估每个建议的电气特性更改
- 一旦考虑使用片上 FPGA 端接，就必须培养相应的“偏执狂”（绝非夸大其词），专门解决同步开关输出噪声

同时，如果低估通过最小化 PCB 元器件成本可获取的竞争优势及其对产品利润率产生的相应积极影响，等于给您的竞争对手机会。当与更新的高密度互连 (HDI) PCB 制造工艺相结合时，该方法可显著节省 PCB 制造成本，而且对于一些系统 PCB 设计团队来说，也有足够的理由进行大笔投资以达成下一层次的 PCB 优化。

PCB 优化之门已经打开，但并没有指向最终目的地的路标。FPGA 器件的功能和灵活性以及运用该灵活性和功能来优化 PCB 设计的专业知识和经验仍在持续发展中。您需要问自己一个存亡攸关的问题：您已经踏上 PCB 优化之旅吗？

## 当前存在的 EDA 工具

在很早发现 FPGA 器件中存在的可优化 PCB 设计的机会清单后，Mentor Graphics 经过十多年的持续投资，与 FPGA 供应商合作开发了一系列的 I/O 优化产品，这些产品可轻松实现 PCB 优化，同时消除任何 FPGA-PCB 接口错误风险，并通过扩展提供多 FPGA 同步优化，如图 4 所示。Mentor Graphics 凭借该技术领域的领导地位以及强大的合作伙伴-客户关系，为 PCB 优化的开发和验证提供了有力支持，使其成为系统 PCB 设计团队的一项关键竞争优势。

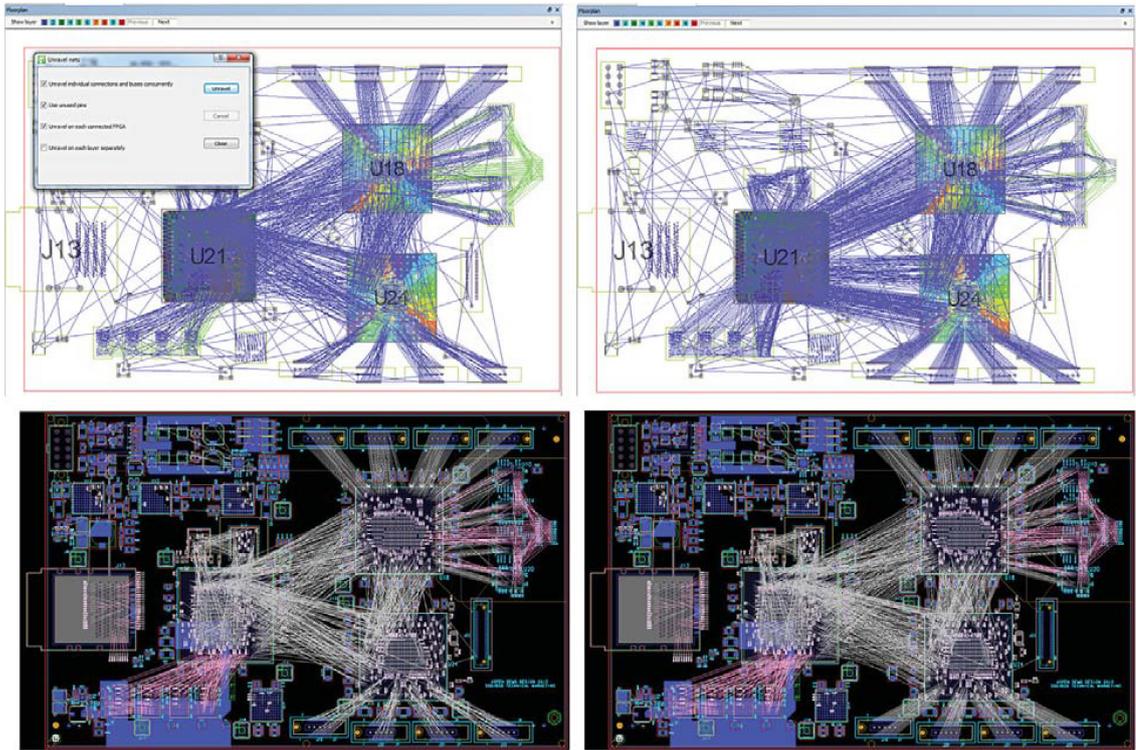


图 4：使用 Xpedition FPGA I/O 优化器进行 I/O 优化。左侧为优化前，右侧为优化后。



如需最新信息，请致电联系我们，或者访问：

[www.mentor.com](http://www.mentor.com)

©2020 Mentor Graphics Corporation，保留所有权利。本文档包含 Mentor Graphics Corporation 的专有信息，只能由原始接收者出于内部商业目的全部或部分复制本文档，前提是在所有副本中都包含此完整声明。接受本文档即表示接收者同意采取一切合理措施，防止未经授权使用这些信息。本文档中提及的所有商标属于其各自所有者。

公司总部  
Mentor Graphics Corporation  
8005 S.W. Boeckman Road  
Wilsonville, Oregon 97070 USA  
电话：+1-503-685-7000  
传真：+1-503-685-1204

上海  
明导（上海）电子科技有限公司  
上海市浦东新区杨高南路 759 号  
陆家嘴世纪金融广场 2 号楼 5 楼  
邮编：200127  
电话：+86-21-6101-6301  
传真：+86-21-5047-1379

台湾  
愛爾蘭商明導國際（股）公司台灣分公司  
新竹市公道五路二段 120 號 11 樓  
郵編：300  
電話：+886-3-513-1000  
傳真：+886-3-573-4734

**Mentor**<sup>®</sup>  
A Siemens Business

销售和产品信息  
电话：+86-21-6101-6301  
sales\_info@mentor.com

MGC 01-20 TECH7740-w-CN