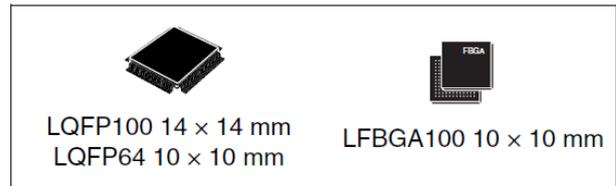


互联型，32位基于ARM核心的带64或256K字节闪存的微控制器

USB OTG、以太网、10个定时器、2个CAN、2个ADC、14个通信接口

功能

- **内核：ARM 32位的Cortex™-M3 CPU**
 - 最高72MHz工作频率，在存储器的0等待周期访问时可达1.25DMips/MHz(Dhystone 2.1)
 - 单周期乘法和硬件除法
- **存储器**
 - 从64K或256K字节的闪存程序存储器
 - 64K字节的SRAM
- **时钟、复位和电源管理**
 - 2.0~3.6伏供电和I/O引脚
 - 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
 - 3~25MHz晶体振荡器
 - 内嵌经出厂调校的8MHz的RC振荡器
 - 内嵌带校准的40kHz的RC振荡器
 - 带校准功能的32kHz RTC振荡器
- **低功耗**
 - 睡眠、停机和待机模式
 - V_{BAT}为RTC和后备寄存器供电
- **调试模式**
 - 串行单线调试(SWD)和JTAG接口
 - Cortex-M3内置调试模块(ETM)
- **DMA：12通道DMA控制器**
 - 支持的外设：定时器、ADC、DAC、I²S、SPI、I²C和USART
- **2个12位模数转换器，1μs转换时间(16个输入通道)**
 - 转换范围：0~3.6V
 - 采样和保持功能
 - 温度传感器
 - 在交叉模式下高达2MSPS
- **2个12位数模转换器**
- **多达80个快速I/O端口**
 - 50/80个I/O口，所有I/O口可以映像到16个外部中断；几乎所有端口均可容忍5V信号



- **高达10个定时器，支持引脚重映射功能**
 - 高达4个16位定时器，每个定时器有多达4个通道，用于输入捕获/输出比较/PWM或脉冲计数和正交(增量)编码器输入
 - 1个16位马达控制PWM定时器，支持死区时间和紧急停止
 - 2个看门狗定时器(独立的和窗口型的)
 - 系统时间定时器：24位自减型计数器
 - 2个16位定时器用于驱动DAC
- **多达14个通信接口**
 - 多达2个I²C接口(支持SMBus/PMBus)
 - 多达5个USART接口(支持ISO7816接口，LIN，IrDA接口和调制解调控制)
 - 多达3个SPI接口(18M位/秒)，2个为复用的I²S接口，通过先进的PLL机制提供音频级的通信精度
 - 2个CAN接口(2.0B)，内置512字节的专用SRAM
 - USB 2.0全速设备/主机/OTG控制器，支持HNP/SRP/ID协议的片上PHY，和1.25K字节的专用SRAM
 - 10/100以太网MAC，专用的DMA和SRAM(4K字节)：硬件支持IEEE1588，所有封装都支持MII和RMII接口
- **CRC计算单元，96位的芯片唯一代码**
- **ECOPACK®封装**

表1 器件列表

参考	基本型号
STM32F105xx	STM32F105R8, STM32F105V8 STM32F105RB, STM32F105VB STM32F105RC, STM32F105VC
STM32F107xx	STM32F107RB, STM32F107VB STM32F107RC, STM32F107VC

本文档英文原文下载地址：

http://www.st.com/internet/com/TECHNICAL_RESOURCES/TECHNICAL_LITERATURE/DATASHEE

目录

1	介绍	4
2	规格说明	5
2.1	器件一览	5
2.2	系列之间的全兼容性	6
2.3	概述	7
2.3.1	ARM®的Cortex™-M3核心并内嵌闪存和SRAM	8
2.3.2	内置闪存存储器	8
2.3.3	CRC(循环冗余校验)计算单元	8
2.3.4	内置SRAM	8
2.3.5	嵌套的向量式中断控制器(NVIC)	8
2.3.6	外部中断/事件控制器(EXTI)	8
2.3.7	时钟和启动	8
2.3.8	自举模式	9
2.3.9	供电方案	9
2.3.10	供电监控器	9
2.3.11	电压调压器	9
2.3.12	低功耗模式	10
2.3.13	DMA	10
2.3.14	RTC(实时时钟)和后备寄存器	10
2.3.15	定时器和看门狗	11
2.3.16	I ² C总线	12
2.3.17	通用同步/异步收发器(USART)	12
2.3.18	串行外设接口(SPI)	12
2.3.19	集成声卡(I ² S)	12
2.3.20	内置以太网MAC接口, 使用专用DMA, 并支持IEEE1588	13
2.3.21	控制器局域网(CAN)	13
2.3.22	通用串行总线 OTG全速(USB OTG FS)	13
2.3.23	通用输入输出接口(GPIO)	14
2.3.24	重映射功能	14
2.3.25	ADC(模拟/数字转换器)	14
2.3.26	DAC(数字/模拟转换器)	14
2.3.27	温度传感器	15
2.3.28	串行单线JTAG调试口(SWJ-DP)	15
2.3.29	内置跟踪调试模块™	15
3	引脚定义	16
4	存储器映像	23
5	电气特性	24
5.1	测试条件	24
5.1.1	最小和最大数值	24
5.1.2	典型数值	24

5.1.3	典型曲线	24
5.1.4	负载电容	24
5.1.5	引脚输入电压	24
5.1.6	供电方案	25
5.1.7	电流消耗测量	26
5.2	绝对最大额定值	26
5.3	工作条件	27
5.3.1	通用工作条件	27
5.3.2	上电和掉电时的工作条件	27
5.3.3	内嵌复位和电源控制模块特性	27
5.3.4	内置的参照电压	28
5.3.5	供电电流特性	28
5.3.6	外部时钟源特性	34
5.3.7	内部时钟源特性	37
5.3.8	PLL, PLL2和PLL3的特性	38
5.3.9	存储器特性	39
5.3.10	EMC特性	39
5.3.11	绝对最大值(电气敏感性)	40
5.3.12	I/O口注入电流特性	41
5.3.13	I/O端口特性	41
5.3.14	NRST引脚特性	44
5.3.15	TIM定时器特性	45
5.3.16	通信接口	45
5.3.17	12位ADC特性	54
5.3.18	DAC电气特性	58
5.3.19	温度传感器特性	59
6	封装特性	60
6.1	封装机械数据	60
6.2	热特性	63
6.3	参考文档	63
6.3.1	选择产品的温度范围	63
7	订货代码	65
附录A.	应用框图	66
8	版本历史	73

1 介绍

本文给出了STM32F105xx和STM32F107xx互联型产品的订购信息和器件的机械特性。有关完整的STM32F10xxx系列的详细信息，请参考第2.2节

系列之间的全兼容性。

中等容量STM32F105xx和STM32F107xx数据手册，必须结合[STM32F10xxx参考手册](#)一起阅读。

有关内部闪存存储器的编程、擦除和保护等信息，请参考《[STM32F10xxx闪存编程参考手册](#)》。

参考手册和闪存编程参考手册均可在ST网站下载：www.st.com/mcu

有关Cortex™-M3核心的相关信息，请参考《Cortex-M3技术参考手册》，可以在[ARM公司的网站](#)下载：<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>。



2 规格说明

STM32F105xx和STM32F107xx互联型系列使用高性能的ARM® Cortex™-M3 32位的RISC内核，工作频率为72MHz，内置高速存储器(高达256K字节的闪存和64K字节的SRAM)，丰富的增强I/O端口和联接到两条APB总线的外设。所有型号的器件都包含标准的通信接口(2个I²C接口、3个SPI接口、2个I²S接口、1个USB OTG全速接口、5个USART接口和2个CAN接口)，2个12位的ADC和4个通用16位定时器。STM32F107xx系列更包含以太网接口。

STM32F105xx和STM32F107xx互联型系列产品工作于-40°C至+105°C温度范围，供电电压为2.0V至3.6V。一系列的省电模式保证低功耗应用的要求。

STM32F105xx和STM32F107xx互联型系列产品提供三种不同引脚封装：从64脚到100脚。不同封装的产品内置了不同数量的外设，下文的表格具体说明了整个系列不同产品的功能和外设配置。

丰富的外设配置，使得STM32F105xx和STM32F107xx互联型系列微控制器适合于多种应用场合：

- 马达应用和控制
- 医疗和手持设备
- PC游戏外设和GPS平台
- 工业应用：可编程控制器(PLC)、变频器、打印机和扫描仪
- 警报系统、视频对讲、和暖气通风空调系统等

2.1 器件一览

Error! Reference source not found.给出了该产品系列的框图。

表2 STM32F105xx和STM32F107xx互联型产品功能和外设配置

外设 ⁽¹⁾		STM32F105Rx			STM32F107Rx		STM32F105Vx			STM32F107Vx	
闪存(K字节)		64	128	256	128	256	64	128	256	128	256
SRAM(K字节)		64									
封装形式		LQFP64					LQFP 100	LQFP100 BGA100		LQFP100	
以太网		无			1个		无			1个	
定时器	通用	4									
	高级	1									
	基本	2									
通信接口	SPI/(I ² S) ⁽²⁾	3(2)			3(2)		3(2)			3(2)	
	I ² C	2			1		2			1	
	USART	5									
	USB OTG 全速	1个									
	CAN	2个									
12位ADC模块 通道数		2 16									
12位DAC模块 通道数		2 2									
GPIO端口		51					80				
CPU频率		72MHz									
工作电压		2.0~3.6V									
工作温度		环境温度：-40°C~+85°C / -40°C~+105°C 结温度：-40°C~+105°C									

1. 如果应用需要使用的外设复用了I/O口，请参考表5引脚定义
2. SPI2和SPI3接口为SPI模式和I2S模式提供了灵活的选择

2.2 系列之间的全兼容性

STM32F105xx和STM32F107xx是一个完整的系列，其成员之间是完全地脚对脚兼容，软件和功能上也兼容。

STM32F105xx和STM32F107xx系列产品涵盖了增强型系列的小容量(STM32F103x4/6)，中等容量(STM32F103x8/B)和大容量(STM32F103xC/D/E)所有产品的性能，为用户在开发过程中尝试各种不同容量和外设配置组合提供了更大的自由度。

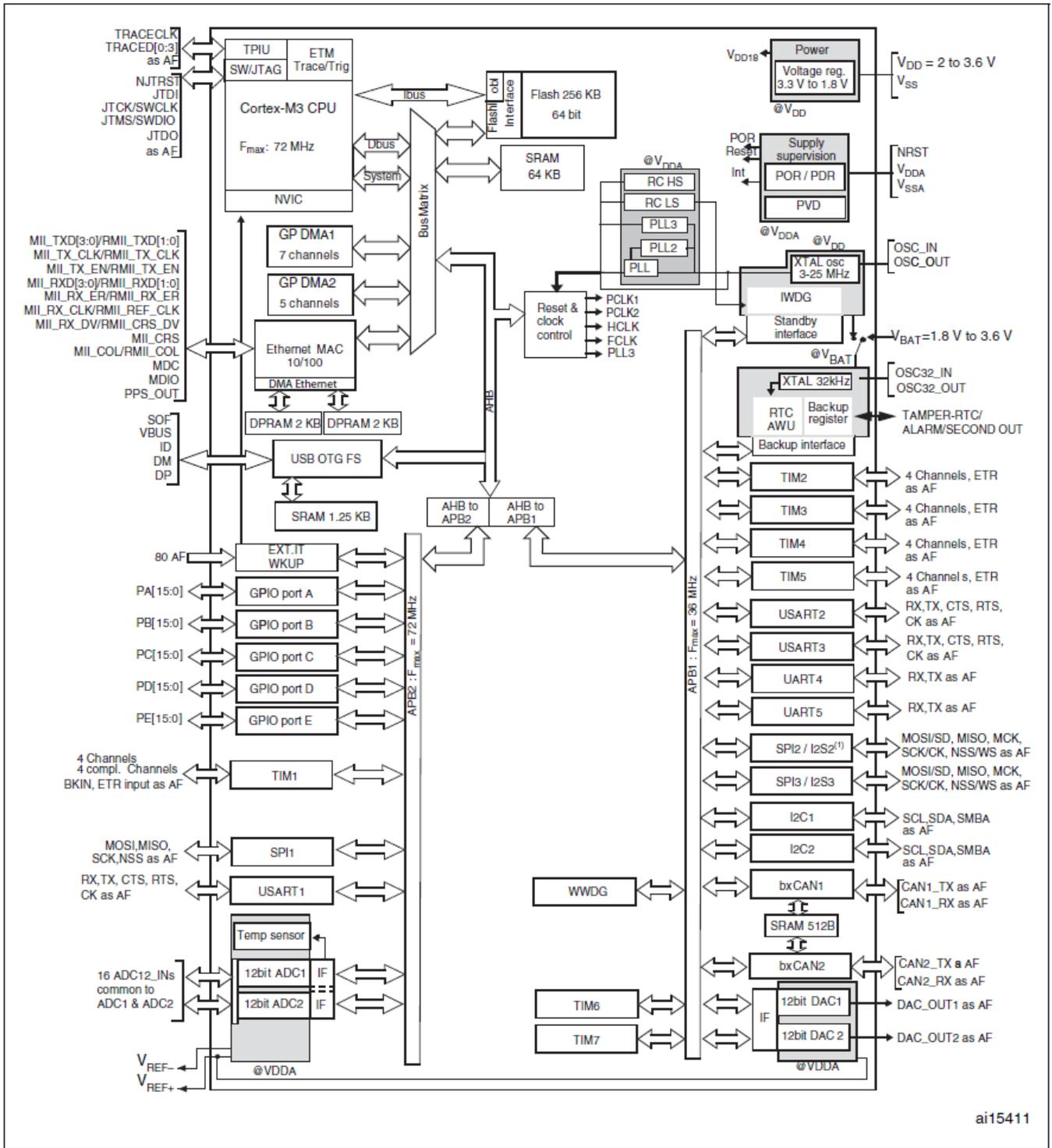
表3 STM32F105xx和STM32F107xx系列产品对比STM32F103xx系列

STM32	小容量 STM32F103xx		中等容量 STM32F103xx			大容量 STM32F103xx			STM32F105xx			STM32F107xx			
	16	32	32	64	128	256	384	512	64	128	256	128	256		
Flash 容量(KB)															
RAM 容量(KB)	6	10	10	20	20	48	64	64	64	64	64	64	64		
144脚						5个USART									
100脚						3个USART								4个16位定时器, 2个基本定时器	
64脚	2个USART 2个16位定时器 1个SPI, 1个I2C, 1个USB, 1个CAN, 1个PWM定时器 2个ADC		2个 USART 2个16位 定时器 1个SPI, 1个I2C, 1个USB, 1个CAN, 1个PWM定 时器 2个ADC		3个16位定 时器 2个SPIs, 2个I2Cs, 1个USB, 1个CAN, 1个PWM定 时器 2个ADC			3个SPI, 2个I ² S, 2个I ² C, 1个USB, 1个CAN, 2个PWM定时器 3个ADC, 2个DAC, 1个SDIO,1个 FSMC (100和144引 脚封装 ⁽²⁾)			2个I2S, 2个I2C, 1个USB OTG 全速, 2个CAN, 1个PWM定时器, 2个ADC, 2个DAC			3个SPI, 2个I2S, 1个I2C, 1个USB OTG全速, 2个CAN, 1个PWM定时器, 2个ADC, 2个DACs, 1个以太网	
48脚															
36脚															

1. 如果应用需要使用的外设复用了I/O口，请参考表5引脚定义
2. GPIOF和GPIOG不存在于100脚的封装的芯片

2.3 概述

图1 STM32F105xx和STM32F107xx互联型产品模块框图



1. 工作温度: -40°C 至 $+85^{\circ}\text{C}$ (特指后缀为6的产品, 请参考表62), 或 -40°C 至 $+105^{\circ}\text{C}$ (特指后缀为7的产品, 请参考表62), 结温分别达 105°C 和 125°C 。
2. AF: 可作为外设功能脚的I/O端口

2.3.1 ARM®的Cortex™-M3核心并内嵌闪存和SRAM

ARM的Cortex™-M3处理器是最新一代的嵌入式ARM处理器，它为实现MCU的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM的Cortex™-M3是32位的RISC处理器，提供额外的代码效率，在通常8和16位系统的存储空间上发挥了ARM内核的高性能。

STM32F105xx和STM32F107xx互联型产品系列拥有内置的ARM核心，因此它与所有的ARM工具和软件兼容。

2.3.2 内置闪存存储器

64K或256K字节的内置闪存存储器，用于存放程序和数据。

2.3.3 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器，从一个32位的数据字产生一个CRC码。在众多的应用中，基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC 60335-1标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.3.4 内置SRAM

64K字节的内置SRAM，CPU能以0等待周期访问(读/写)。

2.3.5 嵌套的向量式中断控制器(NVIC)

STM32F105xx和STM32F107xx互联型产品内置嵌套的向量式中断控制器，能够处理多达67个可屏蔽中断通道(不包括16个Cortex™-M3的中断线)和16个优先级。

- 紧耦合的NVIC能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的NVIC接口
- 允许中断的早期处理
- 处理*晚到的*较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.3.6 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含20个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2的时钟周期。多达80个通用I/O口连接到16个外部中断线。

2.3.7 时钟和启动

系统时钟的选择是在启动时进行，复位时内部8MHz的RC振荡器被选为默认的CPU时钟，随后可以选择外部的、具失效监控的3~25MHz时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地

切换到内部的RC振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

仅靠一个25MHz的晶振就可以驱动整个系统，包括以太网模块和USB OTG全速模块。一些分频器和PLL可以用来配置AHB总线，高速APB(APB2)总线和低速APB(APB1)总线的频率。AHB和高速APB总线所支持的最高频率为72MHz，低速APB总线支持的最高频率为36MHz。USB OTG全速模块+以太网的频率配置解决方案请参考图55。

先进的时钟控制系统仅需要一个晶体或一个晶振就可以为内核和所有外设提供时钟。为了达到音频级的效果，可以使用音频级的晶振。使用音频级的晶振，I2S主时钟可以提供8KHz到96KHz之间所有标准频率，并保证0.5%的精确度。请参考图56。

请参考表63来配置PLL，该表为不同应用提供了不同的PLL配置。

2.3.8 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部SRAM自举

自举加载程序(Bootloader)位于系统存储区。使用自举加载程序，可以通过USART1，USART2(重映射的)，CAN2(重映射的)或USB OTG FS的设备模式(DFU:设备固件更新)，对闪存重新编程。关于重映射请参考表5。

自举加载程序的USART部分使用内部的8MHz振荡器(HSI)，而CAN和USB OTG FS部分只能在外接8MHz，14.7456 MHz或25 MHz晶振(HSE)时才能工作。

更详细的信息，请参考[应用笔记AN2606](#)。

2.3.9 供电方案

- $V_{DD} = 2.0 \sim 3.6V$: V_{DD} 引脚为I/O引脚和内部调压器供电。
- $V_{SSA}, V_{DDA} = 2.0 \sim 3.6V$: 为ADC、复位模块、RC振荡器和PLL的模拟部分提供供电。使用ADC时， V_{DDA} 不得小于2.4V。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。
- $V_{BAT} = 1.8 \sim 3.6V$: 当关闭 V_{DD} 时，(通过内部电源切换器)为RTC、外部32kHz振荡器和后备寄存器供电。

2.3.10 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过2V时工作；当 V_{DD} 低于设定的阈值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD功能需要通过程序开启。

2.3.11 电压调压器

调压器有三个操作模式：主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于CPU的停机模式
- 关断模式用于CPU的待机模式：调压器的输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态(但寄存器和SRAM的内容将丢失)

该调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

2.3.12 低功耗模式

STM32F105xx和STM32F107xx互联型产品支持三种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- **睡眠模式**
在睡眠模式，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。
- **停机模式**
在保持SRAM和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部1.8V部分的供电，PLL、HSI的RC振荡器和HSE晶体振荡器被关闭，调压器可以被置于普通模式或低功耗模式。
可以通过任一配置成EXTI的信号把微控制器从停机模式中唤醒，EXTI信号可以是16个外部I/O口之一、PVD的输出、RTC闹钟或USB的唤醒信号。
- **待机模式**
在待机模式下可以达到最低的电能消耗。内部的电压调压器被关闭，因此所有内部1.8V部分的供电被切断；PLL、HSI的RC振荡器和HSE晶体振荡器也被关闭；进入待机模式后，SRAM和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍工作。
从待机模式退出的条件是：NRST上的外部复位信号、IWDG复位、WKUP引脚上的一个上升边沿或RTC的闹钟到时。

注：在进入停机或待机模式时，RTC、IWDG和对应的时钟不会被停止。

2.3.13 DMA

灵活的12路通用DMA(DMA1有7路，DMA2有5路)可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；两个DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA可以用于主要的外设：SPI、I²C、USART，通用、基本和高级定时器TIMx，DAC，I2S和ADC。STM32F107xx产品更有一个专门的DMA控制器用于以太网(具体信息请参考2.3.20章)。

2.3.14 RTC(实时时钟)和后备寄存器

RTC和后备寄存器通过一个开关供电，在V_{DD}有效时该开关选择V_{DD}供电，否则由V_{BAT}引脚供电。后备寄存器(42个16位的寄存器)可以用于在关闭V_{DD}时，保存84个字节的用户应用数据。RTC和后备寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC的驱动时钟可以是一个使用外部晶体的32.768kHz的振荡器、内部低功耗RC振荡器或高速的外部时钟经128分频。内部低功耗RC振荡器的典型频率为40kHz。为补偿天然晶体的偏差，可以通过输出一个512Hz的信号对RTC的时钟进行校准。RTC具有一个32位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个20位的预分频器用于时基时钟，默认情况下时钟为32.768kHz时，它将产生一个1秒长的时间基准。

更多信息请参考AN2604：“STM32F101xx and STM32F103xx RTC calibration”。

2.3.15 定时器和看门狗

STM32F105xx和STM32F107xx互联型产品内置一个高级控制定时器，4个通用定时器，2个基本定时器，2个看门狗和1个系统时钟定时器。

表4比较了通用定时器和基本定时器的功能

表4 定时器功能比较

定时器	计数器精度	计数器类型	预分频因子	DMA传输	捕获/比较通道	互补输出
TIM1	16位	向上 向下 向上/向下	1到65536之间任意值	支持	4	支持
TIMx (TIM2, TIM3, TIM4, TIM5)	16位	向上 向下 向上/向下	1到65536之间任意值	支持	4	不支持
TIM6, TIM7	16位	向上	1到65536之间任意值	支持	0	不支持

高级控制定时器(TIM1)

高级控制定时器(TIM1)可以看作是一个复用6个通道的3相PWM，支持互补的PWM输出，能插入可编程的死区时间。也可以看做是一个完整的通用定时器。4个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM生成(边沿或中心对齐模式)
- 单脉冲输出

作为一个标准的16位定时器，高级定时器具有TIMx定时器的所有特性。如果配置为16位PWM生成器，就具有全调制能力(0到100%)。

在调试模式下，计数器可以被冻结。

由于和标准TIM定时器具有相同的结构，因此也具有相同的特性。高级控制定时器也可以通过定时器链接功能与其他TIM定时器共同工作，提供同步或事件链接功能。

通用定时器(TIMx)

STM32F105xx和STM32F107xx互联型产品，内置了多达4个可同步运行的标准定时器(TIM2、TIM3、TIM4和TIM5)。每个定时器都有一个16位的自动加载递加/递减计数器、一个16位的预分频器和4个独立的通道，每个通道都可用于输入捕获、输出比较、PWM和单脉冲模式输出，因此最大封装的芯片可以提供多达16个输入捕获、输出比较或PWM通道。它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。

在调试模式下，计数器可以被冻结。

任一标准定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。

基本定时器TIM6和TIM7

这两个定时器主要用于触发DAC，同时可以用来满足普通的16位定时的需求。

独立看门狗

独立的看门狗是基于一个12位的递减计数器和一个8位的预分频器，它由一个内部独立的40kHz的RC振荡器提供时钟；因为这个RC振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗

窗口看门狗内有一个7位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24位的递减计数器
- 自动重加载功能
- 当计数器为0时能产生一个可屏蔽系统中断
- 可编程时钟源

2.3.16 I²C总线

多达2个I²C总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I²C接口支持7位或10位寻址，7位从模式时支持双从地址寻址。内置了硬件CRC发生器/校验器。

它们可以使用DMA操作并支持SMBus总线2.0版/PMBus总线。

2.3.17 通用同步/异步收发器(USART)

STM32F105xx和STM32F107xx互联型产品内置了3个通用同步/异步收发器(USART1、USART2和USART3)，以及2个通用异步收发器(USART4和USART5)。

这5个USART接口提供异步通信，支持IrDA SIR ENDEC传输编解码，支持多处理器通信模式，支持单线半双工通信模式和LIN主/从功能。

USART1接口通信速率可达4.5兆位/秒，其他USART接口通信速率为2.25兆位/秒。

USART1，USART2和USART3接口具有硬件的CTS和RTS信号管理、兼容ISO7816的智能卡并能提供类似SPI通信的功能。

除USART5之外的其他USART接口都可以使用DMA操作。

2.3.18 串行外设接口(SPI)

多达3个SPI接口，在从或主模式下，全双工和半双工的通信速率可达18兆位/秒。3位的预分频器可产生8种主模式频率，可配置成每帧8位或16位。硬件的CRC产生/校验支持基本的SD卡、MMC模式和SDHC模式^(a)。

所有的SPI接口都可以使用DMA操作。

(a)：SDHC指安全数字高容量

2.3.19 集成声卡(I²S)

内置2个标准I²S接口(和SPI2及SPI3复用)，可以工作在主或从模式下。这两个接口可以工作在16/32位分辨率下，作为输入或输出通道。支持从8KHz到96KHz的音频采样频率。当这两个I²S接口中任一接口或两个接口配置为主模式，通过高级时钟控制器，可以向外接的DAC/CODEC提供256倍于采样频率，并低于0.5%错误率的主时钟(具体请参考2.3.7章节)。

详细资料请参考STM32F10xxx参考手册的“SPI”章节关于“音频精度”的描述。

2.3.20 内置以太网MAC接口，使用专用DMA，并支持IEEE1588

此模块不存在于STM32F105xx芯片。

STM32F107xx芯片提供兼容IEEE-802.3-2002的媒体访问控制器(MAC)，通过业界标准的媒体独立接口(MII)或减少的媒体独立接口(RMII)提供以太网LAN通信。STM32F107xx芯片需要外接物理接口器件(PHY)来连接物理的LAN总线(双绞线，光纤等)。PHY通过17根信号线(MII接口)或9根信号线(RMII接口)来连接STM32F107xx芯片的MII接口，并通过STM32F107xx芯片输出的25MHz(MII接口)或50MHz(RMII)时钟信号来驱动。

STM32F107xx芯片具有以下特性：

- 支持10和100M比特/秒的通讯率
- 使用专用的DMA控制器，以提供在专用SRAM和描述符之间的高速数据传输(具体请参考STM32F105xx和STM32F107xx参考手册的相应章节)。
- 支持带标签的MAC帧(支持VLAN)
- 支持半双工(CSMA/CD)和全双工操作
- 支持MAC控制子层(控制帧)
- 32位CRC生成和去除
- 多种地址过滤模式用于物理和多播地址(多播和组播地址)
- 对每个传送和接收帧都有32位状态码
- 内置FIFO用于帧的传输和接收。发送FIFO和接收FIFO各有2K字节，共4K字节。
- 硬件支持兼容IEEE1588的PTP协议(精密时间协议)，时间戳比较输出连接到TIM2的触发输入。
- 当系统时间大于目标时间时触发中断

2.3.21 控制器局域网 (CAN)

两个CAN控制器兼容2.0A和B(主动)协议，提供高达1M比特/秒的传输速率。能用于传输和接收11位的标准帧和29位的延展帧。每个CAN控制器都有3个发送邮箱，2个可分别存放3个报文的接收FIFO，和28个共享的位宽可变的过滤器组(即使只使用一个CAN控制器也可以使用全部的过滤器组)。每个CAN控制器都有256个字节的专享SRAM(共512字节)，此专享SRAM不和其他硬件外设共用。

2.3.22 通用串行总线 OTG全速(USB OTG FS)

STM32F105xx和STM32F107xx互联型产品，内置一个USB OTG全速(12Mb/s)设备、主机和OTG模式控制模块。USB OTG FS模块兼容USB2.0和OTG1.0协议。端点可由软件配置，并支持挂起/恢复机制。USB OTG FS模块需要专用的48MHz时钟，此时钟由连接到HSE的PLL配置提供。

模块的主要特性有：

- 各端点专用的1.25K字节SRAM(不和其他任何外设模块共享)
- 4个双向端点
- 内置HNP/SNP/IP模块(不需要外接任何电阻)
- 在OTG/主机模式下，连接一个总线供电的设备时，需要使用一个电源开关
- SOF输出，可用于同步一个外接的音频设备的DAC时钟
- 兼容USB2.0协议，提供以下传输速率：
 - 主机模式：全速和低速
 - 设备模式：全速

2.3.23 通用输入输出接口(GPIO)

每个GPIO引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设功能端口。多数GPIO引脚都与数字或模拟的复用外设共用。所有的GPIO引脚都有大电流通过能力。

在需要的情况下，I/O引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入I/O寄存器。挂在APB2总线上的I/O引脚可以提供高达18MHz的翻转频率。

2.3.24 重映射功能

此功能使用户可以在选定的器件下实现最多数量的外设功能。那些复用的外设功能不仅仅可以通过默认的引脚实现，还可以通过其他那些可重映射的引脚实现。这使得引脚的选择更加灵活，制板更加方便。

具体请参考表5，列出了所有那些可以重映射的外设功能，以及重映射到的引脚。请参考STM32F10xxx参考手册来获得软件配置的详细信息。

2.3.25 ADC(模拟/数字转换器)

STM32F105xx和STM32F107xx互联型产品，提供2个12位的模拟/数字转换器(ADC)，每个ADC共用多达16个外部通道，可以实现单次或扫描转换。在扫描模式下，自动进行在选定的一组模拟输入上的转换。

双ADC模式时，模块提供额外的逻辑功能：

- 同时采样和保持
- 交替采样和保持
- 独立操作

ADC可以使用DMA操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由标准定时器(TIMx)和高级控制定时器(TIM1)产生的事件可以在内部分别连接到ADC的启动触发和注入触发，以便应用程序可以同步定时器和A/D转换。

2.3.26 DAC(数字/模拟转换器)

2个12位的DAC模块，可用于将输入的2路数字信号转换成2个模拟电压输出。所使用的设计结构由电阻串和反向放大器综合组成。

这个双DAC模块支持以下功能：

- 两路DAC转换：每个转换器对应一路转换通道
- 8位或12位单调输出
- 12位模式下的数字左对齐或右对齐
- 同步更新功能
- 噪声波生成
- 三角波生成
- 双DAC通道同时或者分别转换
- 每个通道都有DMA功能
- 外部触发转换
- 输入参考电压VREF+

STM32F105xx和STM32F107xx互联型产品，支持8种DAC的触发输入。DAC通道可以由定时器的更新事件触发，并连接到不同的DMA通道。

2.3.27 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在 $2V < V_{DDA} < 3.6V$ 之间。温度传感器在内部被连接到ADC_IN16的输入通道上，用于将传感器的输出转换到数字数值。

2.3.28 串行单线JTAG调试口(SWJ-DP)

内嵌ARM的SWJ-DP接口，这是一个结合了JTAG和串行单线调试的接口，可以实现串行单线调试接口或JTAG接口的连接。JTAG的TMS和TCK信号分别与SWDIO和SWCLK共用引脚，TMS脚上的一个特殊的信号序列用于在JTAG-DP和SW-DP间切换。

2.3.29 内置跟踪调试模块™

STM32F10xxx芯片通过非常少的ETM引脚与一个外部的硬件调试跟踪分析设备(TPA)相连，以非常高的数据压缩率来记录指令的执行和数据的流动，因此ARM公司的内置跟踪调试模块能够在CPU内核中执行的指令和流动的数据变得几乎透明。

TPA设备通过USB，以太网或者其他高速通信接口与主机电脑相连。实时的指令执行和数据流动都会被电脑上运行的调试软件记录下来，并按一定格式显示出来。TPA设备由市面上常见的开发工具厂商提供，配合第三方提供的软件调试工具一起使用。

3 引脚定义

图2 STM32F105xxx和STM32F107xxx互联型产品BGA100封装引脚分布

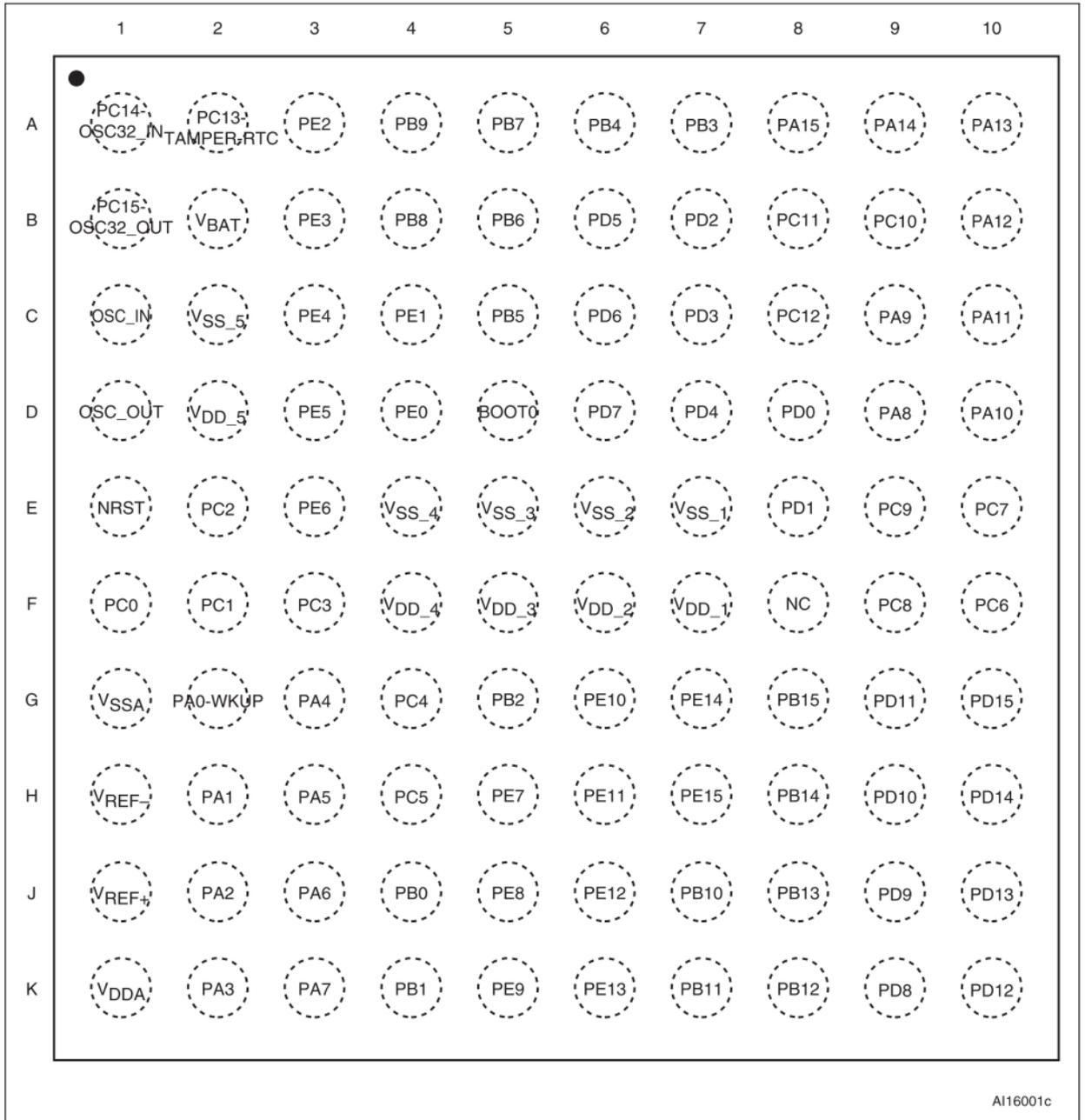


图3 STM32F105xxx和STM32F107xxx互联型产品LQFP100封装引脚分布

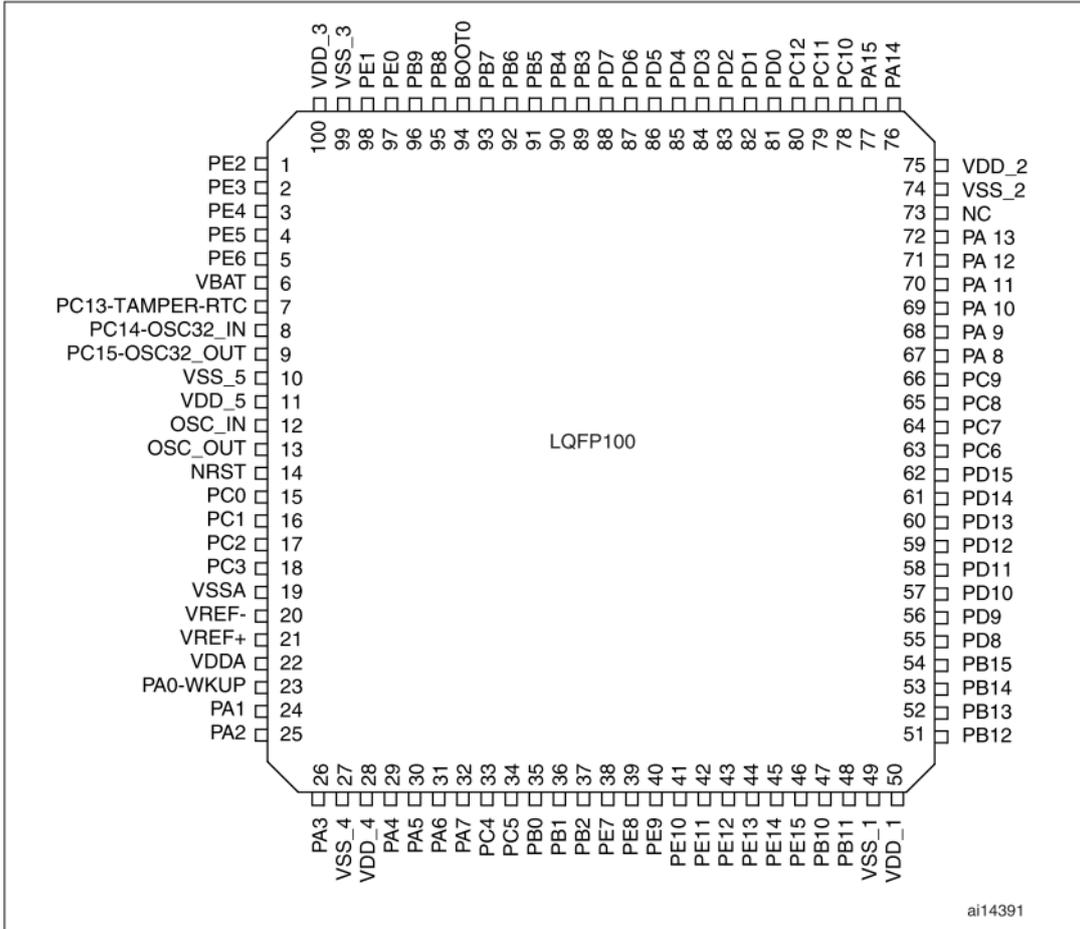


图4 STM32F105xxx和STM32F107xxx互联型产品LQFP 64封装引脚分布

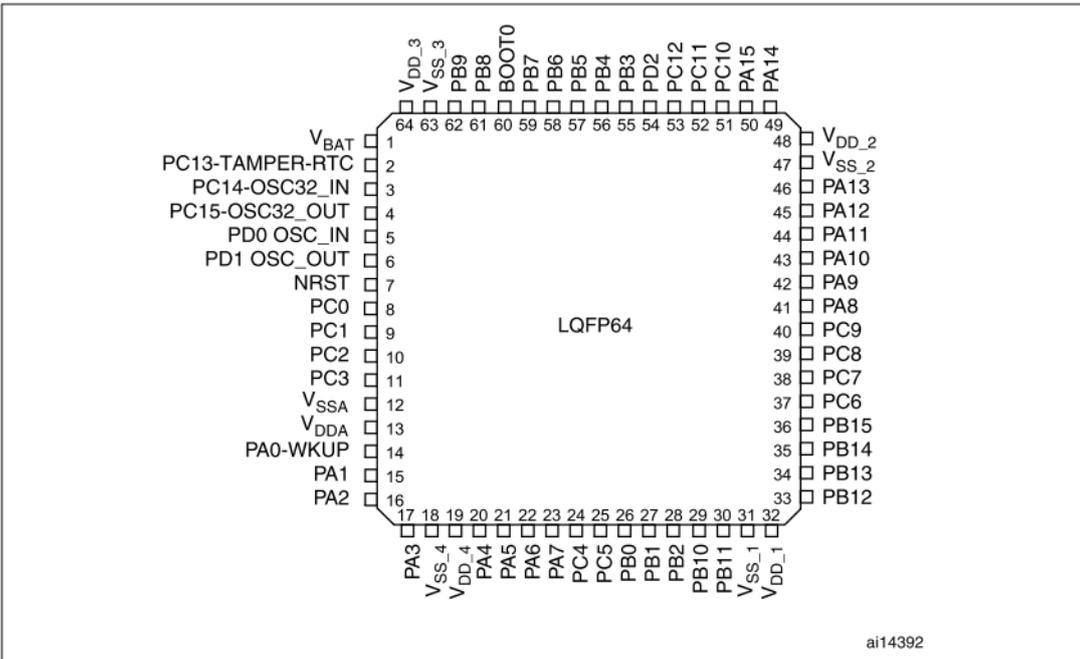


表5 引脚定义

引脚编号			引脚名称	类型 (1)	I/O电平(2)	主功能(3) (复位后)	可选的复用功能(4)	
BGA100	LQFP64	LQFP100					默认复用功能	重定义功能
A3	-	1	PE2	I/O	FT	PE2	TRACECK	
B3	-	2	PE3	I/O	FT	PE3	TRACED0	
C3	-	3	PE4	I/O	FT	PE4	TRACED1	
D3	-	4	PE5	I/O	FT	PE5	TRACED2	
E3	-	5	PE6	I/O	FT	PE6	TRACED3	
B2	1	6	V _{BAT}	S		V _{BAT}		
A2	2	7	PC13-TAMPER-RTC ⁽⁵⁾	I/O		PC13 ⁽⁶⁾	TAMPER-RTC	
A1	3	8	PC14-OSC32_IN ⁽⁵⁾	I/O		PC14 ⁽⁶⁾	OSC32_IN	
B1	4	9	PC15-OSC32_OUT ⁽⁵⁾	I/O		PC15 ⁽⁶⁾	OSC32_OUT	
C2	-	10	V _{SS_5}	S		V _{SS_5}		
D2	-	11	V _{DD_5}	S		V _{DD_5}		
C1	5	12	OSC_IN	I		OSC_IN		
D1	6	13	OSC_OUT	O		OSC_OUT		
E1	7	14	NRST	I/O		NRST		
F1	8	15	PC0	I/O		PC0	ADC12_IN10	
F2	9	16	PC1	I/O		PC1	ADC12_IN11/ ETH_MII_MDC/ ETH_RMII_MDC	
E2	10	17	PC2	I/O		PC2	ADC12_IN12/ ETH_MII_TXD2	
F3	11	18	PC3	I/O		PC3	ADC12_IN13/ ETH_MII_TX_CLK	
G1	12	19	V _{SSA}	S		V _{SSA}		
H1	-	20	V _{REF-}	S		V _{REF-}		
J1	-	21	V _{REF+}	S		V _{REF+}		
K1	13	22	V _{DDA}	S		V _{DDA}		
G2	14	23	PA0-WKUP	I/O		PA0	WKUP/USART2_CTS ⁽⁷⁾ ADC12_IN0/TIM2_CH1_ET R TIM5_CH1/	
H2	15	24	PA1	I/O		PA1	USART2_RTS ⁽⁷⁾ / ADC12_IN1/ TIM5_CH2/TIM2_CH2 ⁽⁷⁾ / ETH_MII_RX_CLK/ ETH_RMII_REF_CLK	

表5 中等容量STM32F102xx引脚定义 (续1)

引脚编号			引脚名称	类型 (1)	I/O电平(2)	主功能(3) (复位后)	可选的复用功能(4)	
BGA100	LQFP64	LQFP100					默认复用功能	重定义功能
J2	16	25	PA2	I/O		PA2	USART2_TX ⁽⁷⁾ / TIM5_CH3/ADC12_IN2/ TIM2_CH3 ⁽⁷⁾ / ETH_MII_MDIO/	
K2	17	26	PA3	I/O		PA3	USART2_RX ⁽⁷⁾ / TIM5_CH4/ADC12_IN3 / TIM2_CH4 ⁽⁷⁾ / ETH_MII_COL	
E4	18	27	V _{SS_4}	S		V _{SS_4}		
F4	19	28	V _{DD_4}	S		V _{DD_4}		
G3	20	29	PA4	I/O		PA4	SPI1_NSS ⁽⁷⁾ /DAC_OUT1 / USART2_CK ⁽⁷⁾ /	SPI3_NSS/I2S3_WS
H3	21	30	PA5	I/O		PA5	SPI1_SCK ⁽⁷⁾ / DAC_OUT2 / ADC12_IN5	
J3	22	31	PA6	I/O		PA6	SPI1_MISO ⁽⁷⁾ /ADC12_IN6 / TIM3_CH1 ⁽⁷⁾	TIM1_BKIN
K3	23	32	PA7	I/O		PA7	SPI1_MOSI ⁽⁷⁾ /ADC12_IN7 / TIM3_CH2 ⁽⁷⁾ / ETH_MII_RX_DV ⁽⁸⁾ /	TIM1_CH1N
G4	24	33	PC4	I/O		PC4	ADC12_IN14/ ETH_MII_RXD0 ⁽⁸⁾ / ETH_RMII_RXD0	
H4	25	34	PC5	I/O		PC5	ADC12_IN15/ ETH_MII_RXD1 ⁽⁸⁾ / ETH_RMII_RXD1	
J4	26	35	PB0	I/O		PB0	ADC12_IN8/TIM3_CH3/ ETH_MII_RXD2 ⁽⁸⁾	TIM1_CH2N
K4	27	36	PB1	I/O		PB1	ADC12_IN9/TIM3_CH4 ⁽⁷⁾ / ETH_MII_RXD3 ⁽⁸⁾	TIM1_CH3N
G5	28	37	PB2	I/O	FT	PB2/BOOT		
H5	-	38	PE7	I/O	FT	PE7		TIM1_ETR
J5	-	39	PE8	I/O	FT	PE8		TIM1_CH1N
K5	-	40	PE9	I/O	FT	PE9		TIM1_CH1
-	-	-	V _{SS_7}	S				
-	-	-	V _{DD_7}	S				
G6	-	41	PE10	I/O	FT	PE10		TIM1_CH2N
H6	-	42	PE11	I/O	FT	PE11		TIM1_CH2
J6	-	43	PE12	I/O	FT	PE12		TIM1_CH3N

表5 中等容量STM32F102xx引脚定义 (续2)

引脚编号			引脚名称	类型 (1)	I/O电平 ⁽²⁾	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾	
BGA100	LQFP64	LQFP100					默认复用功能	重定义功能
K6	-	44	PE13	I/O	FT	PE13		TIM1_CH3
G7	-	45	PE14	I/O	FT	PE14		TIM1_CH4
H7	-	46	PE15	I/O	FT	PE15		TIM1_BKIN
J7	29	47	PB10	I/O	FT	PB10	I2C2_SCL ⁽⁸⁾ /USART3_TX ⁽⁷⁾ / ETH_MII_RX_ER	TIM2_CH3
K7	30	48	PB11	I/O	FT	PB11	I2C2_SDA ⁽⁸⁾ /USART3_RX ⁽⁷⁾ /	TIM2_CH4
E7	31	49	V _{SS_1}	S		V _{SS_1}		
F7	32	50	V _{DD_1}	S		V _{DD_1}		
K8	33	51	PB12	I/O	FT	PB12	SPI2_NSS ⁽⁸⁾ /I2S2_WS ⁽⁸⁾ / I2C2_SMBA ⁽⁸⁾ / USART3_CK ⁽⁷⁾ / TIM1_BKIN ⁽⁷⁾ / CAN2_RX/ ETH_MII_TXD0/ ETH_RMII_TXD0	
J8	34	52	PB13	I/O	FT	PB13	SPI2_SCK ⁽⁸⁾ / I2S2_CK ⁽⁸⁾ / USART3_CTS ⁽⁷⁾ / TIM1_CH1N/CAN2_TX/ ETH_MII_TXD1/ ETH_RMII_TXD1	
H8	35	53	PB14	I/O	FT	PB14	SPI2_MISO ⁽⁸⁾ /TIM1_CH2N / USART3_RTS ⁽⁷⁾	
G8	36	54	PB15	I/O	FT	PB15	SPI2_MOSI ⁽⁸⁾ / I2S2_SD ⁽⁸⁾ / TIM1_CH3N ⁽⁷⁾	
K9	-	55	PD8	I/O	FT	PD8		USART3_TX/ ETH_MII_RX_DV/ ETH_RMII_CRS_DV
J9	-	56	PD9	I/O	FT	PD9		USART3_RX/ ETH_MII_RXD0/ ETH_RMII_RXD0
H9	-	57	PD10	I/O	FT	PD10		USART3_CK/ ETH_MII_RXD1/ ETH_RMII_RXD1
G9	-	58	PD11	I/O	FT	PD11		USART3_CTS/ ETH_MII_RXD2
K10	-	59	PD12	I/O	FT	PD12		TIM4_CH1 / USART3_RTS/ ETH_MII_RXD3
J10	-	60	PD13	I/O	FT	PD13		TIM4_CH2
H10	-	61	PD14	I/O	FT	PD14		TIM4_CH3

表5 中等容量STM32F102xx引脚定义 (续3)

引脚编号			引脚名称	类型 (1)	I/O电平 ⁽²⁾	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾		
BGA100	LQFP64	LQFP100					默认复用功能	重定义功能	
G10	-	62	PD15	I/O	FT	PD15		TIM4_CH4	
F10	37	63	PC6	I/O	FT	PC6	I2S2_MCK/	TIM3_CH1	
E10	38	64	PC7	I/O	FT	PC7	I2S3_MCK	TIM3_CH2	
F9	39	65	PC8	I/O	FT	PC8		TIM3_CH3	
E9	40	66	PC9	I/O	FT	PC9		TIM3_CH4	
D9	41	67	PA8	I/O	FT	PA8	USART1_CK/OTG_FS_SOF/		
C9	42	68	PA9	I/O	FT	PA9	USART1_TX ⁽⁷⁾ / TIM1_CH2 ⁽⁷⁾ /		
D10	43	69	PA10	I/O	FT	PA10	USART1_RX ⁽⁷⁾ / TIM1_CH3 ⁽⁷⁾ /OTG_FS_ID		
C10	44	70	PA11	I/O	FT	PA11	USART1_CTS / CAN1_RX / TIM1_CH4 ⁽⁷⁾ /OTG_FS_DM		
B10	45	71	PA12	I/O	FT	PA12	USART1_RTS/OTG_FS_DP/		
A10	46	72	PA13	I/O	FT	JTMS-SWDIO		PA13	
F8	-	73	Not connected						
E6	47	74	V _{SS_2}	S		V _{SS_2}			
F6	48	75	V _{DD_2}	S		V _{DD_2}			
A9	49	76	PA14	I/O	FT	JTCK-SWCLK		PA14	
A8	50	77	PA15	I/O	FT	JTDI	SPI3_NSS / I2S3_WS	TIM2_CH1_ETR / PA15 SPI1_NSS	
B9	51	78	PC10	I/O	FT	PC10	UART4_TX	USART3_TX/ SPI3_SCK/I2S3_CK	
B8	52	79	PC11	I/O	FT	PC11	UART4_RX	USART3_RX/ SPI3_MISO	
C8	53	80	PC12	I/O	FT	PC12	UART5_TX	USART3_CK/ SPI3_MOSI/I2S3_SD	
-	-	81	PD0	I/O	FT	PD0		OSC_IN ⁽⁹⁾ /CAN1_RX	
-	-	82	PD1	I/O	FT	PD1		OSC_OUT ⁽⁹⁾ /CAN1_TX	
B7	54	83	PD2	I/O	FT	PD2	TIM3_ETR / UART5_RX		
C7	-	84	PD3	I/O	FT	PD3		USART2_CTS	
D7	-	85	PD4	I/O	FT	PD4		USART2_RTS	
B6	-	86	PD5	I/O	FT	PD5		USART2_TX	
C6	-	87	PD6	I/O	FT	PD6		USART2_RX	
D6	-	88	PD7	I/O	FT	PD7		USART2_CK	

表5 中等容量STM32F102xx引脚定义 (续4)

引脚编号			引脚名称	类型 (1)	I/O电平 ⁽²⁾	主功能 ⁽³⁾ (复位后)	可选的复用功能 ⁽⁴⁾	
BGA100	LQFP64	LQFP100					默认复用功能	重定义功能
A7	55	89	PB3	I/O	FT	JTDO	SPI3_SCK / I2S3_CK	PB3 / TRACESWO/ TIM2_CH2 / SPI1_SCK
A6	56	90	PB4	I/O	FT	NJTRST	SPI3_MISO	PB4 / TIM3_CH1/ SPI1_MISO
C5	57	91	PB5	I/O		PB5	I2C1_SMBA / SPI3_MOSI / ETH_MII_PPS_OUT / I2S3_SD ETH_RMII_PPS_OUT	TIM3_CH2/SPI1_MOSI/ CAN2_RX
B5	58	92	PB6	I/O	FT	PB6	I2C1_SCL ⁽⁷⁾ /TIM4_CH1 ⁽⁷⁾	USART1_TX/CAN2_TX
A5	59	93	PB7	I/O	FT	PB7	I2C1_SDA ⁽⁷⁾ /TIM4_CH2 ⁽⁷⁾	USART1_RX
D5	60	94	BOOT0	I		BOOT0		
B4	61	95	PB8	I/O	FT	PB8	TIM4_CH3 ⁽⁷⁾ / ETH_MII_TXD3	I2C1_SCL/CAN1_RX
A4	62	96	PB9	I/O	FT	PB9	TIM4_CH4 ⁽⁷⁾	I2C1_SDA / CAN1_TX
D4	-	97	PE0	I/O	FT	PE0	TIM4_ETR	
C4	-	98	PE1	I/O	FT	PE1		
E5	63	99	V _{SS_3}	S		V _{SS_3}		
F5	64	100	V _{DD_3}	S		V _{DD_3}		

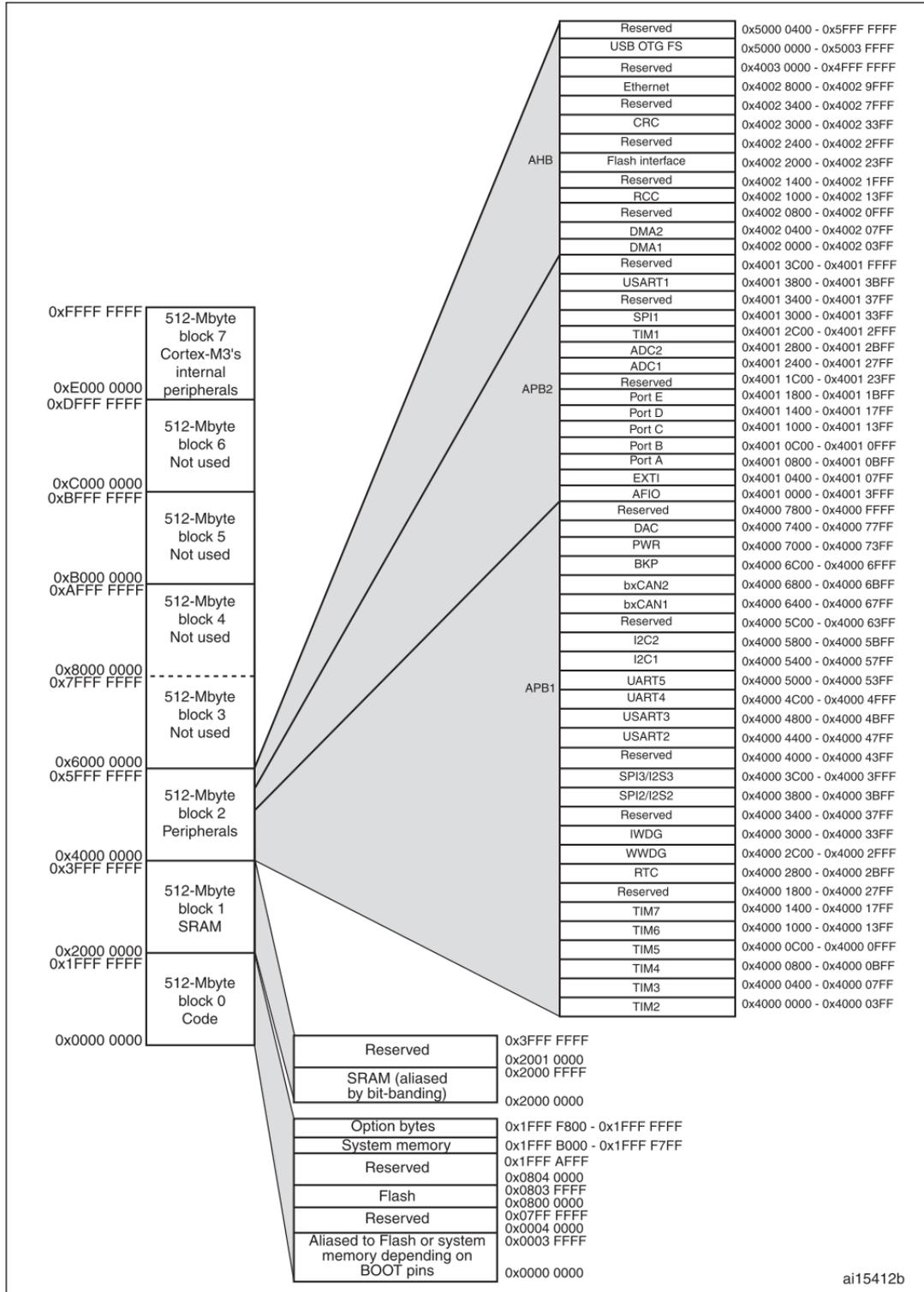
1. I = 输入, O = 输出, S = 电源, HiZ = 高阻
2. FT: 容忍5V
3. 可以使用的功能依选定的型号而定。
4. 如果有多个外设功能映射到了同一个I/O口, 为了避免外设的冲突, 在同一时间, 只能通过外设时钟的使能位(在相应的RCC外设时钟使能寄存器中)使能一个外设。
5. PC13, PC14和PC15引脚通过电源开关进行供电, 因此这三个引脚作为输出引脚时有以下限制: 在同一时间只有一个引脚能作为输出, 作为输出脚时只能工作在2MHz模式下, 最大驱动负载为30pF。
6. 这些引脚在备份区域第一次上电时处于主功能状态下, 之后即使复位, 这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复位系统所复位)。关于如何控制这些IO口的具体信息, 请参考STM32F10xxx参考手册的电池备份区域和BKP寄存器的相关章节。
7. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚), 详细信息请参考STM32F10xxx参考手册的复用功能I/O章节和调试设置章节。
8. 在使用以太网模块时, 不能使用SPI2、I2S2和I2C2。
9. LQFP48封装的引脚5和引脚6, 在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚。软件可以重新设置这两个引脚为PD0和PD1功能。LQFP100封装和BGA100封装的PD0和PD1默认即为有效, 因此无需软件重新设置。更多详细信息请参考STM32F10xxx参考手册的复用功能I/O章节和调试设置章节。

译注:

表中的引脚PA0对应的复用功能中的TIM2_CH1_ETR, 表示可以配置该功能为TIM2_TI1或TIM2_ETR。同理, PA15对应的重映射复用功能的名称TIM2_CH1_ETR, 具有相同的意义。

4 存储器映像

图5 存储器图



ai15412b

5 电气特性

5.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

5.1.1 最小和最大数值

除非特别说明，在生产线上通过对100%的产品在环境温度 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试(T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2\text{V} \leq V_{DD} \leq 3.3\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的ADC精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均 $\pm 2\sigma$)。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于图6中。

5.1.5 引脚输入电压

引脚上输入电压的测量方式示于图7中。

图6 引脚的负载条件

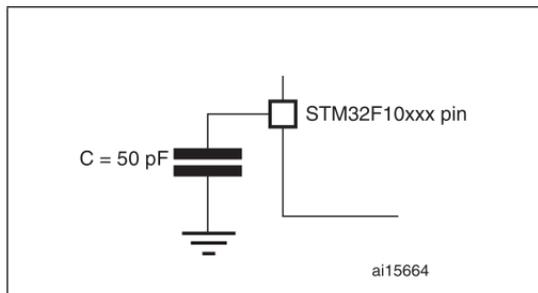
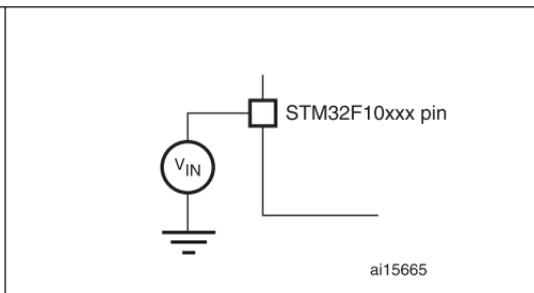
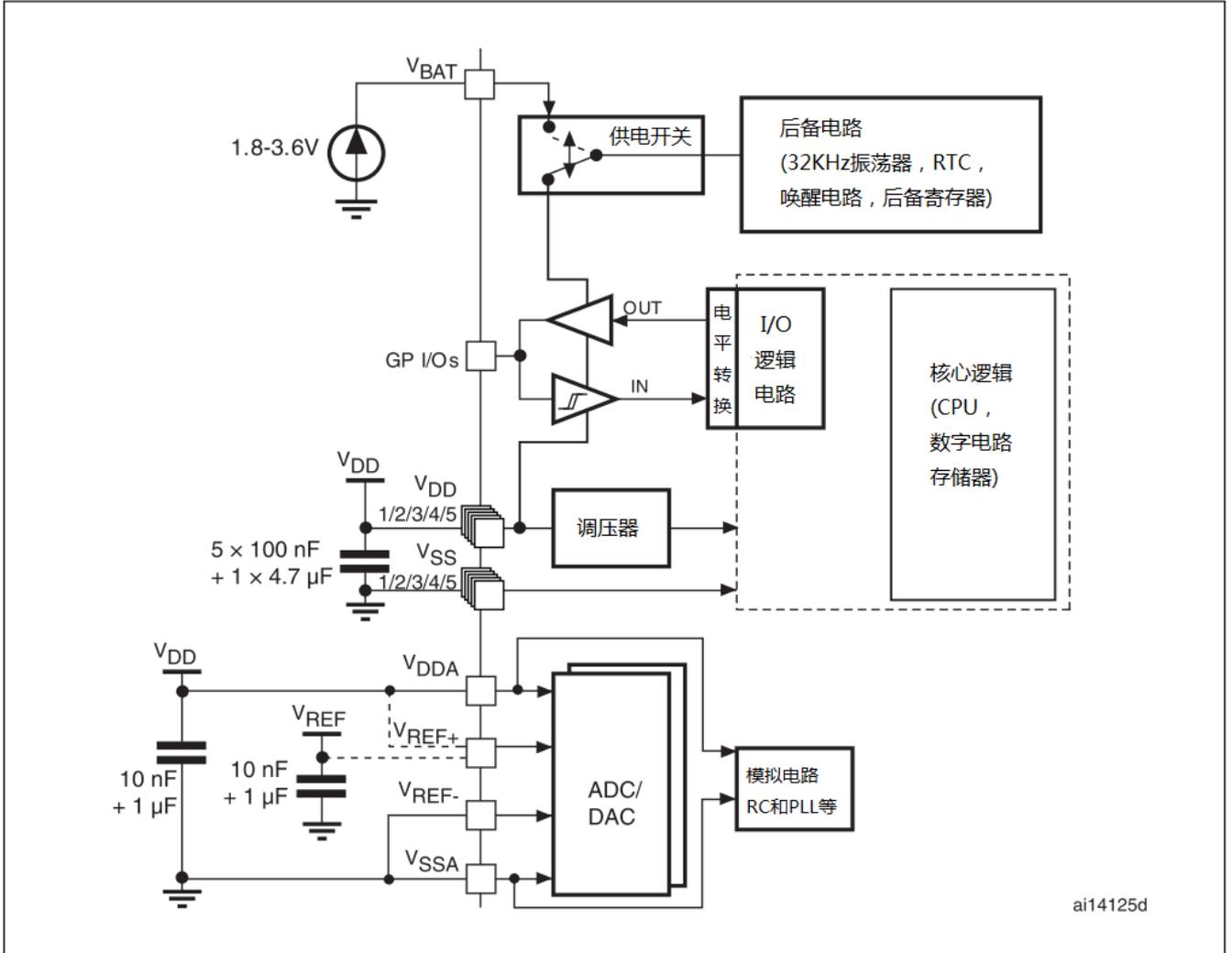


图7 引脚输入电压



5.1.6 供电方案

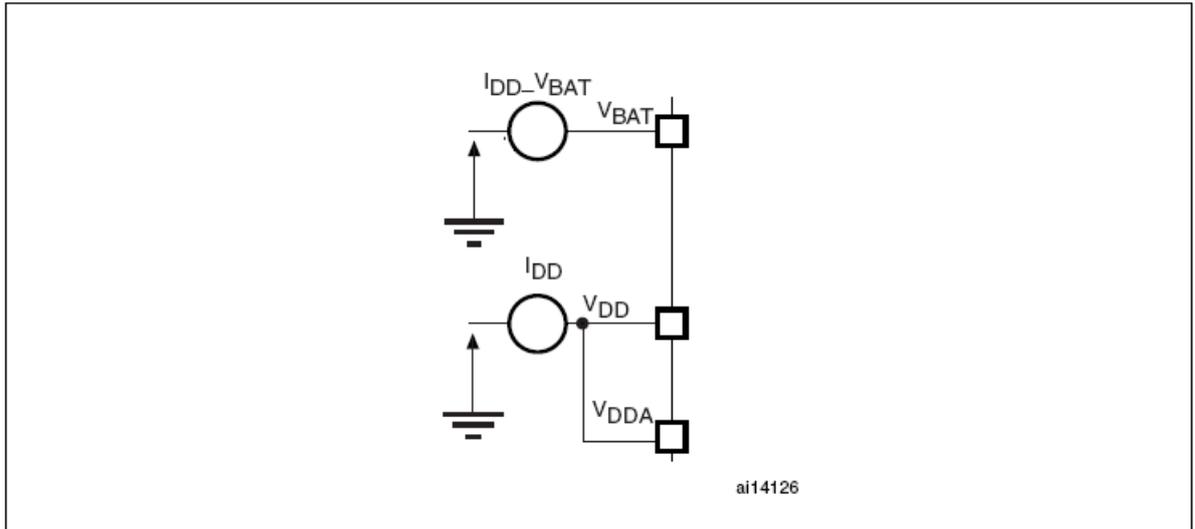
图8 供电方案



注：上图中的4.7μF电容必须连接到V_{DD3}。

5.1.7 电流消耗测量

图9 电流消耗测量方案



5.2 绝对最大额定值

加在器件上的载荷如果超过‘绝对最大额定值’列表(表6、表7和表8)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表6 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾	-0.3	4.0	V
V_{IN} ⁽²⁾	在5V容忍的引脚上的输入电压	$V_{SS}-0.3$	$V_{DD} + 4.0$	
	在其它引脚上的输入电压	$V_{SS}-0.3$	4.0	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差		50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差		50	
$V_{ESD(HBM)}$	ESD静电放电电压(人体模型)	参见第5.3.11绝对最大值(电气敏感性)		

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- $I_{INJ(PIN)}$ 绝对不可以超过它的极限(见表7),即保证 V_{IN} 不超过其最大值。

表7 电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾	150	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾	150	
I_{IO}	任意I/O和控制引脚上的输出灌电流	25	
	任意I/O和控制引脚上的输出电流	-25	
$I_{INJ(PIN)}$ ⁽²⁾	5V容忍引脚上的注入电流 ⁽³⁾	-5/+0	
	其他引脚的注入电流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}$	所有I/O和控制引脚上的总注入电流 ⁽⁵⁾	± 25	

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- 反向注入电流会干扰器件的模拟性能。参看第5.3.17节。
- 此类引脚不允许有正向注入电流。当 $V_{IN} < V_{SS}$ 时,会引入反向注入电流。 $I_{INJ(PIN)}$ 绝对不可以超过它的极限值。允许的输入电压最大值,请参看表6。
- 当 $V_{IN} > V_{DD}$ 时,会引入正向注入电流,而当 $V_{IN} < V_{SS}$ 时,会引入反向注入电流。 $I_{INJ(PIN)}$ 绝对不可以超过它的极限值。允许的输入电压最大值,请参看表6。
- 当几个I/O口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

表8 温度特性

符号	描述	数值	单位
T _{STG}	储存温度范围	-65 ~ + 150	°C
T _J	最大结温度	150	°C

5.3 工作条件

5.3.1 通用工作条件

表9 通用工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部AHB时钟频率		0	72	MHz
f _{PCLK1}	内部APB1时钟频率		0	36	
f _{PCLK2}	内部APB2时钟频率		0	72	
V _{DD}	标准工作电压		2	3.6	V
V _{DDA} ⁽¹⁾	模拟部分工作电压(未使用ADC)	必须与V _{DD} ⁽²⁾ 相同	2	3.6	V
	模拟部分工作电压(使用ADC)		2.4	3.6	
V _{BAT}	备份部分工作电压		1.8	3.6	V
P _D	尾缀6的器件在T _A =85°C时的功率耗散, 以及尾缀7的器件在T _A =105°C时功率耗散 ⁽³⁾	LFBGA100		500	mW
		LQFP100		434	
		LQFP64		444	
T _A	尾缀为6的器件的环境温度	最大功率耗散	-40	85	°C
		低功率耗散 ⁽⁴⁾	-40	105	
	尾缀为7的器件的环境温度	最大功率耗散	-40	105	
		低功率耗散 ⁽⁴⁾	-40	125	
T _J	结温度范围	尾缀为6的器件	-40	105	°C
		尾缀为7的器件	-40	125	

1. 当使用ADC时, 参见表52。
2. 建议使用相同的电源为V_{DD}和V_{DDA}供电, 在上电和正常操作期间, V_{DD}和V_{DDA}之间最多允许有300mV的差别。
3. 如果T_A较低, 只要T_J不超过T_{Jmax}, 则允许更高的P_D数值。
4. 在较低的功率耗散的状态下, 只要T_J不超过T_{Jmax}, T_A可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表10 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速率		0	∞	μs/V
	V _{DD} 下降速率		20	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表9列出的环境温度下和V_{DD}供电电压下测试得出。

表11 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.1	2.18	2.26	V
		PLS[2:0]=000 (下降沿)	2	2.08	2.16	V

		PLS[2:0]=001 (上升沿)	2.19	2.28	2.37	V
		PLS[2:0]=001 (下降沿)	2.09	2.18	2.27	V
		PLS[2:0]=010 (上升沿)	2.28	2.38	2.48	V
		PLS[2:0]=010 (下降沿)	2.18	2.28	2.38	V
		PLS[2:0]=011 (上升沿)	2.38	2.48	2.58	V
		PLS[2:0]=011 (下降沿)	2.28	2.38	2.48	V
		PLS[2:0]=100 (上升沿)	2.47	2.58	2.69	V
		PLS[2:0]=100 (下降沿)	2.37	2.48	2.59	V
		PLS[2:0]=101 (上升沿)	2.57	2.68	2.79	V
		PLS[2:0]=101 (下降沿)	2.47	2.58	2.69	V
		PLS[2:0]=110 (上升沿)	2.66	2.78	2.9	V
		PLS[2:0]=110 (下降沿)	2.56	2.68	2.8	V
		PLS[2:0]=111 (上升沿)	2.76	2.88	3	V
		PLS[2:0]=111 (下降沿)	2.66	2.78	2.9	V
$V_{PVDhyst}^{(2)}$	PVD迟滞			100		mV
$V_{POR/PDR}$	上电/掉电复位阈值	下降沿	1.8 ⁽¹⁾	1.88	1.96	V
		上升沿	1.84	1.92	2.0	V
$V_{PDRhyst}^{(2)}$	PDR迟滞			40		mV
$T_{RSTTEMPO}^{(2)}$	复位持续时间		1	2.5	4.5	ms

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。
2. 由设计保证，不在生产中测试。

5.3.4 内置的参照电压

下表中给出的参数是依据表9列出的环境温度下和 V_{DD} 供电电压下测试得出。

表12 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参照电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.16	1.20	1.26	V
		$-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$	1.16	1.20	1.24	
$T_{S_vrefint}^{(1)}$	当读出内部参照电压时，ADC的采样时间			5.1	17.1 ⁽²⁾	us
$V_{REFINT}^{(2)}$	在整个温度范围内的内置参考电压变化	$V_{DD} = 3\text{ V} \pm 10\text{mV}$			10	mV
$T_{Ccoeff}^{(2)}$	温度系数				100	ppm/ $^{\circ}\text{C}$

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、产品的软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图9。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码，能够得到Dhrystone 2.1代码等效的结果。

最大电流消耗

微控制器处于下列条件：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。

- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~24MHz时为0个等待周期，24~48MHz时为1个等待周期，更高的频率为2个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}/2$ ， $f_{PCLK2} = f_{HCLK}$ 。

表13和表14和表15中给出的参数，是依据表9列出的环境温度下和 V_{DD} 供电电压下测试得出。

表13 运行模式下的最大电流消耗，代码从内部闪存中运行

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I_{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾ ， 使能所有外设	72MHz	68	68.4	mA
			48MHz	49	49.2	
			36MHz	38.7	38.9	
			24MHz	27.3	27.9	
			16MHz	20.2	20.5	
			8MHz	10.2	10.8	
		外部时钟 ⁽²⁾ ， 关闭所有外设	72MHz	32.7	32.9	
			48MHz	25	25.2	
			36MHz	20.3	20.6	
			24MHz	14.8	15.1	
			16MHz	11.2	11.7	
			8MHz	6.6	7.2	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用PLL。

表14 运行模式下的最大电流消耗，代码从内部RAM中运行

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I_{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾ ， 使能所有外设	72MHz	65.5	66	mA
			48MHz	45.4	46	
			36MHz	35.5	36.1	
			24MHz	25.2	25.6	
			16MHz	18	18.5	
			8MHz	10.5	11	
		外部时钟 ⁽²⁾ ， 关闭所有外设	72MHz	31.4	31.9	
			48MHz	27.8	28.2	
			36MHz	17.6	18.3	
			24MHz	13.1	13.8	
			16MHz	10.2	10.9	
			8MHz	6.1	7.8	

1. 由综合评估得出，在生产中以 V_{DDmax} 和 $f_{HCLKmax}$ 为条件测试。
2. 外部时钟为8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用PLL。

表15 睡眠模式下的最大电流消耗，代码从内部RAM或者内部闪存中运行

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I_{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾ ， 使能所有外设	72MHz	48.4	49	mA
			48MHz	33.9	34.4	
			36MHz	26.7	27.2	
			24MHz	19.3	19.8	
			16MHz	14.2	14.8	
			8MHz	8.7	9.1	

	外部时钟 ⁽²⁾ , 关闭所有外设	72MHz	10.1	10.6
		48MHz	8.3	8.75
		36MHz	7.5	8
		24MHz	6.6	7.1
		16MHz	6	6.5
		8MHz	2.5	3

1. 由综合评估得出, 在生产中以 V_{DDmax} 和 $f_{HCLKmax}$ 为条件测试。

2. 外部时钟为8MHz, 当 $f_{HCLK} > 8MHz$ 时启用PLL。

表16 停止模式和待机模式下的最大电流消耗

符号	参数	条件	典型值 ⁽¹⁾			最大值		单位
			V_{DD}/V_{BAT} = 2.0V	V_{DD}/V_{BAT} = 2.4V	V_{DD}/V_{BAT} = 3.3V	$T_A = 85^\circ C$	$T_A = 105^\circ C$	
I_{DD}	待机模式下的 供应电流	调压器处于运行模式, 低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)		32	33	600	1300	μA
		调压器处于低功耗模式, 低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)		25	26	590	1280	
	待机模式下的 供应电流 ⁽²⁾	低速内部RC振荡器和独立看门狗处于开启状态		3	3.8			
低速内部RC振荡器处于开启状态, 独立看门狗处于关闭状态			2.8	3.6				
低速内部RC振荡器和独立看门狗处于关闭状态, 低速振荡器和RTC处于关闭状态			1.9	2.1	5 ⁽²⁾	6.5 ⁽²⁾		
I_{DD_VBAT}	备份区域的供应电流	低速振荡器和RTC处于开启状态	1.1	1.2	1.4	2.1 ⁽²⁾	2.3 ⁽²⁾	

1. 典型值在 $T_A=25^\circ C$ 时测量

2. 由综合评估得出, 没有在生产时测量。

图10 由 V_{BAT} 供电, 并使能RTC功能的情况下, 典型功耗电流在不同 V_{BAT} 供电时随温度的变化图

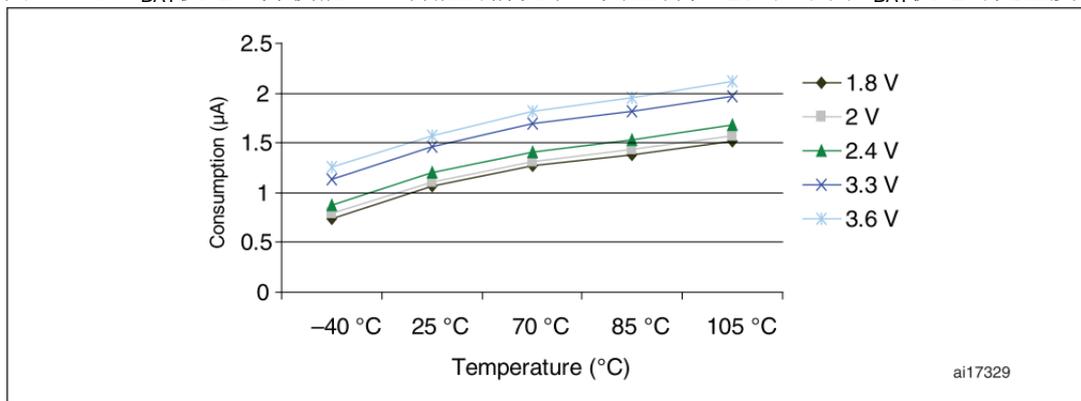
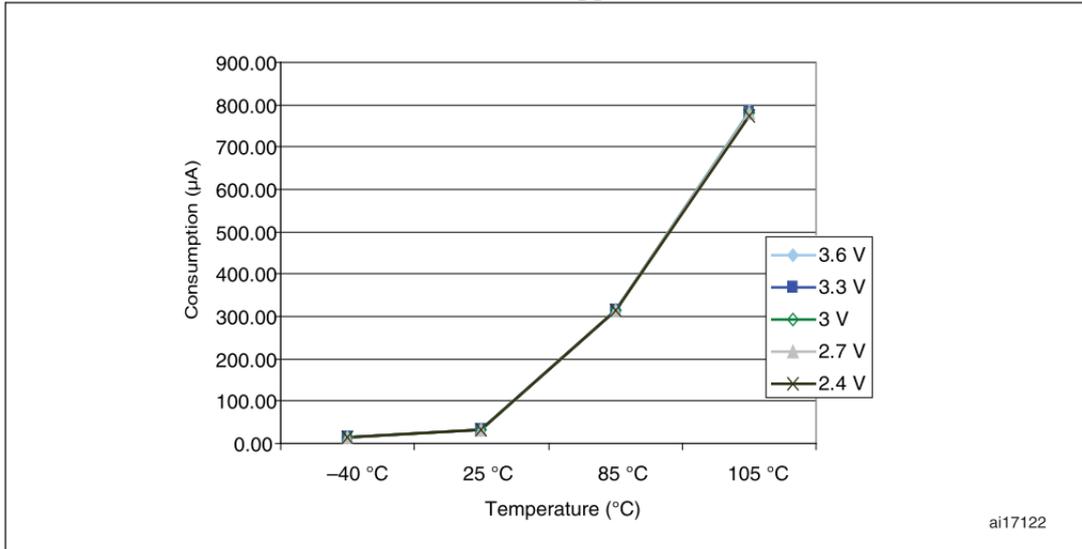
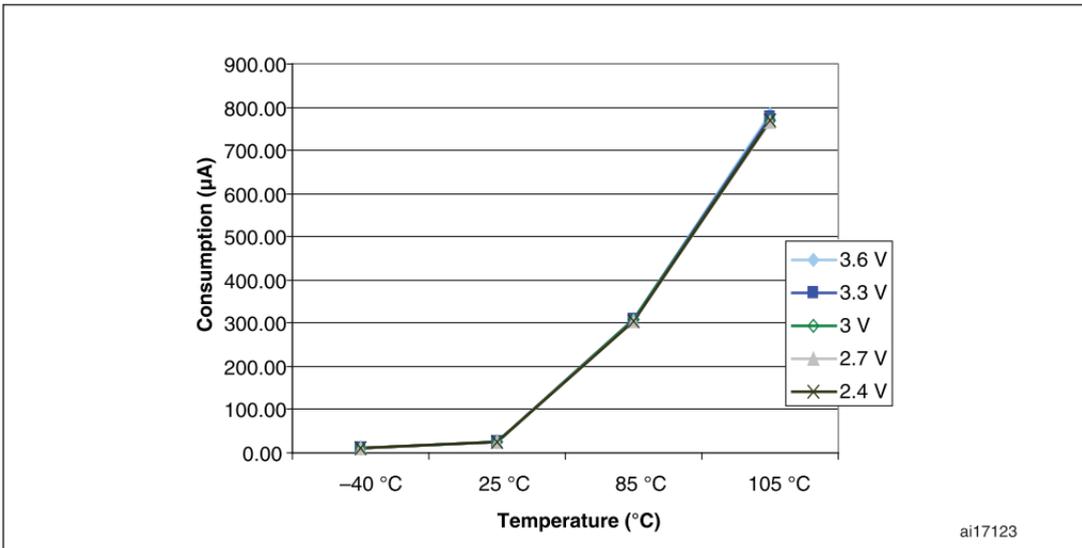
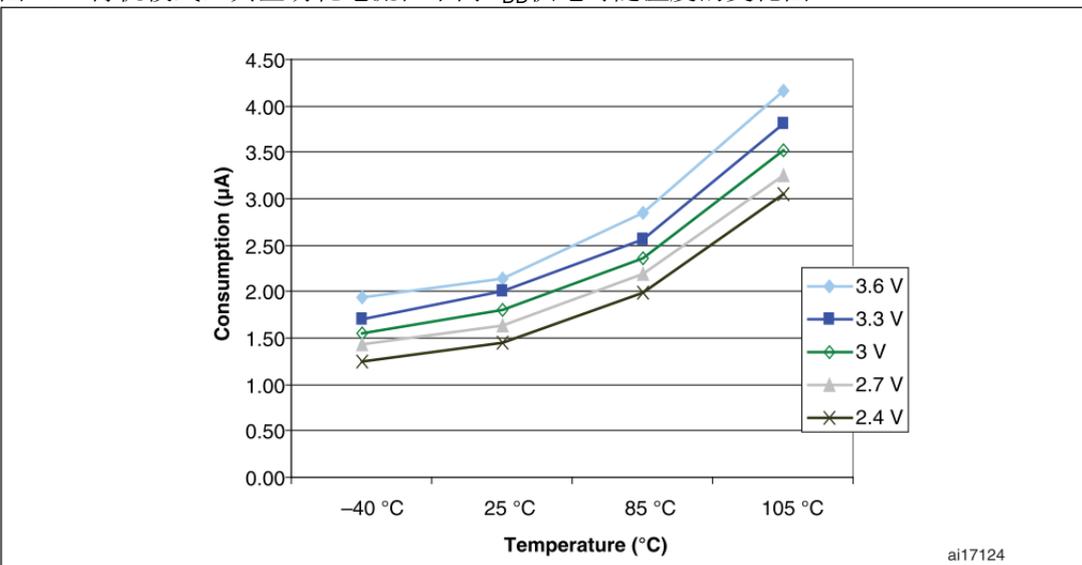


图11 停止模式下，内部调压器工作在运行模式，典型功耗电流在不同V_{DD}供电时随温度的变化图图12 停止模式，内部调压器工作在低功耗模式下，典型功耗电流在不同V_{DD}供电时随温度的变化图图13 待机模式，典型功耗电流在不同V_{DD}供电时随温度的变化图

典型的电流消耗

MCU处于下述条件下:

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存访问时间调整到 f_{HCLK} 的频率(0~24MHz时为0个等待周期，24~48MHz时为1个等待周期，更高的频率为2个等待周期)。
- 环境温度和 V_{DD} 供电情况总结在表9
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}/4$ ， $f_{PCLK2} = f_{HCLK}/2$ ， $f_{ADCCLK} = f_{PCLK2}/4$ 。

表17 运行模式下的典型电流消耗，代码从内部Flash中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽³⁾	72MHz	47.3	28.3	mA
			48MHz	32	19.6	
			36MHz	24.6	15.4	
			24MHz	16.8	10.6	
			16MHz	11.8	7.4	
			8MHz	5.9	3.7	
			4MHz	3.7	2.9	
			2MHz	2.5	2	
			1MHz	1.8	1.53	
			500kHz	1.5	1.3	
		125kHz	1.3	1.2		
		运行于高速内部 RC振荡器(HSI), 使用AHB预分频以 减低频率	36MHz	23.9	14.8	mA
			24MHz	16.1	9.7	
			16MHz	11.1	6.7	
			8MHz	5.6	3.8	
			4MHz	3.1	2.1	
			2MHz	1.8	1.3	
			1MHz	1.16	0.9	
			500kHz	0.8	0.67	
125kHz	0.6	0.5				

1. 典型值是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。

2. 每个模拟部分的ADC要增加额外的0.8mA电流消耗。在应用环境中，这部分电流只有在开启ADC(设置ADC_CR2寄存器的ADON位)时才会增加。

3. 外部时钟为8MHz，当 $f_{HCLK}>8\text{MHz}$ 时启用PLL。

表18 睡眠模式下的典型电流消耗，代码从内部Flash或RAM中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽³⁾	72MHz	28.2	6	mA
			48MHz	19	4.2	
			36MHz	14.7	3.4	
			24MHz	10.1	2.5	
			16MHz	6.7	2	
			8MHz	3.2	1.3	
			4MHz	2.3	1.2	
			2MHz	1.7	1.16	
			1MHz	1.5	1.1	

运行于高速内部RC振荡器(HSI), 使用AHB预分频以 减低频率	500kHz	1.3	1.05	mA
	125kHz	1.2	1.05	
	36MHz	13.7	2.6	
	24MHz	9.3	1.8	
	16MHz	6.3	1.3	
	8MHz	2.7	0.6	
	4MHz	1.6	0.5	
	2MHz	1	0.46	
	1MHz	0.8	0.44	
	500kHz	0.6	0.43	
	125kHz	0.5	0.42	

1. 典型值是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。
2. 每个模拟部分的ADC要增加额外的0.8mA电流消耗。在应用环境中，这部分电流只有在开启ADC(设置ADC_CR2寄存器的ADON位)时才会增加。
3. 外部时钟为8MHz，当 $f_{HCLK}>8\text{MHz}$ 时启用PLL。

内置外设电流消耗

内置外设的电流消耗列于表19，MCU的工作条件如下：

- 所有的I/O引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表6。

表19 内置外设的电流消耗⁽¹⁾

内置外设		25°C时的 典型功耗 ⁽¹⁾	单位	内置外设		25°C时的 典型功耗 ⁽¹⁾	单位
AHB	ETH_MAC	5.2	mA	APB2	GPIOA	0.5	mA
	OTG_FS	7.7			GPIOB	0.5	
APB1	TIM2	1.5	GPIOC		0.5		
	TIM3	1.5	GIPOD		0.5		
	TIM4	1.5	GPIOE		0.5		
	TIM5	1.5	ADC1 ⁽²⁾		2.1		
	TIM6	0.6	ADC2 ⁽²⁾		2.0		
	TIM7	0.3	TIM1		1.7		
	SPI2	0.2	SPI1		0.4		
	USART2	0.5	USART1		0.9		
	USART3	0.5					
	USART4	0.5					
	USART5	0.5					
	I2C1	0.5					
	I2C2	0.5					
	CAN1	0.8					
	CAN2	0.8					
DAC	0.4						

1. $f_{HCLK}=72\text{MHz}$ ， $f_{APB1} = f_{HCLK}/2$ ， $f_{APB2} = f_{HCLK}$ ，每个外设的预分频系数为默认值。
2. ADC的特殊条件： $f_{HCLK}=56\text{MHz}$ ， $f_{APB1} = f_{HCLK}/2$ ， $f_{APB2} = f_{HCLK}$ ， $f_{ADCCLK} = f_{APB2}/4$ ，ADC_CR2寄存器的ADON=1。

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表9的条件。

表20 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾		1	8	50	MHz
V_{HSEH}	OSC_IN输入引脚高电平电压		$0.7V_{DD}$		V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压		V_{SS}		$0.3V_{DD}$	
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN高或低的时间 ⁽¹⁾		5			ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN上升或下降的时间 ⁽¹⁾				20	
$C_{in(HSE)}$	OSC_IN输入容抗 ⁽¹⁾			5		pF
DuCy _(HSE)	占空比		45		55	%
I_L	OSC_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	μA

1. 由设计保证，不在生产中测试。

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表9的条件。

表21 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾			32.768	1000	MHz
V_{LSEH}	OSC32_IN输入引脚高电平电压		$0.7V_{DD}$		V_{DD}	V
V_{LSEL}	OSC32_IN输入引脚低电平电压		V_{SS}		$0.3V_{DD}$	
$t_{w(LSE)}$ $t_{w(LSE)}$	OSC32_IN高或低的时间 ⁽¹⁾		450			ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN上升或下降的时间 ⁽¹⁾				50	
$C_{in(LSE)}$	OSC32_IN输入容抗 ⁽¹⁾			5		pF
DuCy _(LSE)	占空比		30		70	%
I_L	OSC32_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	μA

1. 由设计保证，不在生产中测试。

图14 外部高速时钟源的交流时序图

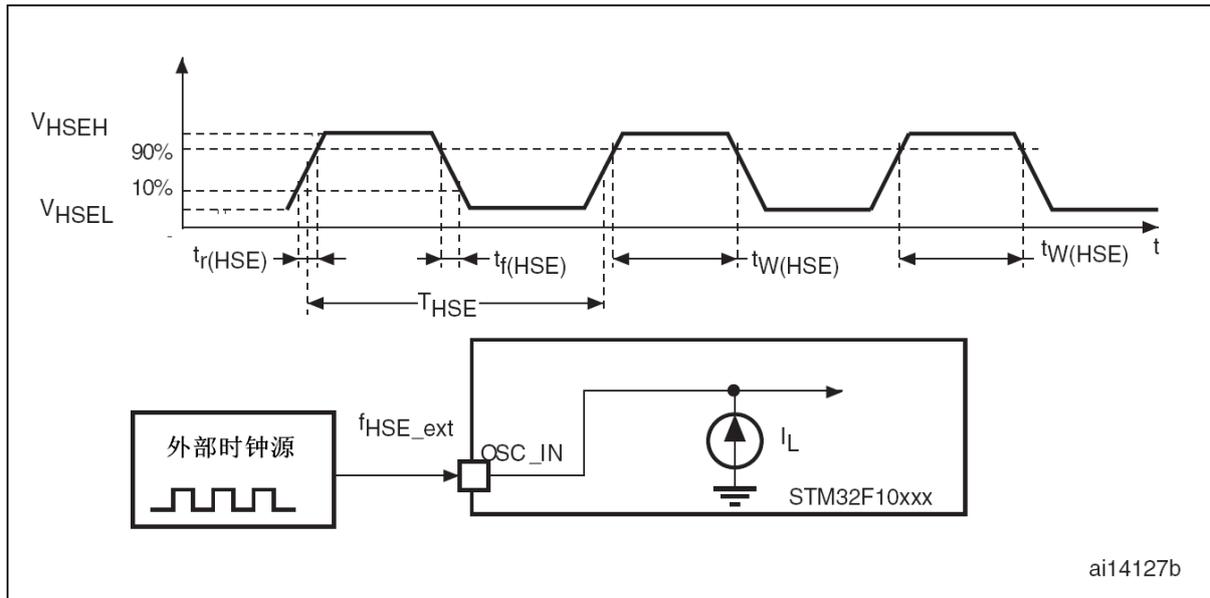
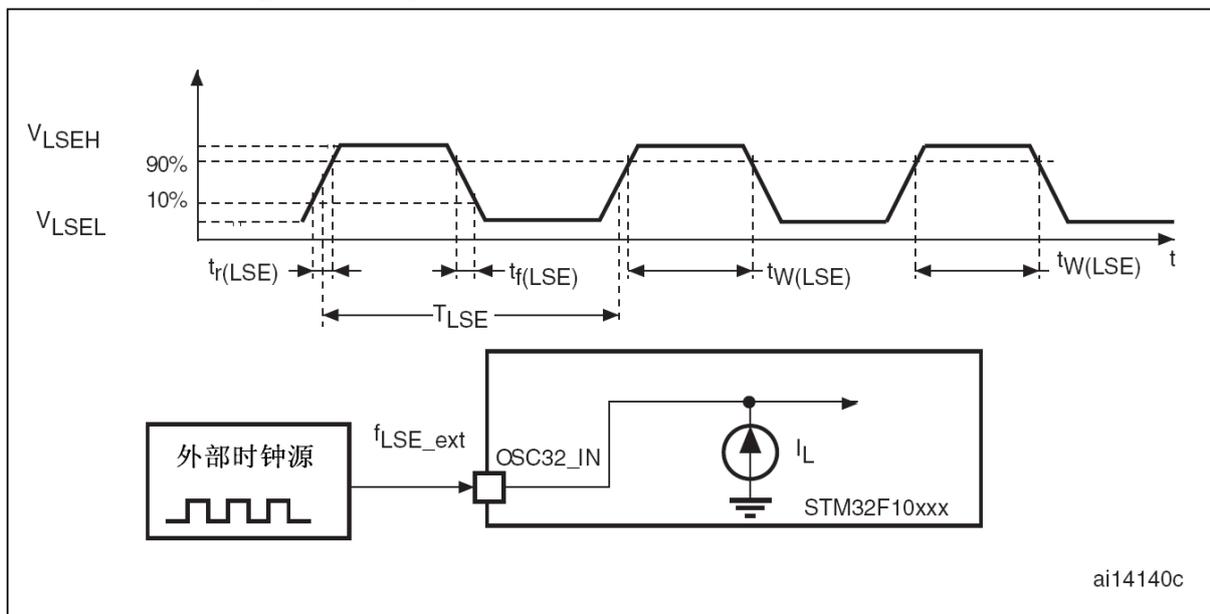


图15 外部低速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个3~25MHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(译注：这里提到的晶体谐振器就是我们通常说的无源晶振)

表22 HSE 4~16MHz振荡器特性⁽¹⁾⁽²⁾

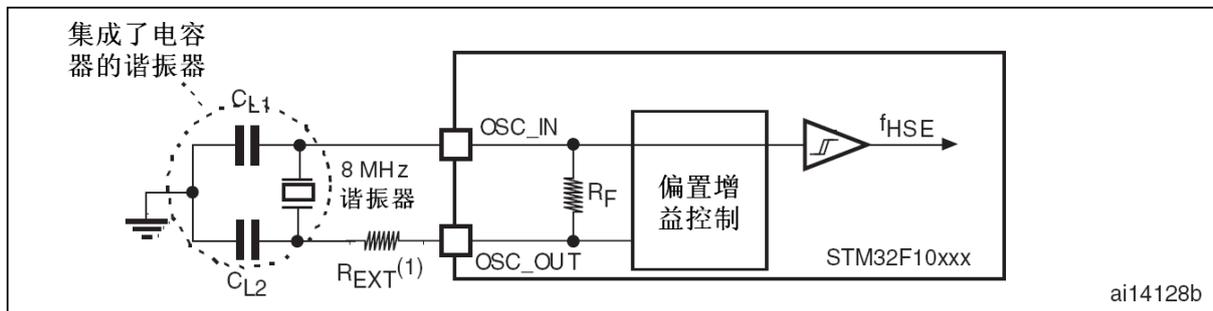
符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		3		25	MHz
R_F	反馈电阻			200		k Ω
C	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽³⁾	$R_S = 30\Omega$		30		pF
i_2	HSE驱动电流	$V_{DD}=3.3V$, $V_{IN}=V_{SS}$ 30pF负载			1	mA

g_m	振荡器的跨导	启动	25			mA/V
$t_{SU(HSE)}^{(4)}$	启动时间	V_{DD} 是稳定的		2		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. 相对较低的RF电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果MCU是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
4. $t_{SU(HSE)}$ 是启动时间，是从软件使能HSE开始测量，直至得到稳定的8MHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大 V_{DD} 是稳定的。

对于CL1和CL2，建议使用高质量的、为高频应用而设计的(典型值为)5pF~25pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器(请参考图16)。通常CL1和CL2具有相同参数。晶体制造商通常以CL1和CL2的串行组合给出负载电容的参数。在选择CL1和CL2时，PCB和MCU引脚的容抗应该考虑在内(可以粗略地把引脚与PCB板的电容按10pF估计)。详细信息请参考AN2867”适用于ST微控制器的振荡器的设计指南”。

图16 使用8MHz晶体的典型应用



1. R_{EXT} 数值由晶体的特性决定。

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个32.768kHz的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用表23中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(译注：这里提到的晶体谐振器就是我们通常说的无源晶振)

表23 LSE 振荡器特性($f_{LSE}=32.768kHz$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻			5		MΩ
C	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽²⁾	$R_S = 30k\Omega$			15	pF
I_2	LSE驱动电流	$V_{DD}=3.3V, V_{IN}=V_{SS}$			1.4	μA
g_m	振荡器的跨导		5			μA/V
$t_{SU(LSE)}^{(3)}$	启动时间	V_{DD} 是稳定的	TA = 50°C	1.5		S
			TA = 25°C	2.5		
			TA = 10°C	4		
			TA = 0°C	6		
			TA = -10°C	10		
			TA = -20°C	17		
			TA = -30°C	32		
			TA = -40°C	60		

1. 由综合评估得出，不在生产中测试
2. 参见本表格下方的注意和警告段落。以及AN2867”针对ST微控制器的振荡器设计指南”。
3. 选择具有较小 R_S 值的高质量振荡器(如MSIV-TIN32.768kHz)，可以优化电流消耗。详情请咨询晶体制造商。

4. $t_{SU(HSE)}$ 是启动时间，是从软件使能HSE开始测量，直至得到稳定的32.768kHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

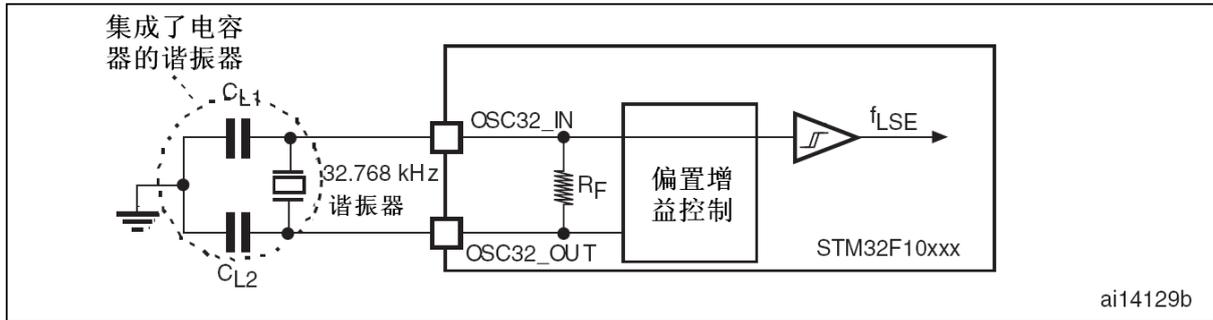
注意： 对于 C_{L1} 和 C_{L2} ，建议使用高质量的5pF~15pF之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。

负载电容 C_L 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和PCB板或PCB相关的电容，它的典型值是介于2pF至7pF之间。

警告： 为了避免超出 C_{L1} 和 C_{L2} 的最大值(15pF)，强烈建议使用负载电容 $C_L \leq 7pF$ 的谐振器，不能使用负载电容为12.5pF的谐振器。

例如：如果选择了一个负载电容 $C_L = 6pF$ 的谐振器并且 $C_{stray} = 2pF$ ，则 $C_{L1} = C_{L2} = 8pF$ 。

图17 使用32.768kHz晶体的典型应用



5.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表9的条件测量得到。

高速内部(HSI)RC振荡器

表24 HSI振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位	
f_{HSI}	频率			8		MHz	
$DuCy_{(HSI)}$	占空比		45		55	%	
ACC_{HSI}	HSI振荡器的精度	用户通过RCC_CR寄存器校验 ⁽²⁾			1 ⁽³⁾	%	
		出厂校验 ⁽⁴⁾	$T_A = -40 \sim 105^\circ C$	-2		2.5	%
			$T_A = -10 \sim 85^\circ C$	-1.5		2.2	%
			$T_A = 0 \sim 70^\circ C$	-1.3		2	%
	$T_A = 25^\circ C$	-1.1		1.8	%		
$t_{SU(HSI)}$ ⁽⁴⁾	HSI振荡器启动时间		1		2	μs	
$I_{DD(HSI)}$ ⁽⁴⁾	HSI振荡器功耗			80	100	μA	

- $V_{DD} = 3.3V$, $T_A = -40 \sim 105^\circ C$ ，除非特别说明。
- 详细信息请参考AN2868“STM32F10xxx内部RC振荡器(HSI)的校验”
- 由设计保证，不在生产中测试。
- 由综合评估得出，不在生产中测试。

低速内部(LSI)RC振荡器

表25 LSI振荡器特性⁽¹⁾

符号	参数	条件	最小值 ⁽²⁾	典型值	最大值	单位
f_{LSI}	频率		30	40	60	kHz
$t_{SU(LSI)}$ ⁽³⁾	LSI振荡器启动时间				85	μs
$I_{DD(LSI)}$ ⁽³⁾	LSI振荡器功耗			0.65	1.2	μA

1. $V_{DD} = 3.3V$, $T_A = -40\sim 85^\circ C$, 除非特别说明。
2. 由综合评估得出, 不在生产中测试。
3. 由设计保证, 不在生产中测试。

从低功耗模式唤醒的时间

表26列出的唤醒时间是在一个8MHz的HSI RC振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定:

- 停机或待机模式: 时钟源是RC振荡器
- 睡眠模式: 时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表9的条件测量得到。

表26 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	1.8	μs
$t_{WUSTOP}^{(1)}$	从停机模式唤醒(调压器处于运行模式)	3.6	μs
	从停机模式唤醒(调压器为低功耗模式)	5.4	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	50	μs

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.8 PLL, PLL2和PLL3的特性

表27列出的参数是使用环境温度和供电电压符合表9的条件测量得到。

表27 PLL特性

符号	参数	数值			单位
		最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	
f_{PLL_IN}	PLL输入时钟 ⁽²⁾	3		12	MHz
	PLL输入时钟占空比	30			%
f_{PLL_OUT}	PLL倍频输出时钟	18		72	MHz
f_{VCO_OUT}	PLL VCO输出	36		144	
t_{LOCK}	PLL锁相时间			350	μs
抖动	周期期间的抖动			300	ps

1. 由综合评估得出, 不在生产中测试。
2. 需要注意使用正确的倍频系数, 从而根据PLL输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

表28 PLL2和PLL3特性

符号	参数	数值			单位
		最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	
f_{PLL_IN}	PLL输入时钟 ⁽²⁾	3		5	MHz
	PLL输入时钟占空比	30			%
f_{PLL_OUT}	PLL倍频输出时钟	40		74	MHz
f_{VCO_OUT}	PLL VCO输出	80		148	
t_{LOCK}	PLL锁相时间			350	μs
抖动	周期期间的抖动			400	ps

1. 由综合评估得出, 不在生产中测试。
2. 需要注意使用正确的倍频系数, 从而根据PLL输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

5.3.9 存储器特性

闪存存储器

除非特别说明，所有特性参数是在 $T_A = -40\sim 105^\circ\text{C}$ 得到。

表29 闪存存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
t_{prog}	16位的编程时间	$T_A = -40\sim 105^\circ\text{C}$	40	52.5	70	μs
t_{ERASE}	页(1K字节)擦除时间	$T_A = -40\sim 105^\circ\text{C}$	20		40	ms
t_{ME}	整片擦除时间	$T_A = -40\sim 105^\circ\text{C}$	20		40	ms
I_{DD}	供电电流	读模式, $f_{\text{HCLK}}=72\text{MHz}$, 2个等待周期, $V_{\text{DD}}=3.3\text{V}$			20	mA
		写/擦除模式, $f_{\text{HCLK}}=72\text{MHz}$, $V_{\text{DD}}=3.3\text{V}$			5	mA
		掉电模式/停机, $V_{\text{DD}}=3.0\sim 3.6\text{V}$			50	μA
V_{prog}	编程电压		2		3.6	V

1. 由设计保证，不在生产中测试。

表30 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值	单位
N_{END}	寿命(译注: 擦写次数)	$T_A = -40\text{ to }+85^\circ\text{C}$ (尾缀为6的产品) $T_A = -40\text{ to }+105^\circ\text{C}$ (尾缀为7的产品)	10			千次
t_{RET}	数据保存期限	$T_A = 85^\circ\text{C}$ 时, 1000次擦写之后 ⁽²⁾	30			年
		$T_A = 105^\circ\text{C}$ 时, 1000次擦写之后 ⁽²⁾	10			
		$T_A = 55^\circ\text{C}$ 时, 10000次擦写之后 ⁽²⁾	20			

1. 由综合评估得出，不在生产中测试。

2. 满足整个温度范围

5.3.10 EMC特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性EMS(电磁敏感性)

当运行一个简单的应用程序时(通过I/O端口闪烁2个LED)，测试样品被施加2种电磁干扰直到产生错误，LED闪烁指示了错误的产生。

- **静电放电(ESD)**(正放电和负放电)施加到芯片所有的引脚直到产生功能性错误。这个测试符合IEC 61000-4-2标准。
- **FTB**: 在 V_{DD} 和 V_{SS} 上通过一个100pF的电容施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合IEC 61000-4-4标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。这是基于[应用笔记AN1709](#)中定义的EMS级别和类型进行的测试。

表31 EMS特性

符号	参数	条件	级别/类型
V_{FESD}	施加到任一I/O脚，从而导致功能错误的电压极限。	$V_{\text{DD}} = 3.3\text{V}$, $T_A = +25^\circ\text{C}$, $f_{\text{HCLK}} = 75\text{MHz}$ 。符合IEC 61000-4-2	2B
V_{EFTB}	在 V_{DD} 和 V_{SS} 上通过100pF的电容施加的、导	$V_{\text{DD}} = 3.3\text{V}$, $T_A = +25^\circ\text{C}$,	4A

致功能错误的瞬变脉冲群电压极限。

f_{HCLK} =75MHz。符合IEC 61000-4-4

设计牢靠的软件以避免噪声的问题

在器件级进行EMC的评估和优化,是在典型的应用环境中进行的。应该注意的是,好的EMC性能与用户应用和具体的软件密切相关。

因此,建议用户对软件实行EMC优化,并进行与EMC有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制,如:

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏(控制寄存器等.....)

认证前的试验

很多常见的失效(意外的复位和程序计数器被破坏),可以通过人工地在NRST上引入一个低电平或在晶振引脚上引入一个持续1秒的低电平而重现。

在进行ESD测试时,可以把超出应用要求的电压直接施加在芯片上,当检测到意外动作的地方,软件部分需要加强以防止发生不可恢复的错误(参见[应用笔记AN1015](#))。

电磁干扰(EMI)

在运行一个简单的应用程序时(通过I/O端口闪烁2个LED),监测芯片发射的电磁场。这个发射测试符合IEC 61967-2标准,这个标准规定了测试板和引脚的负载。

表32 EMI特性

符号	参数	条件	监测的频段	最大值(f _{HSE} /f _{HCLK})		单位
				8/48MHz	8/72MHz	
S _{EMI}	峰值	V _{DD} = 3.3 V, T _A = 25 °C LQFP100封装兼容 IEC61967-2	0.1~30MHz	9	9	dBμV
			30~130MHz	26	13	
			130MHz~1GHz	25	31	
			SAM EMI级别	4	4	-

5.3.11 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU),使用特定的测量方法,对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上,样品的大小与芯片上供电引脚数目相关(3片 x (n+1)供电引脚)。这个测试符合JESD22-A114/C101标准。

表33 ESD绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
V _{ESD(HBM)}	静电放电电压(人体模型)	T _A = +25 °C, 符合JESD22-A114	2	2000	V
V _{ESD(CDM)}	静电放电电压(充电设备模型)	T _A = +25 °C, 符合JESD22-C101	II	500	

1. 由综合评估得出,不在生产中测试。

静态栓锁

为了评估栓锁性能,需要在6个样品上进行2个互补的静态栓锁测试:

- 为每个电源引脚,提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合EIA/JESD 78A集成电路栓锁标准。

表34 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	$T_A = +105^{\circ}\text{C}$, 符合JESD 78A	II类A

5.3.12 I/O口注入电流特性

在日常对产品的使用中, 要作为通用准则的, 是尽量避免对I/O口的注入电流, 这些电流是由高于 V_{DD} (例如对于一个3V容忍的I/O口)或者低于 V_{SS} 的外接电压导致的。不过, 在综合评估时, 还是以抽样方式做了敏感性的测试, 以便给出一个微控制器在发生不正常的注入电流时的鲁棒性的结论。

I/O口注入电流的敏感性

当芯片在运行一个简单的程序时, 对一个配置为浮空输入的I/O引脚施加注入电流。在电流注入I/O引脚的同时, 芯片检测到一些功能失效。

所谓的功能失效是指超出了参数范围, 比如: ADC的误差超过一定限度(>5 LSB TUE), 相邻引脚有超出规格书范围的注入电流, 或者其他功能失效(例如复位, 晶振频率偏差)。

下表列出了测试结果:

表35 I/O口注入电流的敏感性

符号	描述	功能有效的范围		单位
		正向注入	反向注入	
I_{INJ}	OSC_IN32, OSC_OUT32, PA4, PA5, PC13 引脚的注入电流	-0	+0	mA
	所有FT引脚的注入电流	-5	+0	
	所有其他引脚的注入电流	-5	+5	

5.3.13 I/O端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数是按照表9的条件测量得到。所有的I/O端口都是兼容CMOS和TTL。

表36 I/O静态特性

符号	参数	条件	最小值	典型值	最大值	单位	
V_{IL}	标准I/O口, 输入低电平电压		-0.3		$0.28 \cdot (V_{DD} - 2\text{V}) + 0.8\text{V}$	V	
	FT I/O口 ⁽¹⁾ , 输入低电平电压		-0.3		$0.32 \cdot (V_{DD} - 2\text{V}) + 0.75\text{V}$		
V_{IH}	标准I/O口, 输入高电平电压		$0.41 \cdot (V_{DD} - 2\text{V}) + 1.3\text{V}$		$V_{DD} + 0.3$		
	FT I/O口 ⁽¹⁾ , 输入高电平电压	$V_{DD} > 2\text{V}$	$0.42 \cdot (V_{DD} - 2\text{V}) + 1\text{V}$		5.5		
		$V_{DD} \leq 2\text{V}$			5.2		
V_{hys}	标准I/O脚施密特触发器电压迟滞 ⁽²⁾		200				mV
	5V容忍 FT I/O脚施密特触发器电压迟滞 ⁽²⁾		$5\%V_{DD}$ ⁽³⁾			mV	
I_{lkg}	输入漏电流 ⁽⁴⁾	$V_{SS} \leq V_{IN} \leq V_{DD}$ 标准I/O端口			± 1	μA	
		$V_{IN} = 5\text{V}$, 5V FT容忍端口			3		
R_{PU}	弱上拉等效电阻 ⁽⁵⁾	除了PA10以外的 其他引脚	$V_{IN} = V_{SS}$	30	40	50	k Ω
				PA10	8	11	

R _{PD}	弱下拉等效电阻 (5)	除了PA10以外的其他引脚	V _{IN} = V _{DD}	30	40	50	kΩ
		PA10		8	11	15	
C _{IO}	I/O引脚的电容				5		pF

1. FT = 5V容忍。为了支持大于V_{DD}+0.3的输入高电平，需要禁止内部的上拉/下拉电阻。
2. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
3. 至少100mV。
4. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
5. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的PMOS/NMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

所有I/O端口都是CMOS和TTL兼容(不需软件配置)，它们的特性考虑了多数严格的CMOS工艺或TTL参数，图18和图19显示了标准I/O口的CMOS和TTL覆盖特性，图20和图21是5V容忍I/O口的特性。：

图18 标准I/O口的输入特性 – CMOS端

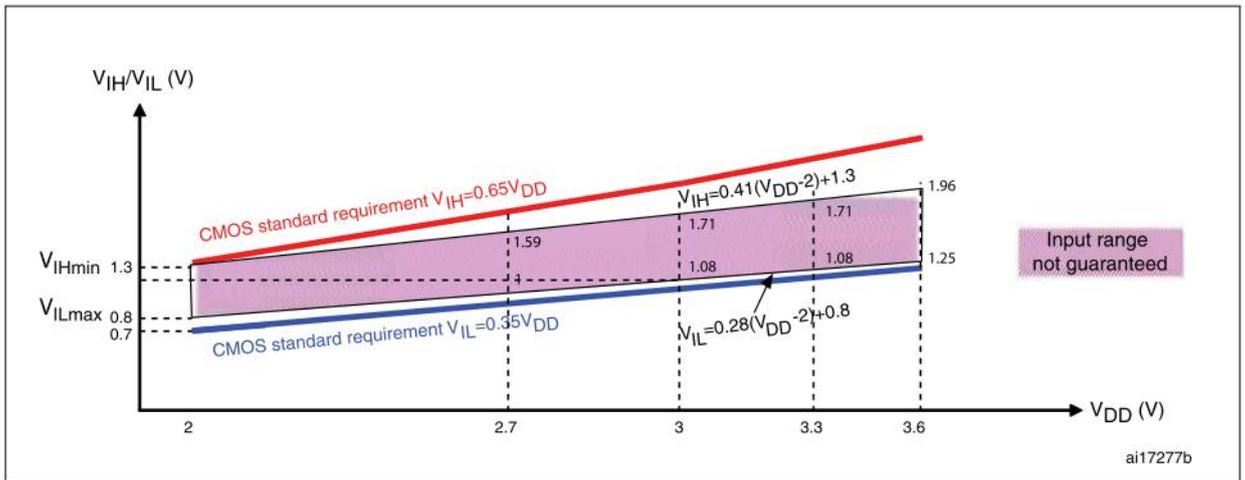


图19 标准I/O口的输入特性 – TTL端

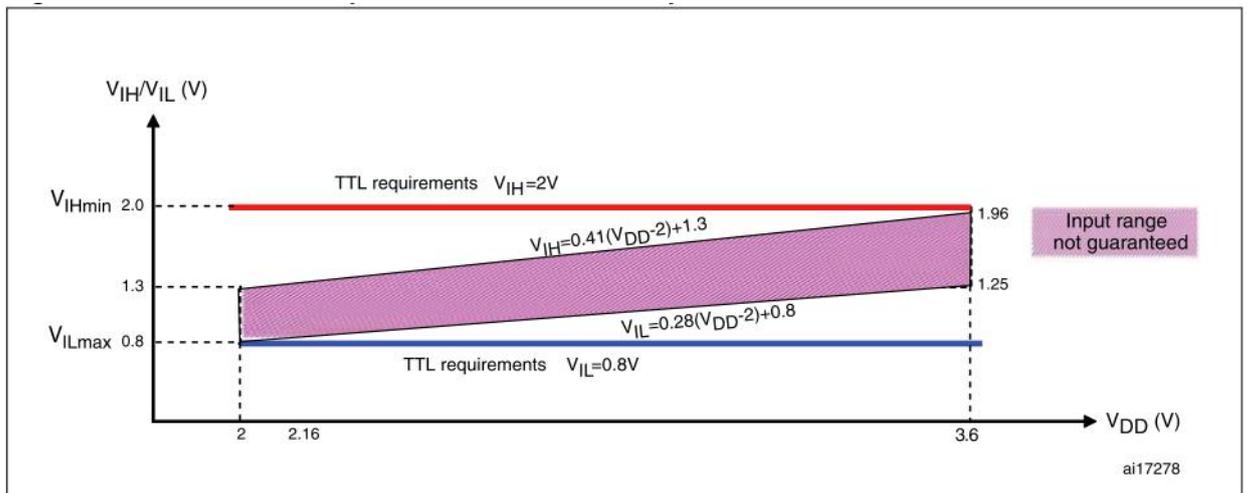


图20 5V容忍I/O口的输入特性 – CMOS端

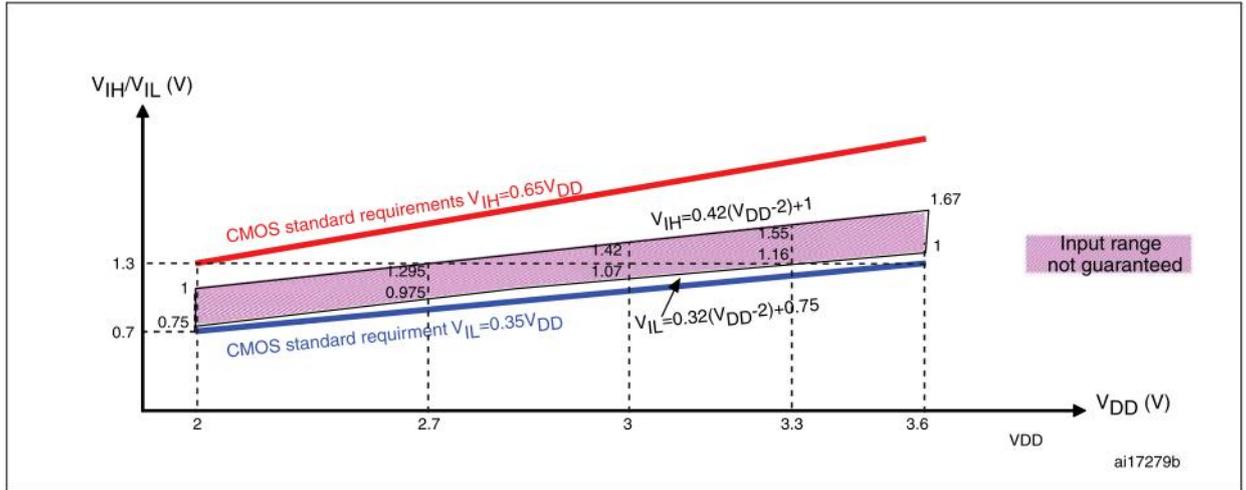


图21 5V容忍I/O口的输入特性 – TTL端

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8\text{mA}$ 电流,并且吸收 $+20\text{mA}$ 电流(不严格的 V_{OL}/V_{OH})。

在用户应用中, I/O脚的数目必须保证驱动电流不能超过5.2节给出的绝对最大额定值:

- 所有I/O端口从 V_{DD} 上获取的电流总和,加上MCU在 V_{DD} 上获取的最大运行电流,不能超过绝对最大额定值 I_{VDD} (参见表7)。
- 所有I/O端口吸收并从 V_{SS} 上流出的电流总和,加上MCU在 V_{SS} 上流出的最大运行电流,不能超过绝对最大额定值 I_{VSS} (参见表7)。

输出电压

除非特别说明,表37列出的参数是使用环境温度和 V_{DD} 供电电压符合表9的条件测量得到。所有的I/O端口都是兼容CMOS和TTL的。

表37 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平,当8个引脚同时吸收电流	TTL端口, $I_{IO} = +8\text{mA}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$		0.4	V
$V_{OH}^{(2)}$	输出高电平,当8个引脚同时输出电流		$V_{DD} - 0.4$		
$V_{OL}^{(1)}$	输出低电平,当8个引脚同时吸收电流	CMOS端口, $I_{IO} = +8\text{mA}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$		0.4	V
$V_{OH}^{(2)}$	输出高电平,当8个引脚同时输出电流		2.4		
$V_{OL}^{(1)}$	输出低电平,当8个引脚同时吸收电流	$I_{IO} = +20\text{mA}^{(3)}$ $2.7\text{V} < V_{DD} < 3.6\text{V}$		1.3	V
$V_{OH}^{(2)}$	输出高电平,当8个引脚同时输出电流		$V_{DD} - 1.3$		
$V_{OL}^{(1)}$	输出低电平,当8个引脚同时吸收电流	$I_{IO} = +6\text{mA}^{(3)}$ $2\text{V} < V_{DD} < 2.7\text{V}$		0.4	V
$V_{OH}^{(2)}$	输出高电平,当8个引脚同时输出电流		$V_{DD} - 0.4$		

1. 芯片吸收的电流 I_{IO} 必须始终遵循表7中给出的绝对最大额定值,同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表7中给出的绝对最大额定值,同时 I_{IO} 的总和(所有I/O脚和控制脚)不能超过 I_{VDD} 。
3. 由综合评估得出,不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图22和表38给出。

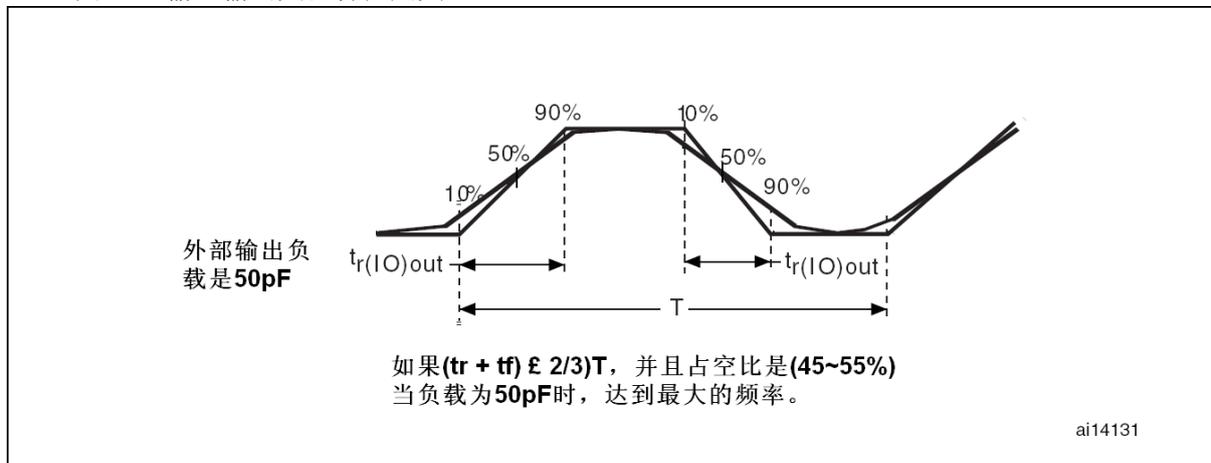
除非特别说明,表38列出的参数是使用环境温度和 V_{DD} 供电电压符合表9的条件测量得到。

表38 输入输出交流特性⁽¹⁾

MODEx[1:0]的配置	符号	参数	条件	最小值	最大值	单位
10	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L = 50 \text{ pF}, V_{DD} = 2\sim 3.6\text{V}$		2	MHz
	$t_{r(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 50 \text{ pF}, V_{DD} = 2\sim 3.6\text{V}$		125 ⁽³⁾	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间			125 ⁽³⁾	
01	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L = 50 \text{ pF}, V_{DD} = 2\sim 3.6\text{V}$		10	MHz
	$t_{r(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 50 \text{ pF}, V_{DD} = 2\sim 3.6\text{V}$		25 ⁽³⁾	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间			25 ⁽³⁾	
11	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L = 30 \text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$		50	MHz
			$C_L = 50 \text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$		30	
			$C_L = 50 \text{ pF}, V_{DD} = 2\sim 2.7\text{V}$		20	
	$t_{r(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L = 30 \text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$		5 ⁽³⁾	ns
			$C_L = 50 \text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$		8 ⁽³⁾	
			$C_L = 50 \text{ pF}, V_{DD} = 2\sim 2.7\text{V}$		12 ⁽³⁾	
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间	$C_L = 30 \text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$		5 ⁽³⁾	
			$C_L = 50 \text{ pF}, V_{DD} = 2.7\sim 3.6\text{V}$		8 ⁽³⁾	
			$C_L = 50 \text{ pF}, V_{DD} = 2\sim 2.7\text{V}$		12 ⁽³⁾	
-	$t_{\text{EXTI}pw}$	EXTI控制器检测到外部信号的脉冲宽度		10		ns

1. I/O端口的速度可以通过MODEx[1:0]配置。参见STM32F10xxx参考手册中有关GPIO端口配置寄存器的说明。
2. 最大频率在图22中定义。
3. 由设计保证，不在生产中测试。

图22 输入输出交流特性定义



5.3.14 NRST引脚特性

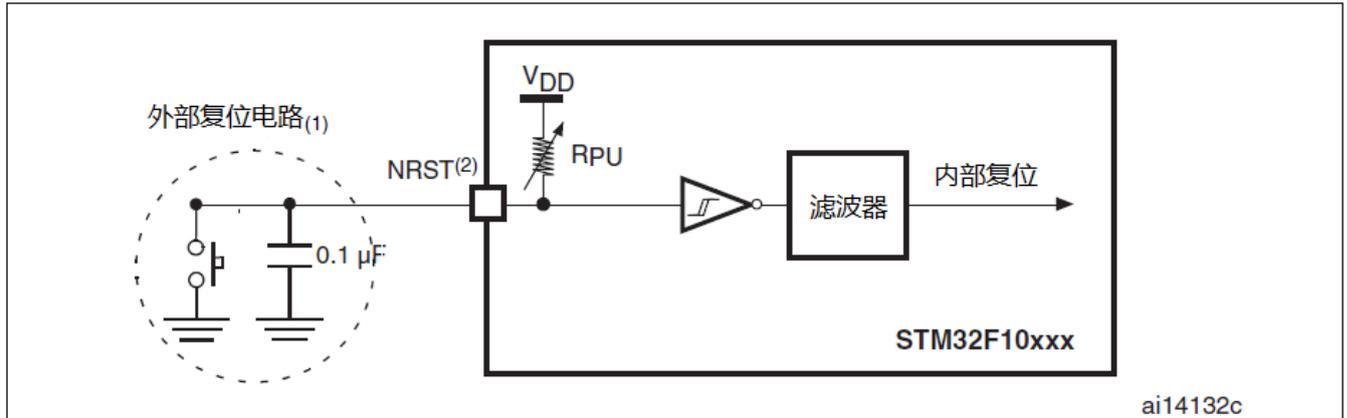
NRST引脚输入驱动使用CMOS工艺，它连接了一个不能断开的上拉电阻， R_{PU} (参见表36)。除非特别说明，表39列出的参数是使用环境温度和 V_{DD} 供电电压符合表9的条件测量得到。

表39 NRST引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(\text{NRST})}^{(1)}$	NRST输入低电平电压		-0.5		0.8	V
$V_{IH(\text{NRST})}^{(1)}$	NRST输入高电平电压		2		$V_{DD}+0.5$	
$V_{hys(\text{NRST})}$	NRST施密特触发器电压迟滞			200		mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
$V_F(\text{NRST})^{(1)}$	NRST输入滤波脉冲				100	ns

$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲		300			ns
----------------------	-------------	--	-----	--	--	----

1. 由设计保证，不在生产中测试。
 2. 上拉电阻是设计为一个真正的电阻串联一个可开关的PMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。
- 图23 建议的NRST引脚保护



1. 复位网络是为了防止寄生复位。
2. 用户必须保证NRST引脚的电位能够低于表39中列出的最大 $V_{IL(NRST)}$ 以下，否则MCU不能得到复位。

5.3.15 TIM定时器特性

表40列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM输出)的特性详情，参见第5.3.12节。

表40 TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	13.9		ns
f_{EXT}	CH1至CH4的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 72MHz$	0	36	MHz
Res_{TIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	0.0139	910	μs
t_{MAX_COUNT}	最大可能的计数			65536×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$		59.6	s

1. TIMx是一个通用的名称，代表TIM1，TIM2，TIM3，TIM4和TIM5。

5.3.16 通信接口

I²C接口特性

除非特别说明，表41列出的参数是使用环境温度， f_{PCLK1} 频率和 V_{DD} 供电电压符合表9的条件测量得到。

STM32F105xx和STM32F07xx互联型产品的I²C接口符合标准I²C通信协议，但有如下限制：SDA和SCL不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的PMOS管被关闭，但仍然存在。

I²C接口特性列于表41，有关输入输出复用功能引脚(SDA和SCL)的特性详情，参见第5.3.12节。

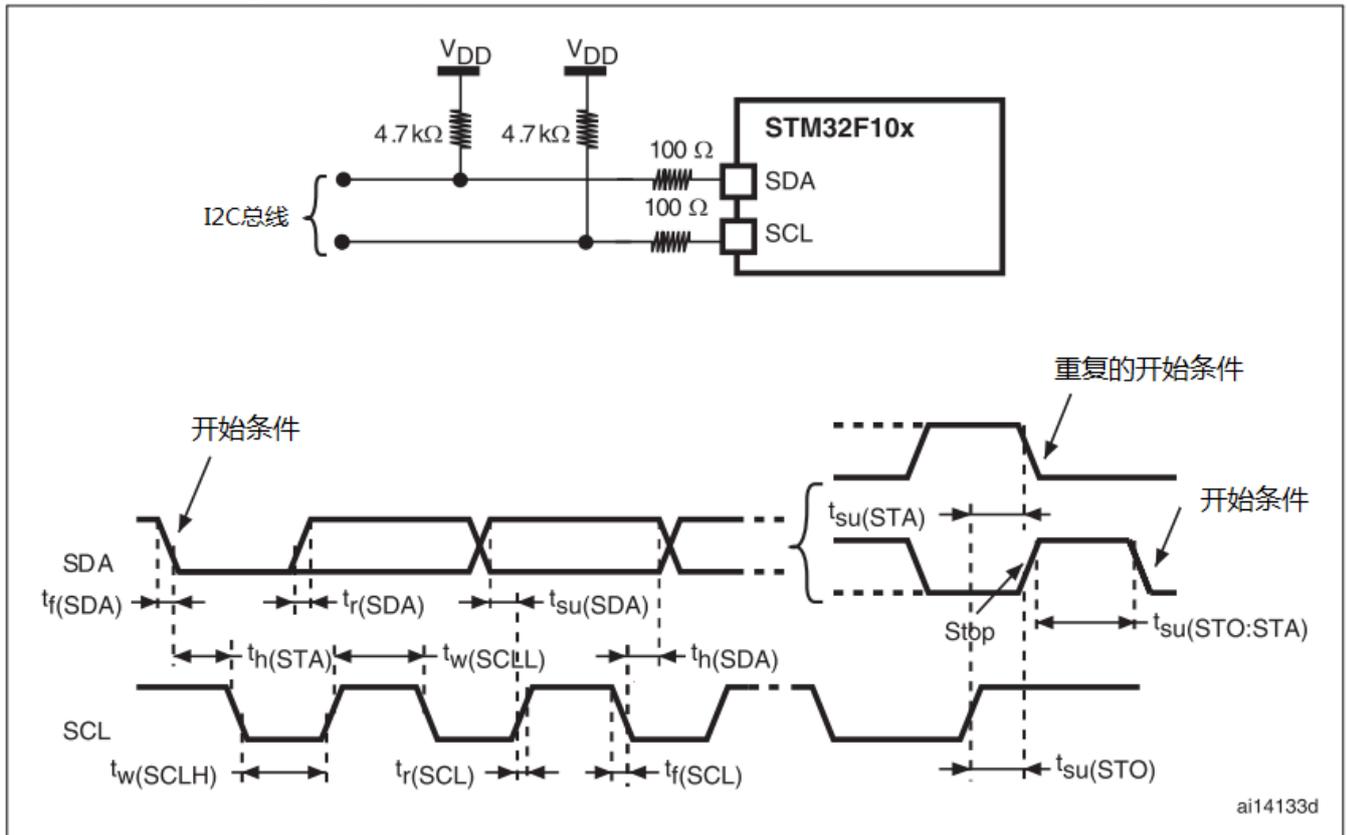
表41 I²C接口特性

符号	参数	标准I ² C ⁽¹⁾		快速I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCL)}$	SCL时钟低时间	4.7		1.3		μs

$t_{w(SCLH)}$	SCL时钟高时间	4.0		0.6		
$t_{su(SDA)}$	SDA建立时间	250		100		ns
$t_{h(SDA)}$	SDA数据保持时间	0 ⁽³⁾		0 ⁽⁴⁾	900 ⁽³⁾	
$t_r(SDA)$ $t_r(SCL)$	SDA和SCL上升时间		1000	$20 + 0.1C_b$	300	
$t_f(SDA)$ $t_f(SCL)$	SDA和SCL下降时间		300		300	
$t_{h(STA)}$	开始条件保持时间	4.0		0.6		μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7		0.6		
$t_{su(STO)}$	停止条件建立时间	4.0		0.6		μs
$t_{w(STO:STA)}$	停止条件至开始条件的的时间(总线空闲)	4.7		1.3		μs
C_b	每条总线的容性负载		400		400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式I²C的最大频率， f_{PCLK1} 必须大于2MHz。为达到快速模式I²C的最大频率， f_{PCLK1} 必须大于4MHz，同时必须是10MHz的整数倍，以便满足快速模式I²C的最大400kHz频率。
3. 如果不要求拉长SCL信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越SCL下降沿未定义的区域，在MCU内部必须保证SDA信号上至少300ns的保持时间。

图24 I²C总线交流波形和测量电路⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

表42 SCL频率($f_{PCLK1} = 36MHz, V_{DD} = 3.3V$)⁽¹⁾⁽²⁾

$f_{SCL}(kHz)$	I2C_CCR数值
	$R_P = 4.7k\Omega$
400	0x801E
300	0x8028
200	0x803C
100	0x00B4

50	0x0168
20	0x0384

1. R_P = 外部上拉电阻, $f_{SCL} = I^2C$ 速度。
2. 对于200kHz左右的速度, 速度的误差是 $\pm 5\%$ 。对于其它速度范围, 速度的误差是 $\pm 2\%$ 。这些变化取决于设计中外部元器件的精度。

I²S, SPI接口特性

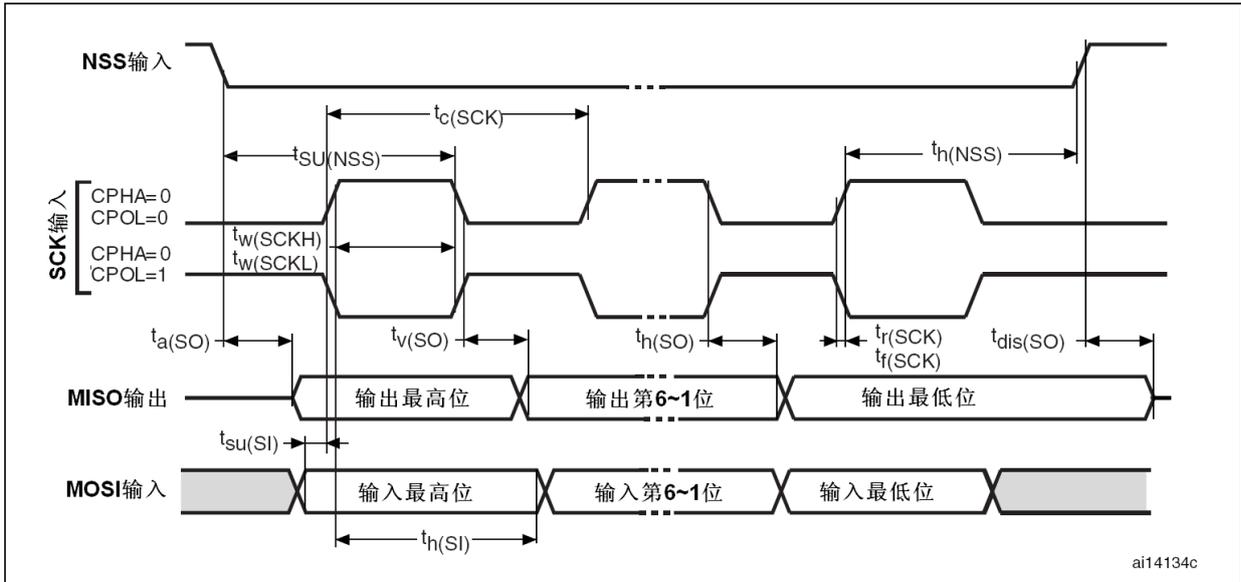
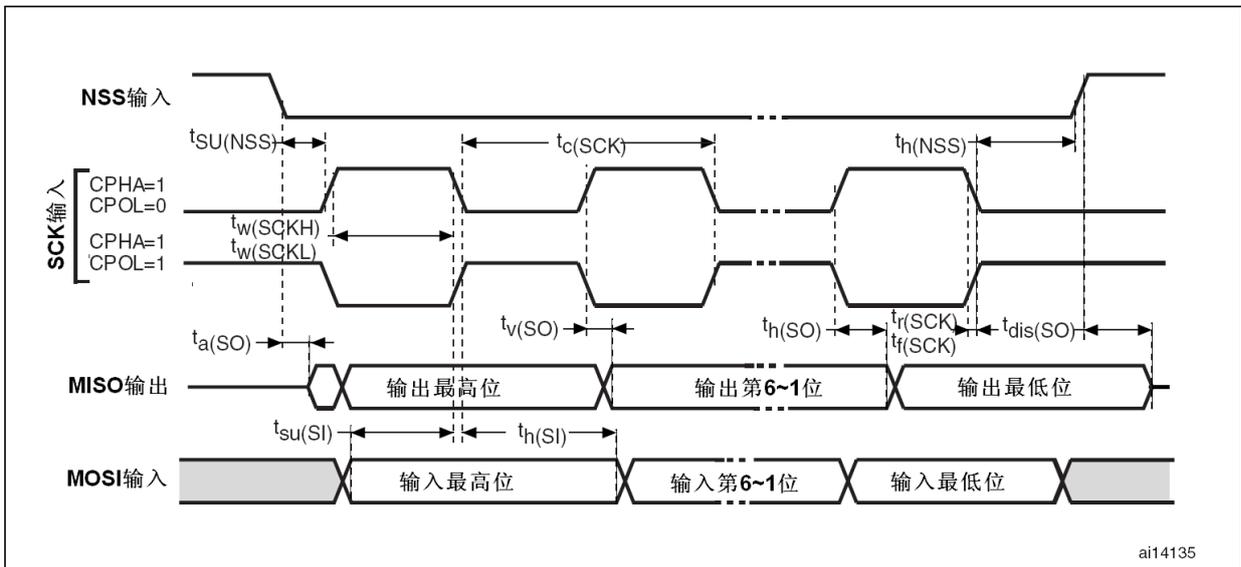
除非特别说明, 表43列出的SPI参数和表44列出的I²S参数, 是使用环境温度, f_{PCLKx} 频率和 V_{DD} 供电电压符合表9的条件测量得到。

有关输入输出复用功能引脚(SPI的NSS、SCK、MOSI、MISO引脚, 以及I²S的WS、CK、SD引脚)的特性详情, 参见第5.3.12节。

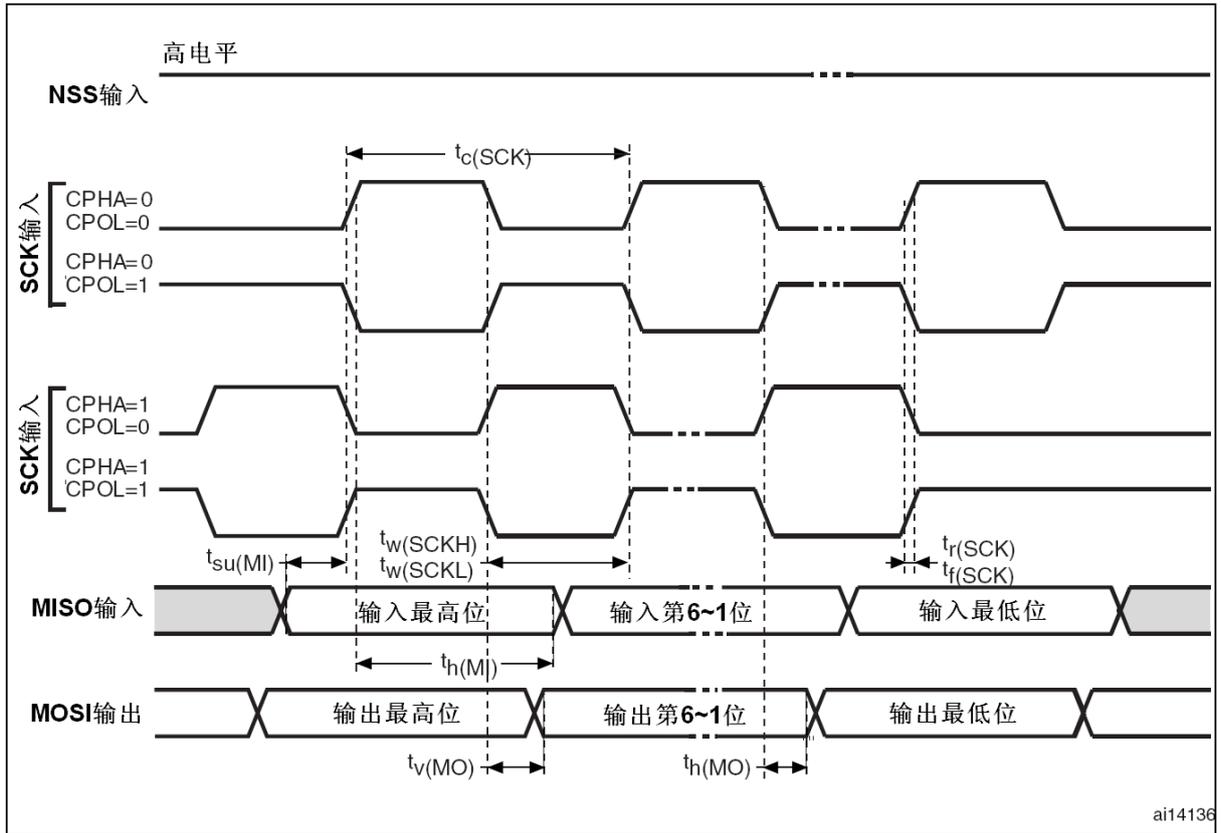
表43 SPI特性

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI时钟频率	主模式		18	MHz
		从模式		18	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI时钟上升和下降时间	负载电容: $C = 30pF$		8	ns
DuCy(SCK)	SPI从模式输入时钟的占空比	从模式	30	70	%
$t_{su(NSS)}$	NSS建立时间	从模式	$4t_{PCLK}$		ns
$t_h(NSS)$	NSS保持时间	从模式	$2t_{PCLK}$		ns
$t_w(SCKH)$ $t_w(SCKL)$	SCK高和低的时间	主模式, $f_{PCLK} = 36MHz$, 预分频系数=4	50	60	ns
$t_{su(MI)}$ $t_{su(SI)}$	数据输入建立时间	主模式	4		
		从模式	5		
$t_h(MI)$ $t_h(SI)$	数据输入保持时间	主模式	5		
		从模式	5		
$t_a(SO)$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$	0	$3 * t_{PCLK}$	
$t_{dis(SO)}$	数据输出禁止时间	从模式	2	10	
$t_v(SO)$	数据输出有效时间	从模式(使能边沿之后)		34	
$t_v(MO)$	数据输出有效时间	主模式(使能边沿之后)		8	
$t_h(SO)$ $t_h(MO)$	数据输出保持时间	从模式(使能边沿之后)	32		
		主模式(使能边沿之后)	10		

图25 SPI时序图 – 从模式和CPHA=0

图26 SPI时序图 – 从模式和CPHA=1⁽¹⁾

1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

图27 SPI时序图 – 主模式⁽¹⁾

1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。

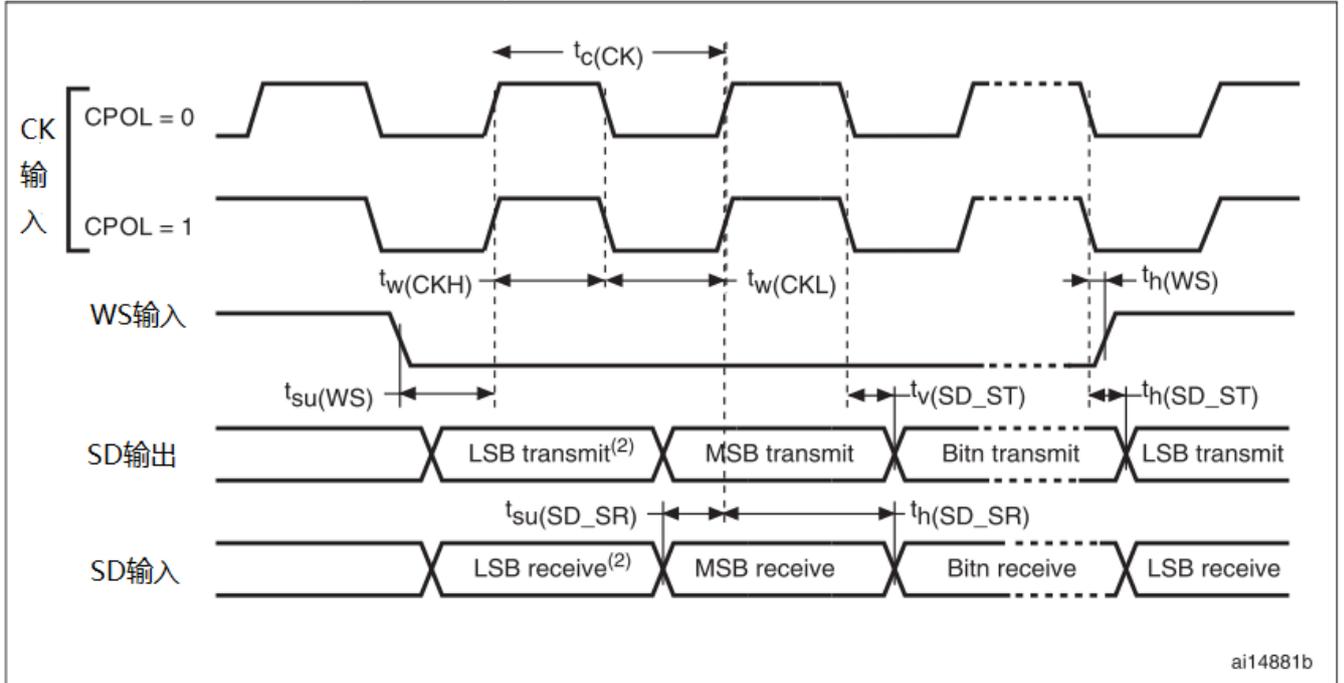
表44 I²S特性

符号	参数	条件	最小值	最大值	单位
f _{CK} 1/t _c (CK)	I ² S时钟频率	主模式：16位，音频频率 = 48K 从模式	1.52	1.54 6.5	MHz
t _r (CK) t _f (CK)	I ² S时钟上升和下降时间	负载电容：C _L = 50pF		8	ns
t _w (CKH) ⁽¹⁾	I ² S高的时间	主模式，f _{PCLK} = 16MHz， 音频频率 = 48K	317	320	ns
t _w (CKL) ⁽¹⁾	I ² S低的时间		333	336	
t _v (WS) ⁽¹⁾	WS有效时间	主模式	3		ns
t _h (WS) ⁽¹⁾	WS保持时间	主模式	I2S2	0	
			I2S3	0	
t _{su} (WS) ⁽¹⁾	WS建立时间	从模式	I2S2	4	
			I2S3	9	
T _h (WS) ⁽¹⁾	WS保持时间	从模式	0		
DuCy(SCK)	I ² S从模式输入时钟的占空比	从模式	30	70	%
t _{su} (SD_MR) ⁽¹⁾	数据输入建立时间	主模式	I2S2	8	ns
			I2S3	10	
t _{su} (SD_SR) ⁽¹⁾	数据输入建立时间	从模式	I2S2	3	
			I2S3	8	
t _h (SD_MR) ⁽¹⁾	数据输入保持时间	主模式	I2S2	2	ns
			I2S3	4	
t _h (SD_SR) ⁽¹⁾	数据输入保持时间	从模式	I2S2	2	
			I2S3	4	
t _v (SD_ST) ⁽¹⁾⁽³⁾	数据输出有效时间	从模式	I2S2	23	

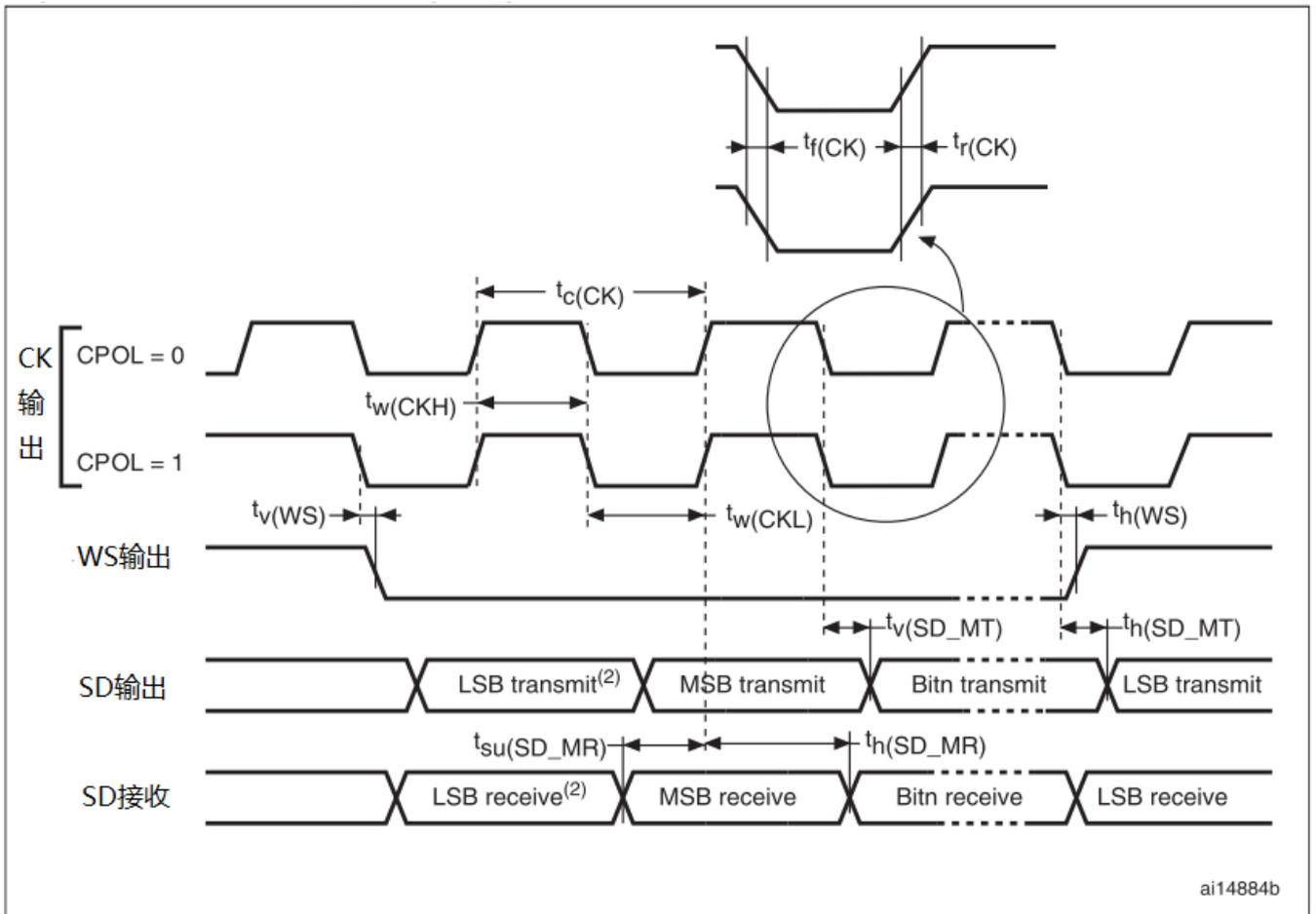
		(使能边沿之后)	I2S3	33	
$t_{h(SD_ST)}^{(1)}$	数据输出保持时间	从模式	I2S2	29	
		(使能边沿之后)	I2S3	27	
$T_{v(SD_MT)}^{(1)}$	数据输出有效时间	主模式	I2S2		5
		(使能边沿之后)	I2S3		2
$T_{hSD_MT)}^{(1)}$	数据输出保持时间	主模式	I2S2	11	
		(使能边沿之后)	I2S3	4	

1. 由设计或综合评估保证，不在生产中测试。

图28 I²S从模式时序图(飞利浦协议)⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。
2. LSB是传输/接收的前一个字节位。在发送第一个字节前不会有LSB位被传输。

图29 I²S主模式时序图(飞利浦协议)⁽¹⁾

ai14884b

1. 由综合评估得出，不在生产中测试。
2. LSB是传输/接收的前一个字节位。在发送第一个字节前不会有LSB位被传输。

USB OTG特性

USB OTG接口已通过USB-IF认证。

表45 USB OTG启动时间

符号	参数	最大值	单位
$t_{STARTUP}^{(1)}$	USB收发器启动时间	1	μs

1. 由设计保证，不在生产中测试。

表46 USB OTG直流特性

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
输入 电 平	V_{DD}	USB OTG FS操作电压	3.0 ⁽²⁾		3.6	V
	$V_{DI}^{(3)}$	差分输入灵敏度	I(USBDP, USBDM)	0.2		V
	$V_{CM}^{(3)}$	差分共模范围	包含 V_{DI} 范围	0.8	2.5	
	$V_{SE}^{(3)}$	单端接收器阈值		1.3	2.0	
输出 电 平	V_{OL}	静态输出低电平	1.5k Ω 的 R_L 接至3.6V ⁽⁴⁾		0.3	V
	V_{OH}	静态输出高电平	15k Ω 的 R_L 接至 $V_{SS}^{(4)}$	2.8	3.6	
R_{PD}	PA11, PA12的下拉电阻	$V_{IN} = V_{DD}$	17	21	24	K Ω
	PA9的下拉电阻		0.65	1.1	2.0	

R _{PU}	PA12的上拉电阻	V _{IN} = V _{SS}	1.5	1.8	2.1	
	PA9的上拉电阻	V _{IN} = V _{SS}	0.25	0.37	0.55	

- 所有的电压测量都是以设备端地线为准。
- STM32F105xx和STM32F107xx的USB OTG功能可以在2.7V得到保证，而不是在2.7~3.0V电压范围下降级的电气特性。
- 由设计保证，不在生产中测试。
- R_L是连接到USB驱动器上的负载。

图30 USB OTG 时序：数据信号上升和下降时间定义

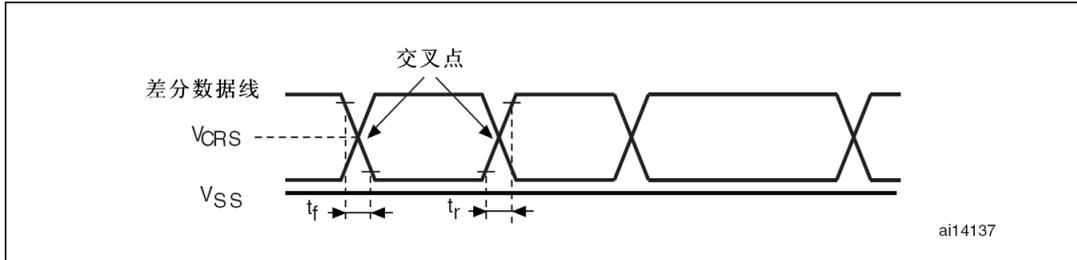


表47 USB OTG FS 电气特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t _r	上升时间 ⁽²⁾	CL = 50pF	4	20	ns
t _f	下降时间 ⁽²⁾	CL = 50pF	4	20	ns
t _{rfm}	上升下降时间匹配	t _r / t _f	90	110	%
V _{CRS}	输出信号交叉电压		1.3	2.0	V

- 由设计保证，不在生产中测试。
- 测量数据信号从10%至90%。更多详细信息，参见USB规范第7章(2.0版)。

以太网特性

下表列出了以太网的工作电压。

表48 以太网直流特性

符号	参数	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位	
输入范围	V _{DD}	以太网工作电压	3.0	3.6	V

- 所有的电压测量都是以设备端地线为准。

表49列出了SMI接口的以太网MAC信号，图31显示了相应的时序图。

图31 以太网SMI接口时序图

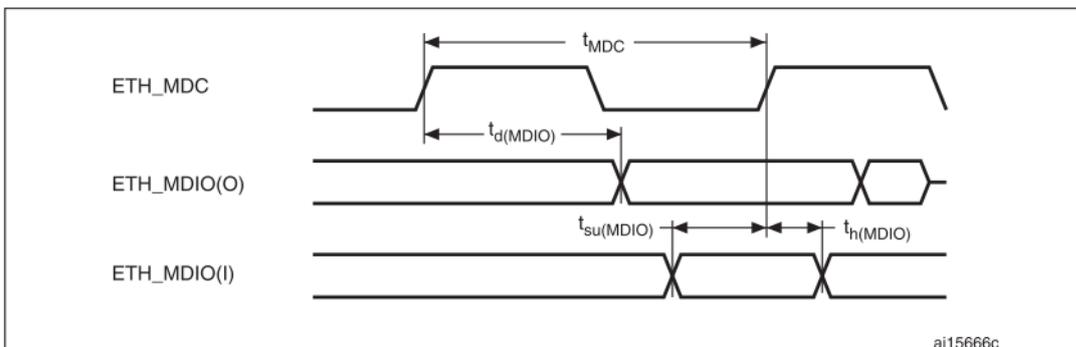


表49 动态特性——SMI接口的以太网MAC信号

符号	范围	最小值	典型值	最大值	单位
t _{MDC}	MDC周期 (1.71MHz, AHB = 72MHz)	583	583.5	584	ns
t _{d(MDIO)}	MDIO写数据的有效时间	13.5	14.5	15.5	

$t_{su}(MDIO)$	读数据的建立时间	35			
$t_h(MDIO)$	读数据的保持时间	0			

表50列出了RMII接口的以太网MAC信号，图32显示了相应的时序图。

图32 以太网RMII接口时序图

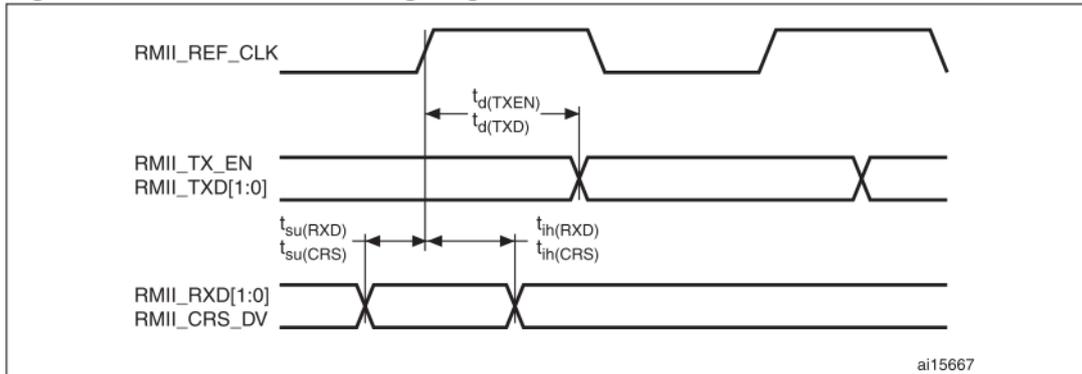


表50 动态特性——RMII接口以太网MAC信号

符号	范围	最小值	典型值	最大值	单位
$t_{su}(RXD)$	接收数据建立时间	4			ns
$t_{ih}(RXD)$	接收数据保持时间	2			
$t_{su}(DV)$	载波建立时间	4			
$t_{ih}(DV)$	载波保持时间	2			
$t_d(TXEN)$	传输允许有效延迟	8	10	16	
$t_d(TXD)$	数据传输有效延迟	7	10	16	

表51列出了MII接口的以太网MAC信号，图33显示了相应的时序图。

图33 以太网MII接口时序图

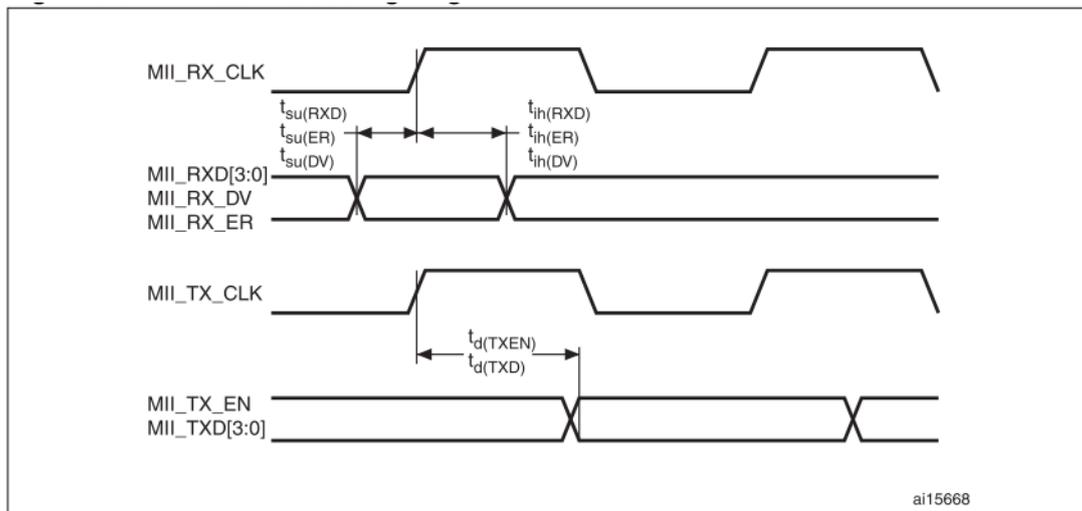


表51 动态特性——MII接口以太网MAC信号

符号	范围	最小值	典型值	最大值	单位
$t_{su}(RXD)$	接收数据建立时间	10			ns
$t_{ih}(RXD)$	接收数据保持时间	10			
$t_{su}(DV)$	数据有效建立时间	10			

$t_{ih(DV)}$	数据有效保持时间	10			
$t_{su(ER)}$	错误建立时间	10			
$t_{ih(ER)}$	错误保持时间	10			
$t_d(TXEN)$	传输使能有效延迟	14	16	18	
$t_d(TXD)$	传输数据有效延迟	13	16	20	

CAN(控制器局域网)接口

更多输入/输出复用功能(CANTX和CANRX)的详细资料请参考5.3.12章节

5.3.17 12位ADC特性

除非特别说明，表52的参数是使用符合表9的条件的环境温度、 f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

注意：建议在每次上电时执行一次校准。

表52 ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.4		3.6	V
V_{REF+}	正向参考电压		2.4		V_{DDA}	V
I_{VREF}	I_{VREF} 输入引脚的电流			160 ⁽²⁾	220 ⁽²⁾	uA
f_{ADC}	ADC时钟频率		0.6		14	MHz
$f_S^{(2)}$	采样速率		0.05		1	MHz
$f_{TRIG}^{(2)}$	外部触发频率	$f_{ADC} = 14MHz$			823	kHz
					17	1/ f_{ADC}
V_{AIN}	转换电压范围 ⁽²⁾		0(V_{SSA} 或 V_{REF-} 连接到地)		V_{REF+}	V
$R_{AIN}^{(2)}$	外部输入阻抗	参见公式1和表53			50	kΩ
$R_{ADC}^{(2)}$	采样开关电阻				1	kΩ
$C_{ADC}^{(2)}$	内部采样和保持电容				8	pF
$t_{CAL}^{(2)}$	校准时间	$f_{ADC} = 14MHz$	5.9			μs
			83			1/ f_{ADC}
$t_{lat}^{(1)}$	注入触发转换时延	$f_{ADC} = 14MHz$			0.214	μs
					3 ⁽⁴⁾	1/ f_{ADC}
$t_{latr}^{(2)}$	常规触发转换时延	$f_{ADC} = 14MHz$			0.143	μs
					2 ⁽⁴⁾	1/ f_{ADC}
$t_S^{(2)}$	采样时间	$f_{ADC} = 14MHz$	0.107		17.1	μs
			1.5		239.5	1/ f_{ADC}
$t_{STAB}^{(2)}$	上电时间		0	0	1	μs
$t_{CONV}^{(2)}$	总的转换时间(包括采样时间)	$f_{ADC} = 14MHz$	1		18	μs
			14~252(采样 t_S + 逐步逼近12.5)			1/ f_{ADC}

1. 由综合评估产生，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. V_{REF+} 在内部连接到 V_{DDA} ， V_{REF-} 在内部连接到 V_{SSA} 。
4. 对于外部触发，必须在表52列出的时延中加上一个延迟1/ f_{PCLK2} 。

公式1：最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式1)用于决定最大的外部阻抗,使得误差可以小于1/4 LSB。其中N=12(表示12位分辨率)。

表53 $f_{ADC}=14\text{MHz}^{(1)}$ 时的最大 R_{AIN}

T_s (周期)	$t_s(\mu\text{s})$	最大 $R_{AIN}(\text{k}\Omega)$
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	NA
239.5	17.1	NA

1. 由设计保证,不在生产中测试。

表54 ADC精度 – 局限的测试条件⁽¹⁾

符号	参数	测试条件	典型值	最大值 ⁽²⁾	单位
ET	综合误差	$f_{PCLK2} = 56 \text{ MHz}$, $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 3\sim 3.6\text{V}$, $T_A = 25 \text{ }^\circ\text{C}$ 测量是在ADC校准之后进行的	± 1.3	± 2	LSB
EO	偏移误差		± 1	± 1.5	
EG	增益误差		± 0.5	± 1.5	
ED	微分线性误差		± 0.7	± 1	
EL	积分线性误差		± 0.8	± 1.5	

1. ADC的直流精度数值是在经过内部校准后测量的。

2. 由综合评估保证,不在生产中测试。

表55 ADC精度⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$f_{PCLK2} = 56 \text{ MHz}$, $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 2.4\sim 3.6\text{V}$ 测量是在ADC校准之后进行的	± 2	± 5	LSB
EO	偏移误差		± 1.5	± 2.5	
EG	增益误差		± 1.5	± 3	
ED	微分线性误差		± 1	± 2	
EL	积分线性误差		± 1.5	± 3	

1. ADC的直流精度数值是在经过内部校准后测量的。

2. 最佳的性能可以在受限的 V_{DD} 、频率、 V_{REF} 和温度范围下实现。

3. 由综合评估保证,不在生产中测试。

注意:

ADC精度与反向注入电流的关系: 需要避免在任何标准的模拟输入引脚上注入反向电流,因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上,(引脚与地之间)增加一个肖特基二极管。如果正向的注入电流,只要处于第5.3.12节中给出的 $I_{INJ}(PIN)$ 和 $\Sigma I_{INJ}(PIN)$ 范围之内,就不会影响ADC精度。

图34 ADC精度特性

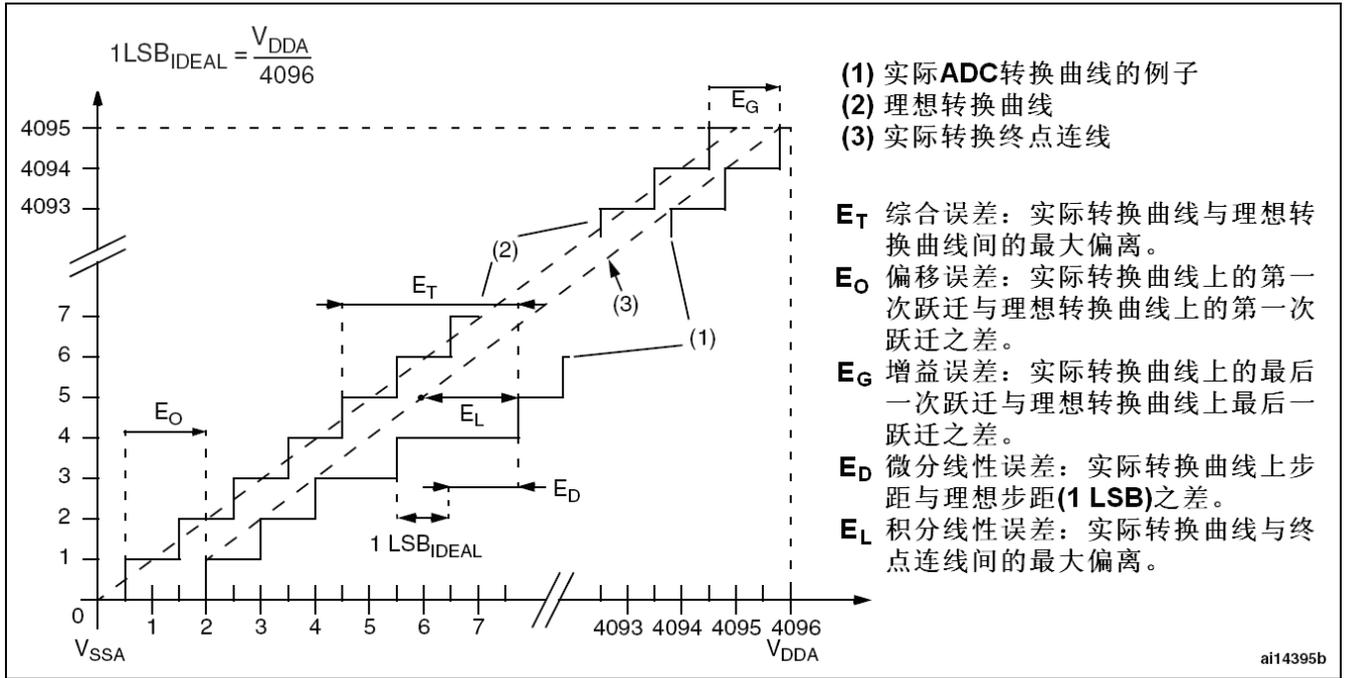
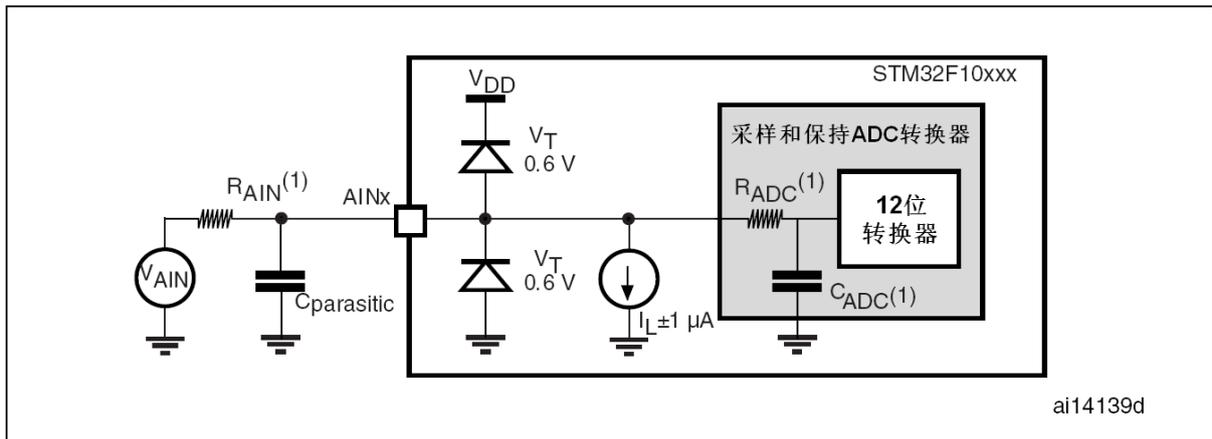


图35 使用ADC典型的连接图

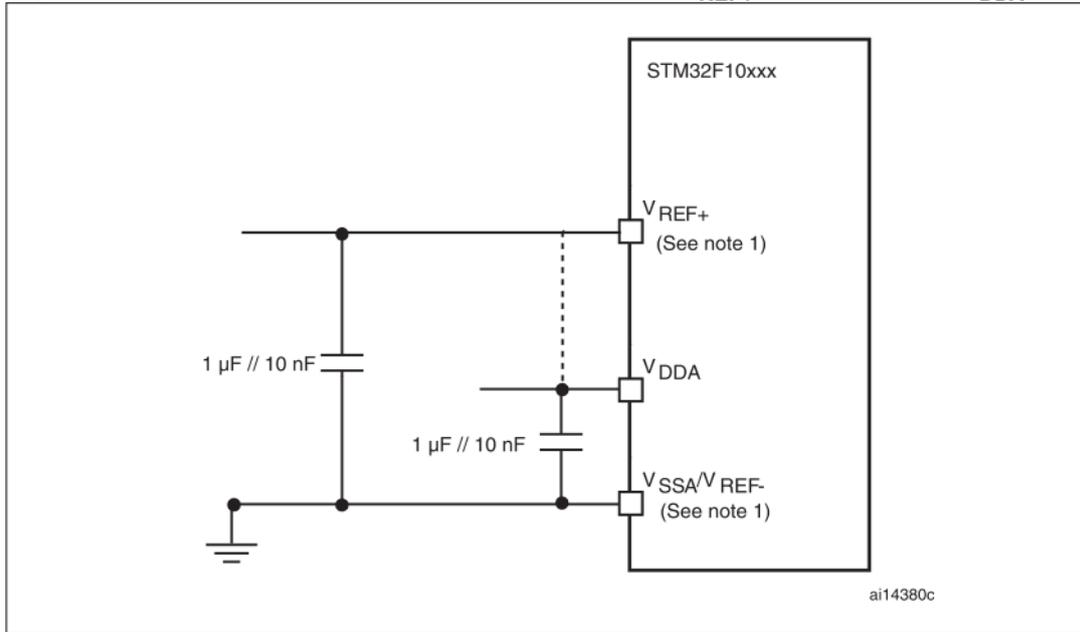


1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表52。
2. $C_{\text{parasitic}}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{\text{parasitic}}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB设计建议

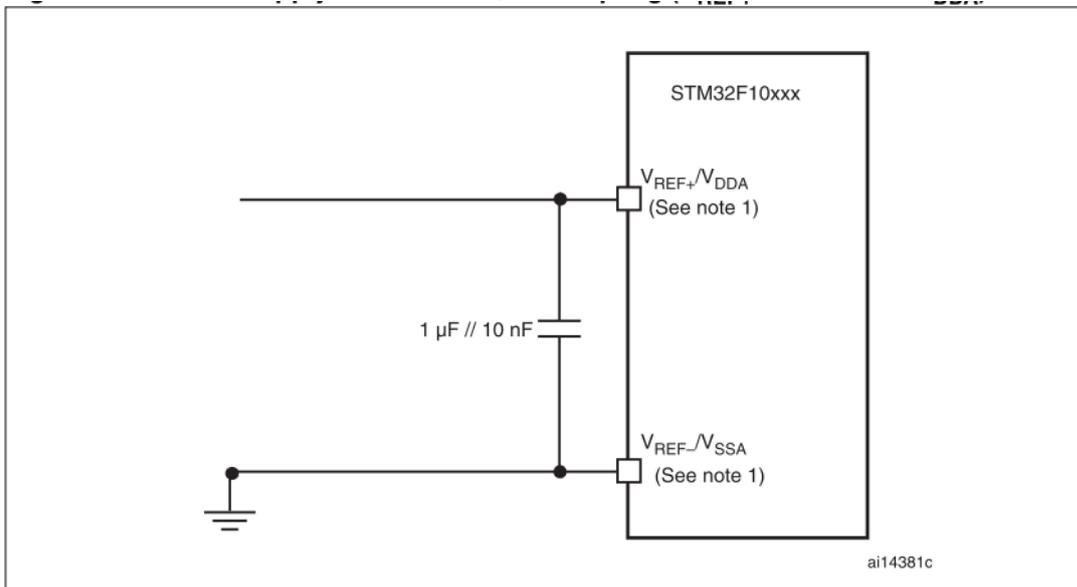
电源的去耦根据 V_{REF+} 是否连接到 V_{DDA} ，按照图36和图37所示连接。图中的10nF电容必须是瓷介电容(好的质量)，它们应该尽可能地靠近MCU芯片。

图36 供电电源和参考电源去耦线路(V_{REF+} 未连接到 V_{DDA})



1. V_{REF+} 和 V_{REF-} 仅存在于100引脚封装。

图37 供电电源和参考电源去耦线路(V_{REF+} 连接到 V_{DDA})



1. V_{REF+} 和 V_{REF-} 仅存在于100引脚封装。

5.3.18 DAC电气特性

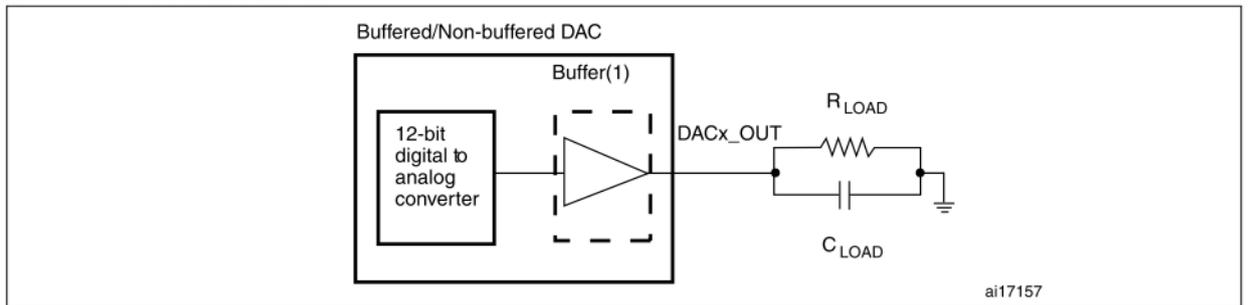
表56 DAC特性

符号	参数	最小值	典型值	最大值	单位	注释
V _{DDA}	模拟供电	2.4		3.6	V	
V _{REF+}	参考电压	2.4		3.6	V	V _{REF+} 必须小于V _{DDA}
V _{SSA}	地	0		0	V	
R _{LOAD} ⁽¹⁾	带缓冲的电阻负载	5			KΩ	
R _O ⁽¹⁾	无缓冲的输出阻抗			15	KΩ	关闭驱动时, 在DAC_OUT和V _{SS} 间的最小电阻负载为1%精度的1.5MΩ
C _{LOAD} ⁽¹⁾	负载电容			50	pF	DAC_OUT脚的最大负载电容(驱动打开)
DAC_OUT _{min} ⁽¹⁾	驱动打开时的DAC_OUT低电压	0.2			V	DAC的输出达到最大范围。 对应的12位输入: V _{REF+} =3.6V为: 0x0E0 – 0xF1C V _{REF+} =2.4V为: 0x155 – 0xEAB
DAC_OUT _{max} ⁽¹⁾	驱动打开时的DAC_OUT高电压			V _{DDA} -0.2	V	
DAC_OUT _{min} ⁽¹⁾	驱动关闭时的DAC_OUT低电压		0.5		mV	DAC输出达到最大范围
DAC_OUT _{max} ⁽¹⁾	驱动关闭时的DAC_OUT高电压			V _{REF+} - 1LSB	V	
I _{DDVREF+}	静态模式(待机模式)下的DAC直流功耗			220	uA	无负载, V _{REF+} =3.6V(代码=0xF1C), 输入电流
I _{DDA}	静态模式(待机模式)下的DAC直流功耗			380	uA	无负载, 代码=0x800时输入电流
				480	uA	无负载, V _{REF+} =3.6V(代码=0xF1C), 输入电流
DNL ⁽²⁾	差分非线性值 相邻两个连续代码之间的最大差异			±0.5	LSB	DAC配置为10位模式
				±2	LSB	DAC配置为12位模式
INL ⁽²⁾	积分非线性度 在代码0到代码1023之间, 真实值和测到值之间误差最大的那一个代码的误差值			±1	LSB	DAC配置为10位模式
				±4	LSB	DAC配置为12位模式
Offset ⁽²⁾	偏置误差 (代码为0x800时的测量值和理想值V _{REF+} /2之间的误差)			±10	mV	DAC配置为12位模式
				±3	LSB	DAC配置为10位模式, V _{REF+} =3.6V
				±12	LSB	DAC配置为12位模式, V _{REF+} =3.6V
Gain error ⁽²⁾	增益误差			±0.5	%	DAC配置为12位模式
t _{SETTLING} ⁽²⁾	建立时间 (满刻度: 输入10位代码, DAC_OUT输出稳定在预定值的±1LSB范围内所需)		3	4	us	C _{LOAD} ≤ 50pF R _{LOAD} ≥ 5KΩ

	要的时间)					
Update rate ⁽²⁾	输入代码从 <i>i</i> 变为 <i>i+1</i> LSB, DAC_OUT输出转变的最大更新频率			1	MS/s	$C_{LOAD} \leq 50\text{pF}$ $R_{LOAD} \geq 5\text{K}\Omega$
$t_{WAKEUP}^{(2)}$	从关闭状态唤醒的时间(设置DAC控制寄存器的ENx位)	6.5	10		us	$C_{LOAD} \leq 50\text{pF}$, $R_{LOAD} \geq 5\text{K}\Omega$, 输入代码为最大值和最小值之间的任意值
PSRR+ ⁽¹⁾	电源抑制比(对于V _{DDA})	-67	-40		dB	$C_{LOAD} = 50\text{pF}$, 无 R_{LOAD}

1. 由设计保证, 不在生产中测试
2. 由综合评估得出, 不在生产中测试

图38 12位的驱动/无驱动DAC



1. DAC模块内置了输出驱动, 以便减少输出阻抗, 直接驱动外部负载而不需要使用外接运放。此驱动可以通过DAC_CR寄存器的BOFFx位旁路。

5.3.19 温度传感器特性

表57 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V _{SENSE} 相对于温度的线性度		±1	±2	°C
Avg_Slope ⁽¹⁾	平均斜率	4.0	4.3	4.6	mV/°C
V ₂₅ ⁽¹⁾	在25°C时的电压	1.34	1.43	1.52	V
t _{START} ⁽²⁾	建立时间	4		10	μs
T _{S_temp} ⁽²⁾⁽³⁾	当读取温度时, ADC采样时间			17.1	μs

1. 由综合评估保证, 不在生产中测试。
2. 由设计保证, 不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

6 封装特性

6.1 封装机械数据

为了符合环境的需要，ST根据不同的环境等级提供了这些芯片不同等级的ECOPACK®封装。ECOPACK®规范、等级定义和产品状态可以在www.st.com网站上获得。

ECOPACK®是ST的商标。

图39 LFBGA100 10*10mm 100脚LFBGA封装剖面图

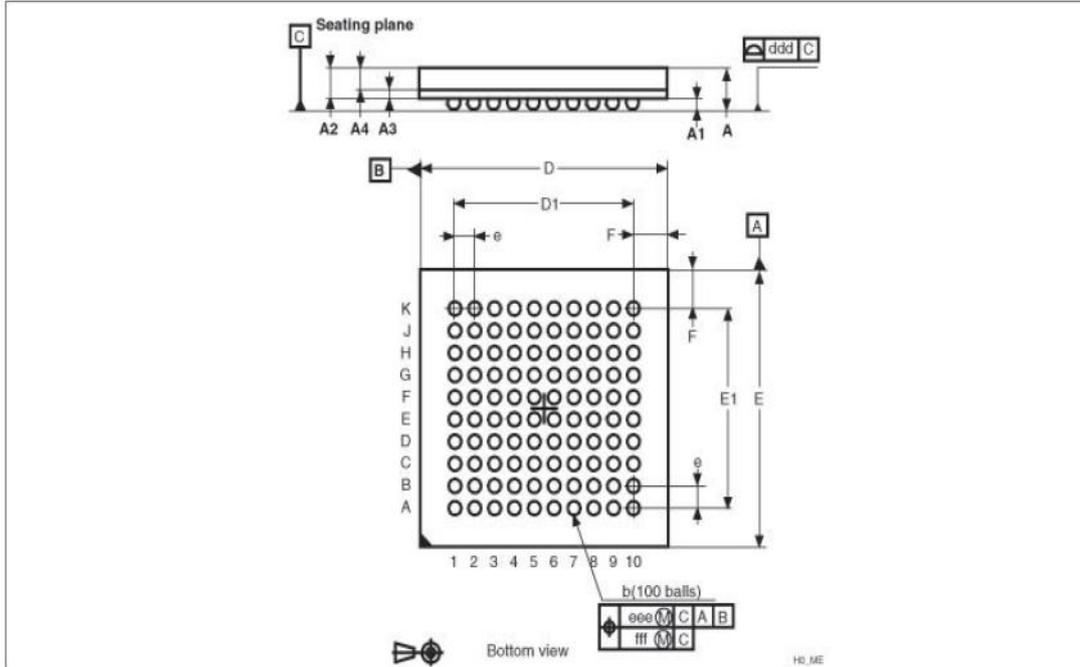


表58 LFBGA100 – 10*10mm 100脚LFBGA封装机械尺寸

Dim.	mm			inches ⁽¹⁾		
	Min	Typ	Max	Min	Typ	Max
A			1.700			0.0026
A1	0.270			0.0004		
A2		1.085			0.0017	
A3		0.30			0.0005	
A4			0.80			0.0012
b	0.45	0.50	0.55	0.0007	0.0008	0.0009
D	9.85	10.00	10.15	0.0153	0.0155	0.0157
D1		7.20			0.0111	
E	9.85	10.00	10.15	0.0153	0.0155	0.0157
E1		7.20			0.0111	
e		0.80			0.0012	
F		1.40			0.0022	
ddd		0.12			0.0002	
eee		0.15			0.0002	
fff		0.08			0.0001	
N (number of balls)	100					

1. 英寸的数值是根据毫米的数据按照4位小数精度转换取整得到的。

图40 建议的PCB图(0.80/0.75mm的BGA)

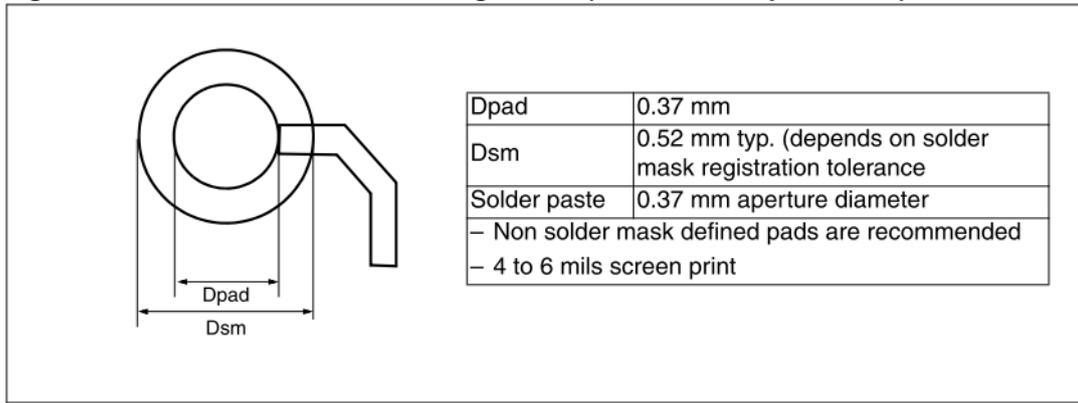
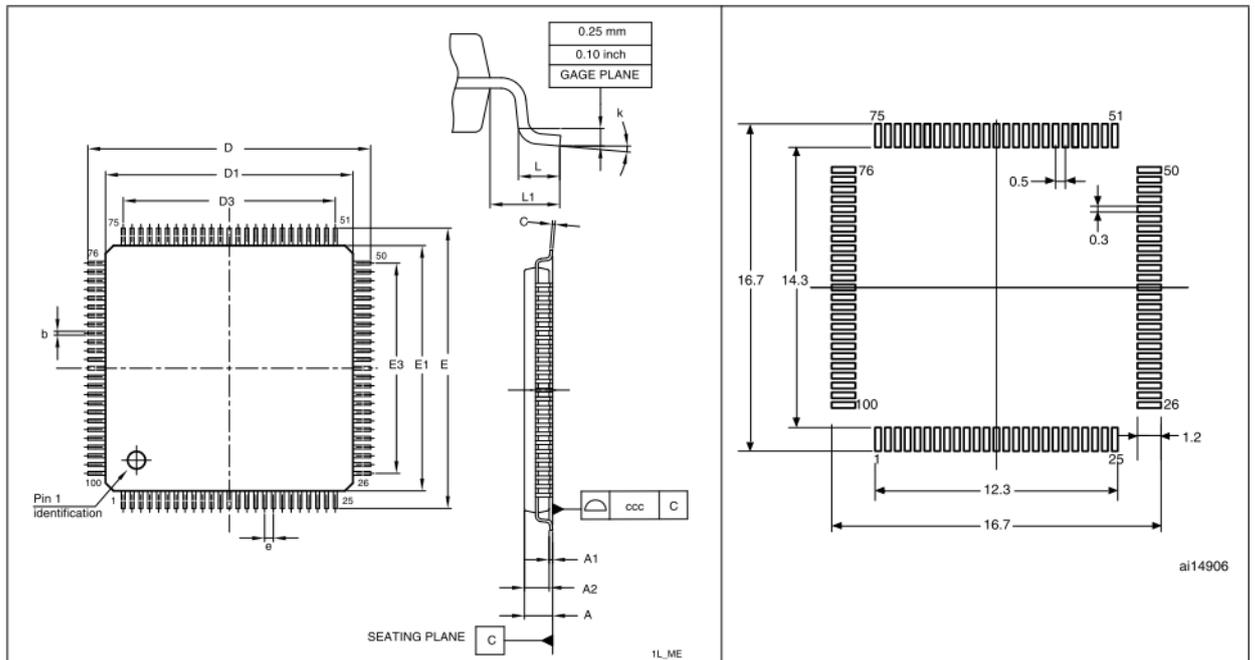


图41 LQFP100, 100脚LQFP封装剖面图⁽¹⁾

图42 建议的PCB元件尺寸⁽¹⁾⁽²⁾



1. 图不是按比例绘制
2. 尺寸单位为毫米

表59 LQFP100 100脚LQFP封装机械尺寸

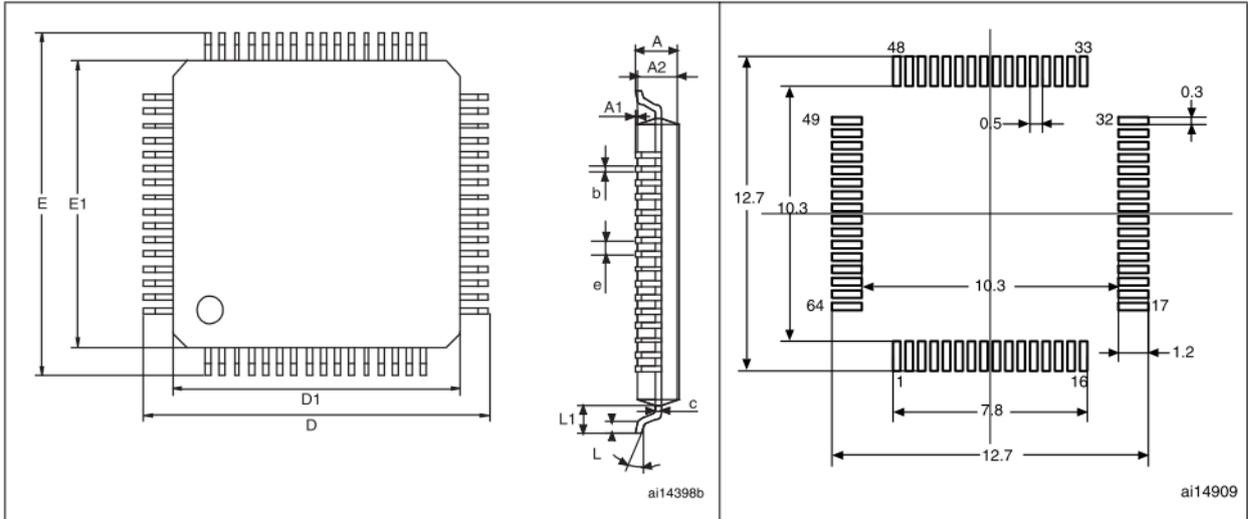
符号	毫米			英寸 ⁽¹⁾		
	典型值	最小值	最大值	典型值	最小值	最大值
A			1.60			0.063
A1		0.05	0.15		0.002	0.0059
A2	1.40	1.35	1.45	0.0551	0.0531	0.0571
b	0.22	0.17	0.27	0.0087	0.0067	0.0106
c		0.09	0.20		0.0035	0.0079
D	16.00	15.80	16.20	0.6299	0.622	0.6378
D1	14.00	13.80	14.20	0.5512	0.5433	0.5591
D3	12.00			0.4724		
E	16.00	15.80	16.20	0.6299	0.622	0.6378
E1	14.00	13.80	14.20	0.5512	0.5433	0.5591
E3	12.00			0.4724		

e	0.50			0.0197		
L	0.60	0.45	0.75	0.0236	0.0177	0.0295
L1	1.00			0.0394		
k	3.5°	0°	7°	3.5°	0°	7°
ccc	0.08			0.0031		

1. 英寸的数值是根据毫米的数据按照4位小数精度转换取整得到的。

图43 LQFP64 64脚LQFP封装剖面图⁽¹⁾

图44 建议的PCR元件尺寸⁽¹⁾⁽²⁾



1. 图不是按比例绘制
2. 尺寸单位为毫米

表60 LQFP64 64脚LQFP封装机械尺寸

标号	毫米			英寸 ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
c	0.09		0.20	0.0035		0.0079
D		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
e		0.50			0.0197	
θ	0°	3.5°	7°	0°	3.5°	7°
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
引脚数目						
N	64					

1. 英寸的数值是根据毫米的数据按照4位小数精度转换取整得到的。

6.2 热特性

芯片的最大结温(T_{Jmax})一定不能超过表9给出的数值范围。

芯片的最大结温(T_{Jmax})用摄氏温度表示, 可用下面的公式计算:

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \Theta_{JA})$$

其中:

- T_{Amax} 是最大的环境温度, 用°C表示,
- Θ_{JA} 是封装中结到环境的热阻抗, 用°C/W标示,
- P_{Dmax} 是 P_{INTmax} 和 P_{IOmax} 的和($P_{Dmax} = P_{INTmax} + P_{IOmax}$),
- P_{INTmax} 是 I_{DD} 和 V_{DD} 的乘积, 用瓦特(Watt)表示, 是芯片的最大内部功耗。

P_{IOmax} 是所有输出引脚的最大功率消耗:

$$P_{IOmax} = \Sigma(VOL \times IOL) + \Sigma((VDD - VOH) \times IOH),$$

考虑在应用中I/O上低电平和高电平的实际的VOL/IOL和VOH/IOH。

表61 封装的热特性

符号	参数	数值	单位
Θ_{JA}	结到环境的热阻抗——LQFP100 - 14 x 14 mm / 0.5 mm 间距	46	°C / W
	结到环境的热阻抗——LQFP64 - 10 x 10 mm / 0.5 mm 间距	45	
	结到环境的热阻抗——LFBGA100 - 10 x 10 mm / 0.8 mm间距	40	

6.3 参考文档

JESD51-2 集成电路热测量环境条件 - 自然对流(空气静止)。

参见www.jedec.org。

6.3.1 选择产品的温度范围

当订购微控制器时, 温度范围在订购代码中指定(见表62)。

每个温度范围编号的产品, 对应于一个给定的、在最大消耗下可以保障的环境温度, 对应于一个给定的最大结温度。

下面的例子说明如何根据特定的应用计算需要的温度范围, 用于检查所需的温度范围是否在STM32F103xx结温度范围之内。

例1: 高性能应用

假设下面的应用条件:

最大环境温度 $T_{Amax} = 82^{\circ}\text{C}$ (根据JESD51-2标准测量),

$I_{DDmax} = 50\text{mA}$, $V_{DD} = 3.5\text{V}$, 同时最多有20个I/O端口处于输出低电平 $I_{OL}=8\text{mA}$, $V_{OL}=0.4\text{V}$,
并且同时最多有8个I/O端口处于输出低电平 $I_{OL}=20\text{mA}$, $V_{OL}=1.3\text{V}$

$P_{INTmax} = 50\text{mA} \times 3.5\text{V} = 175\text{mW}$

$P_{IOmax} = 20 \times 8\text{mA} \times 0.4\text{V} + 8 \times 20\text{mA} \times 1.3 = 272\text{mW}$

这样得到: $P_{INTmax} = 175\text{mW}$ 和 $P_{IOmax} = 272\text{mW}$

即: $P_{Dmax} = 175 + 272 = 447\text{mW}$

因此: $P_{Dmax} = 447\text{mW}$

根据表61中得到的数据如下计算 T_{Jmax} :

对于LQFP100, 46°C/W

$T_{Jmax} = 82^{\circ}\text{C} + (46^{\circ}\text{C/W} \times 447\text{mW}) = 82^{\circ}\text{C} + 20.6^{\circ}\text{C} = 102.6^{\circ}\text{C}$

结果在尾缀为6的产品的结温度($-40 < T_J < 105^{\circ}\text{C}$)范围内。

此种情况下，订单需要选择尾缀为6的产品。

例2：高环境温度应用

使用相同的规则，使高环境温度，低功耗的产品，结温保持在指定的范围内。

假设下面的应用条件：

最大环境温度 $T_A\max = 115\text{ °C}$ (根据JESD51-2标准测量)，

$I_{DD}\max = 20\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，同时最多有20个I/O端口处于输出低电平 $I_{OL}=8\text{ mA}$ ， $V_{OL}=0.4\text{ V}$ 。

$P_{INT}\max = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$

$P_{IO}\max = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$

这样得到： $P_{INT}\max = 70\text{ mW}$ 和 $P_{IO}\max = 64\text{ mW}$

即： $P_D\max = 70 + 64 = 134\text{ mW}$

因此： $P_D\max = 134\text{ mW}$

根据表61中得到的数据如下计算 $T_J\max$ ：

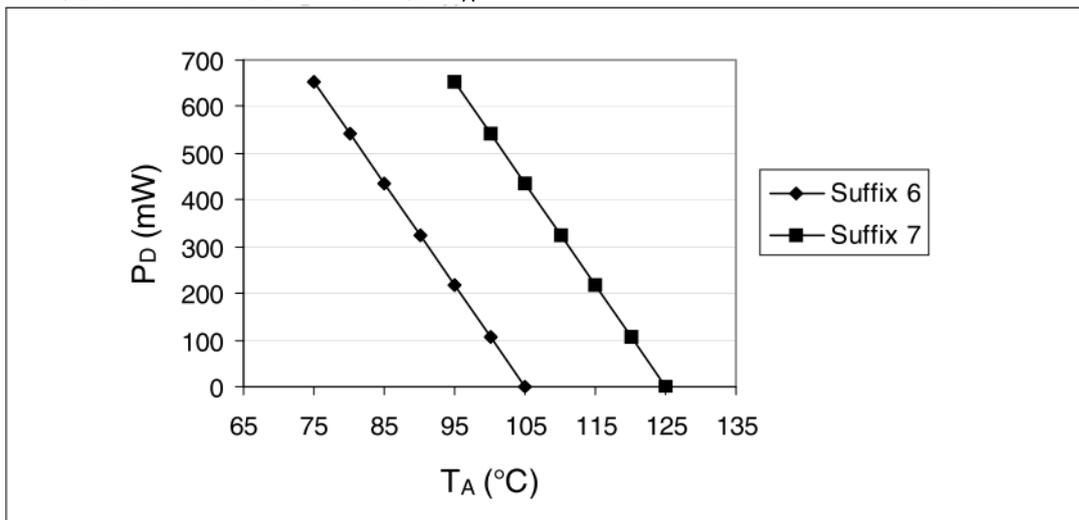
对于LQFP100， 46 °C/W

$T_J\max = 115\text{ °C} + (46\text{ °C/W} \times 134\text{ mW}) = 115\text{ °C} + 6.2\text{ °C} = 121.2\text{ °C}$

结果在尾缀为7的产品的结温度($-40 < T_J < 125\text{ °C}$)范围内。

此种情况下，订单需要选择尾缀为7的产品。

图45 LQFP100 $P_D\max$ 对照 T_A



7 订货代码

表62 订货代码信息图示

例如:

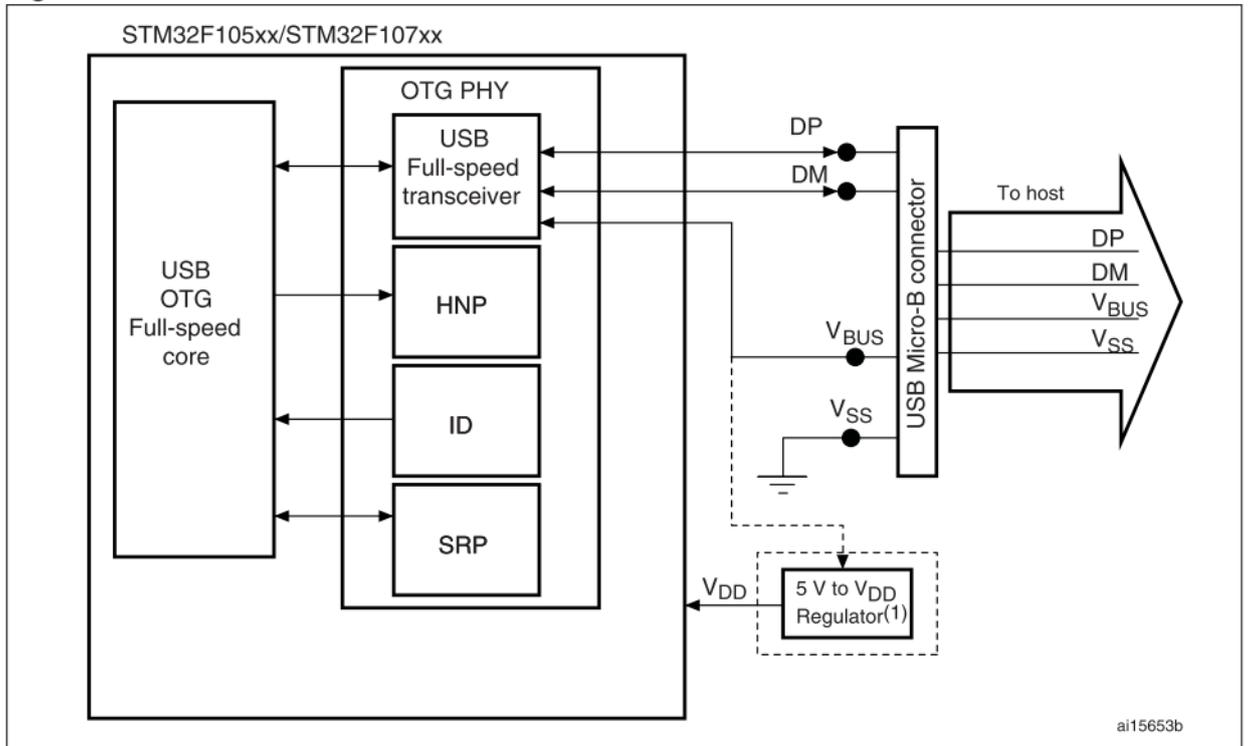
	STM32	F	105	R	C	T	6	V	xxx
产品系列									
STM32 = 基于ARM的32位微控制器									
产品类型									
F = 通用类型									
产品子系列									
105 = 互联型 USB OTG									
107 = 互联型 USB OTG 和以太网									
引脚数目									
R = 64脚									
V = 100脚									
闪存存储器容量⁽¹⁾									
8 = 64K字节的闪存存储器									
B = 128K字节的闪存存储器									
C = 256K字节的闪存存储器									
封装									
H = BGA									
T = LQFP									
温度范围									
6 = 工业级温度范围, -40°C~85°C									
7 = 工业级温度范围, -40°C~105°C									
软件选项									
内置代码或空									
选项									
xxx = 已编程的器件代号									
TR = 卷带式包装									

关于更多的选项列表(速度、封装等)和其他相关信息, 请与邻近的ST销售处联络。

附录A. 应用框图

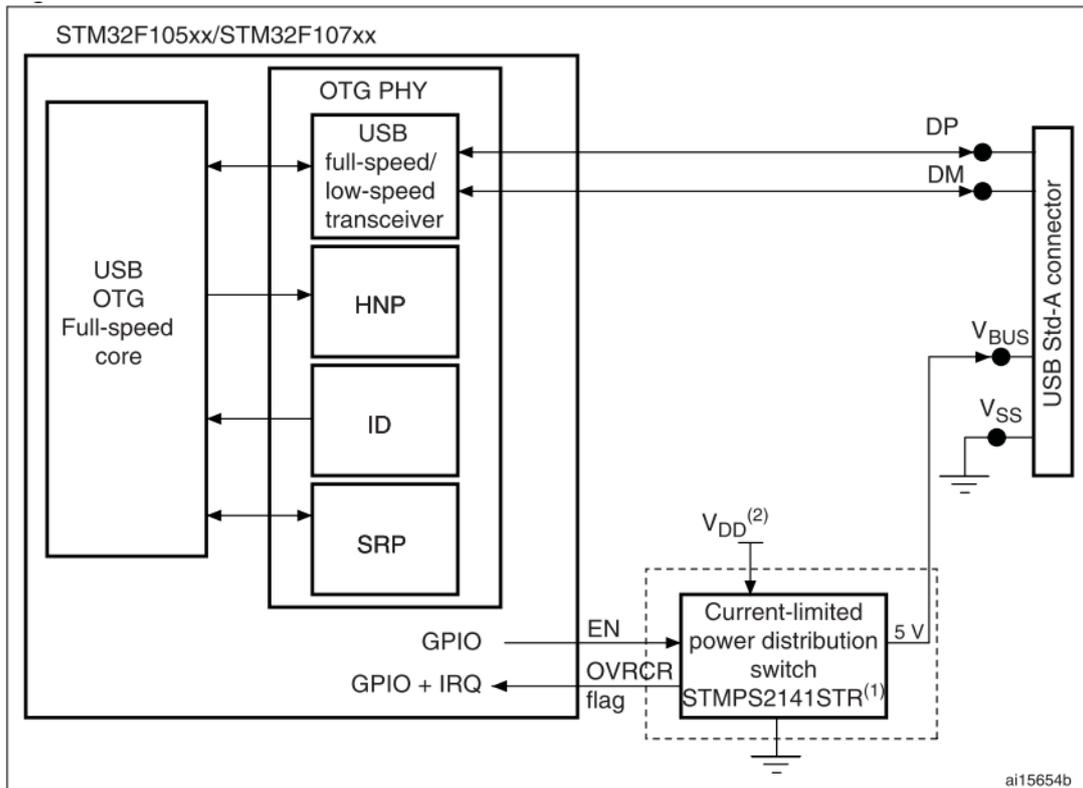
A.1 USB OTG FS接口应用

图46 USB OTG FS的设备模式



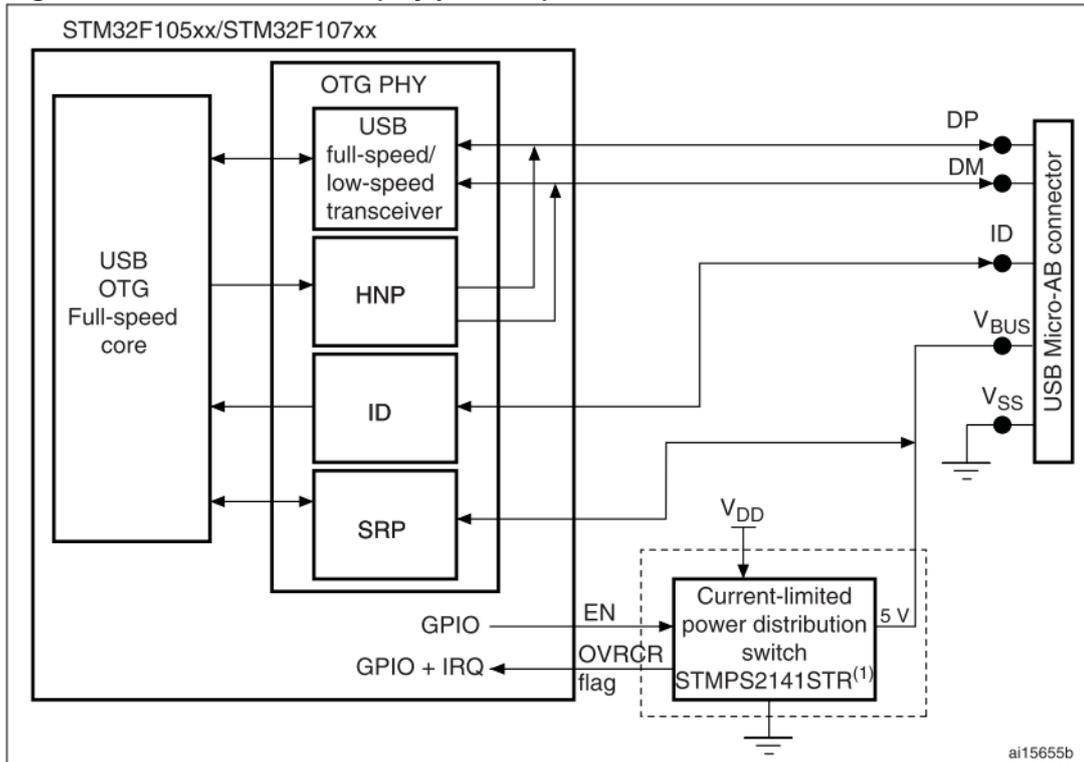
1. 在设计一个总线供电的设备时，需要外接一个电压变换器

图47 USB OTG FS的主机模式



1. 需要外接STMP2141STR，以便支持总线供电的设备

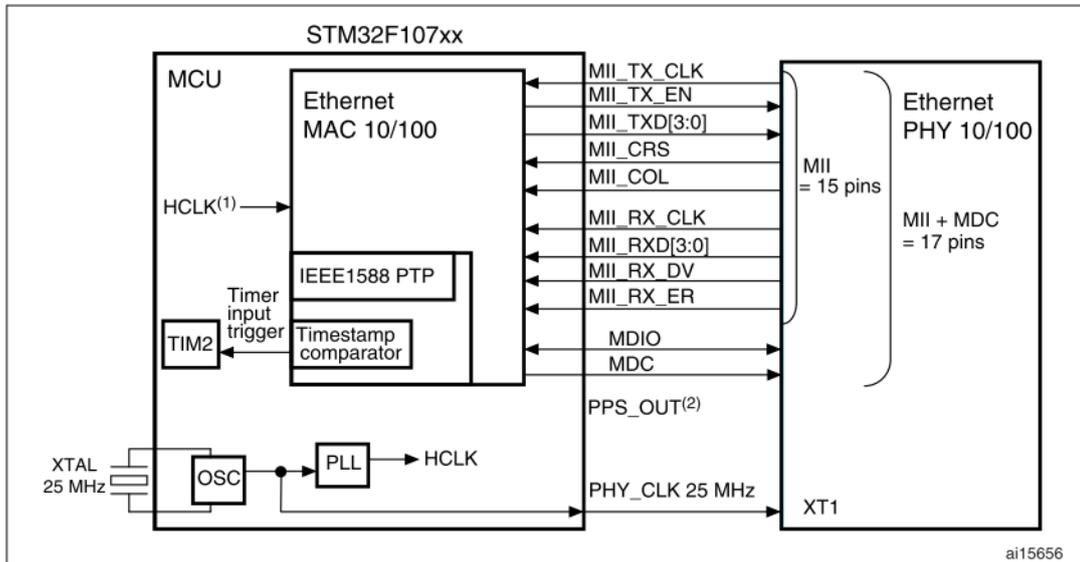
图48 USB OTG FS的OTG模式



1. 需要外接STMP52141STR，以便支持总线供电的设备

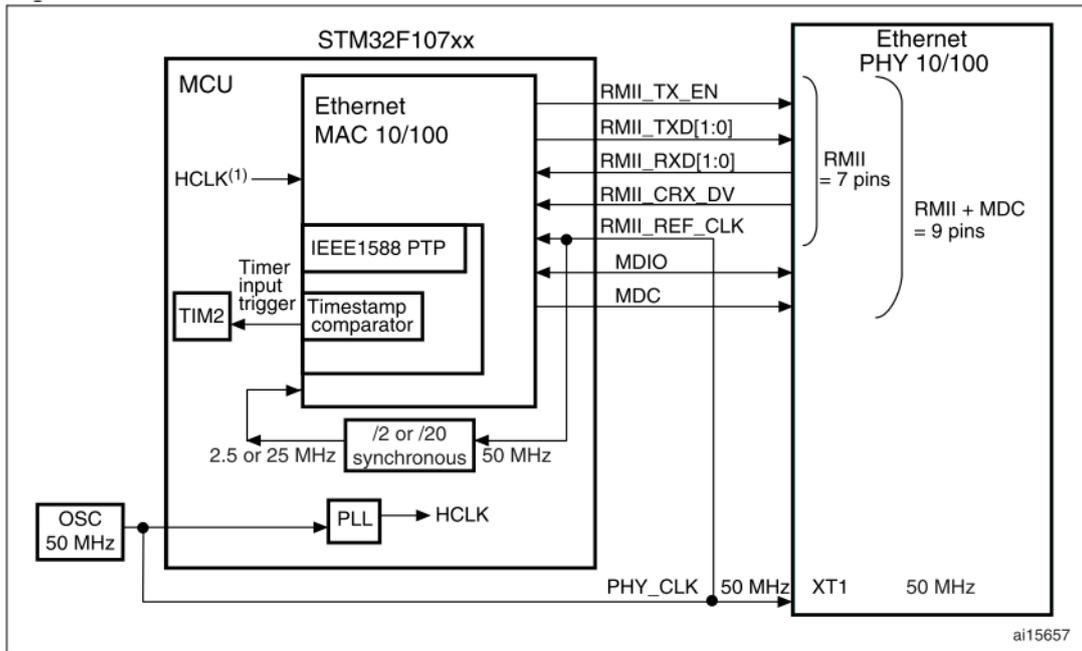
A.2 以太网接口应用

图49 使用25MHz晶体的以太网MII接口



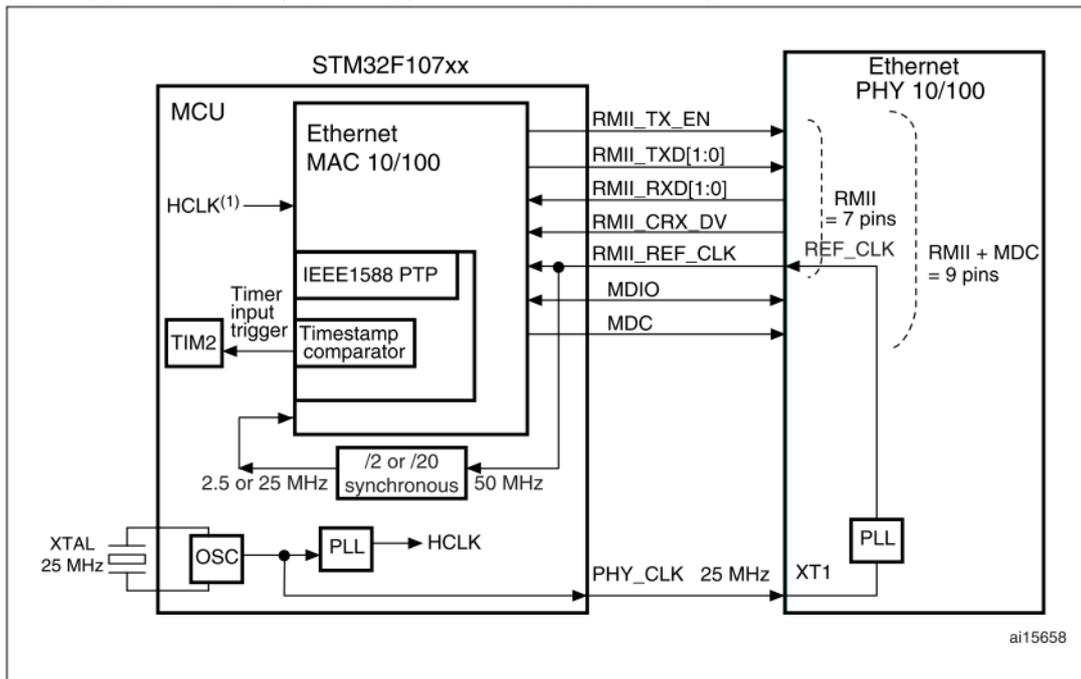
1. HCLK必须大于25MHz
2. 使用IEEE1588PTP协议时，PPS为可选信号

图50 使用50MHz振荡器的以太网RMII接口



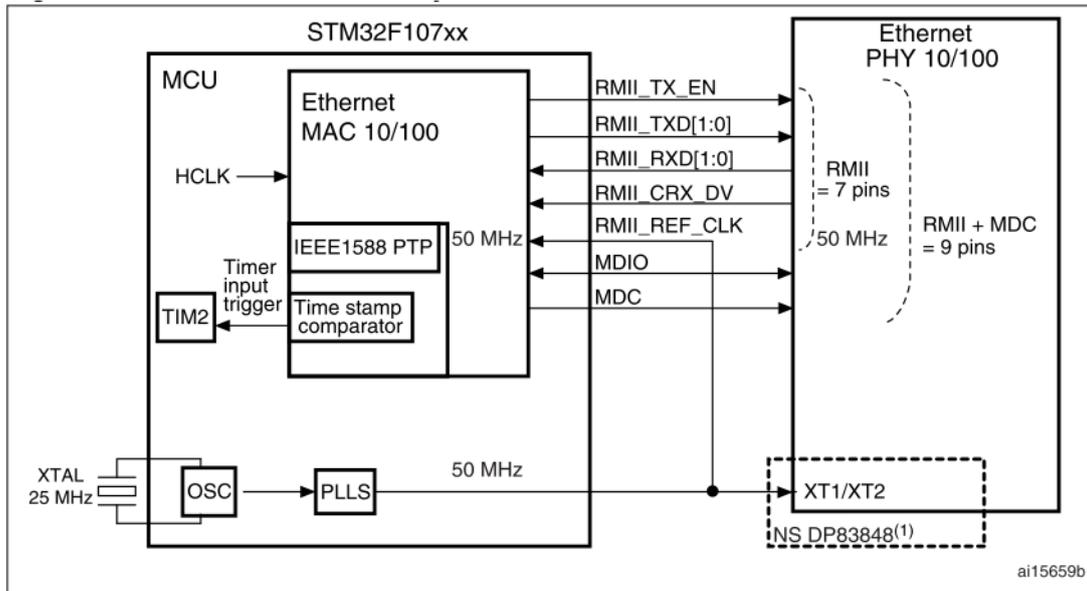
1. HCLK必须大于25MHz

图51 使用25MHz晶体，并为PHY提供25MHz时钟的以太网RMII接口



1. HCLK必须大于25MHz

图52 使用25MHz晶体，并为PHY提供50MHz时钟的以太网RMII接口



1. 推荐使用NS DP83848为PHY的输入时钟去抖动，此设备能兼容MCU输出的时钟抖动。

A.3 完整的音频播放解决方案

图53和图54显示了两个解决方案。

图53的方案使用软件编解码存储在外部存储器中的音频数据，并输出到DAC/放大器进行音频播放。此方案使用音频级的晶体，使得I²S的主时钟精度达到音频级(最大0.5%的错误率，具体请参考参考手册的SPI章节)。

图53 完整的音频播放方案1

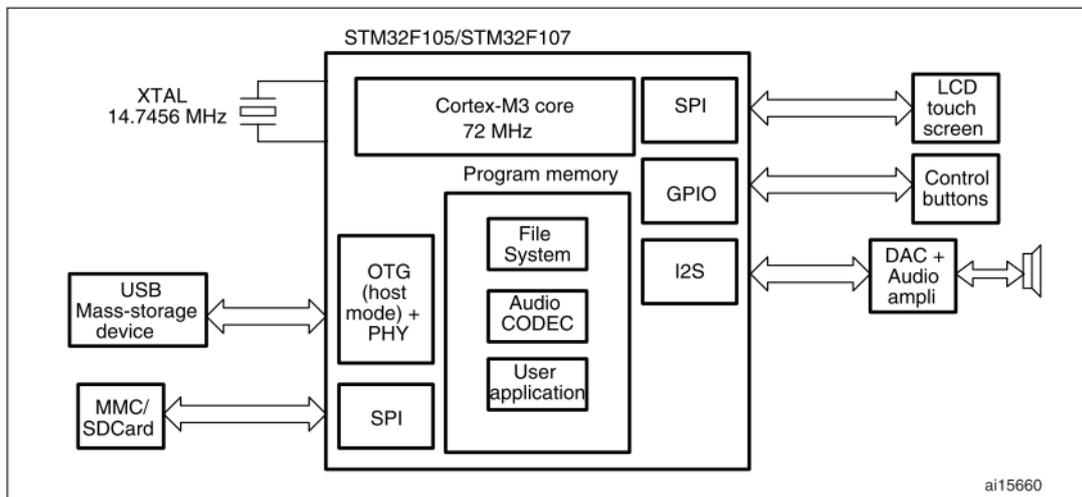
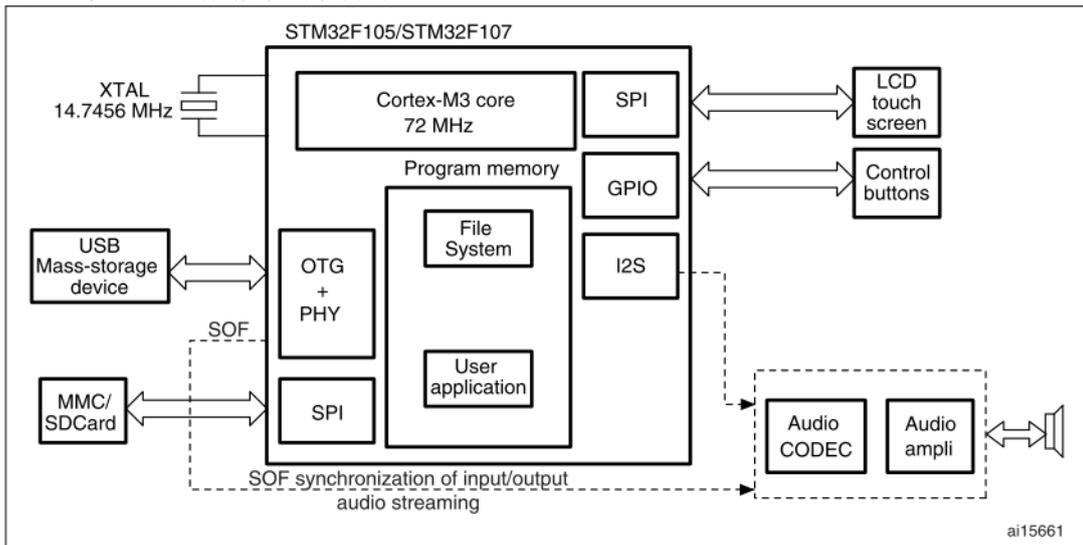


图54的方案使用外部硬件编解码器，通过SOF信号来同步外部存储器和编解码器/放大器之间输入输出的数据。

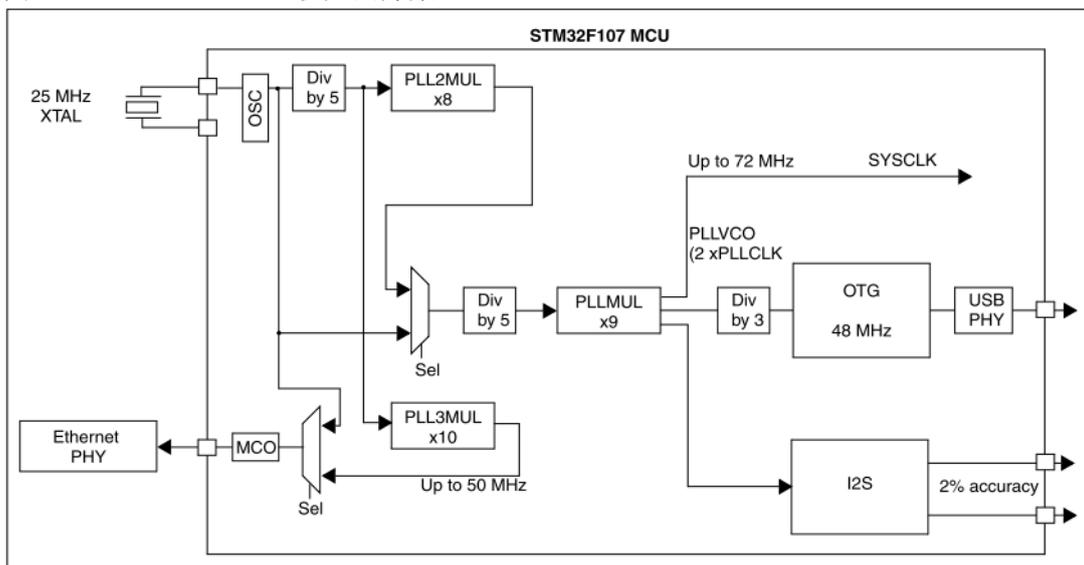
图54 完整的音频播放解决方案2



A.4 USB OTG FS接口 + 以太网/I2S接口的解决方案

根据STM32F107xx芯片的时钟树结构，仅需要一个晶体就能同时满足USB(主机模式/设备模式/OTG模式)和以太网(MII/RMII)两个接口的需求。图55显示了解决方案。

图55 USB OTG FS + 以太网方案



根据STM32F107xx芯片的时钟树结构，仅需要一个晶体就能同时满足USB(主机模式/设备模式/OTG模式)和I²S(音频)两个接口的需求。图56显示了解决方案。

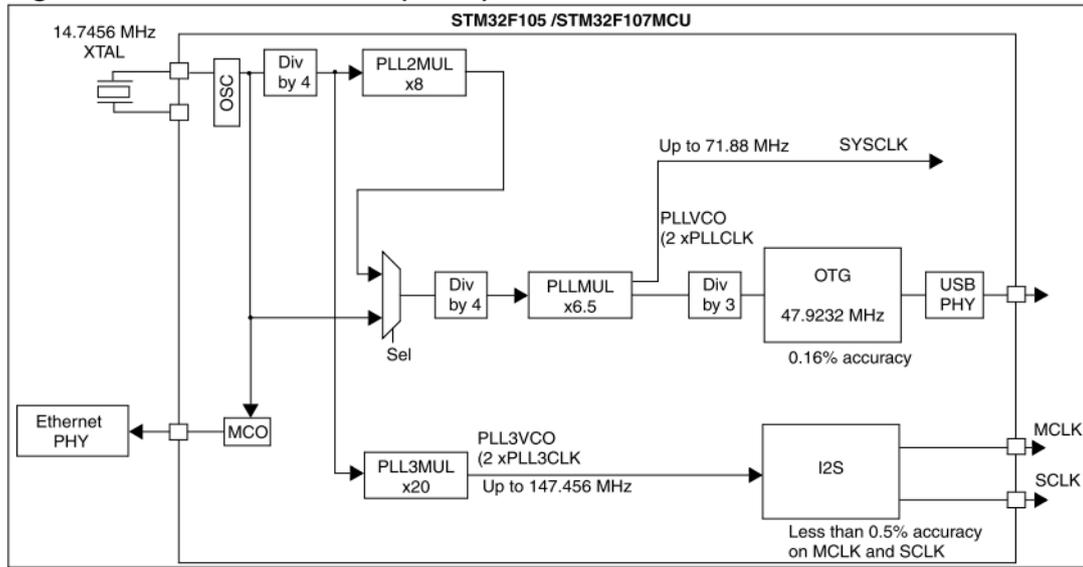
图56 USB OTG FS + I²S(音频)方案

表63 PLL的配置

应用	晶体值 (XT1) MHz	PRE DIV2	PLL2MUL	PLLSRC	PRE DIV1	PLLMUL	USB 预分频器 (PLLVCO 输出)	PLL3MUL	I2S 时钟输入	MCO (主时钟输出)
单独的以太网	25	/5	PLL2ON x8	PLL2	/5	PLLON x 9	NA	PLL3ON x 10	NA	XT1(MII) PLL3(RMII)
以太网+OTG	25	/5	PLL2ON x8	PLL2	/5	PLLON x 9	/3	PLL3ON x 10	NA	XT1(MII) PLL3(RMII)
以太网+OTG+基本音频	25	/5	PLL2ON x8	PLL2	/5	PLLON x 9	/3	PLL3ON x 10	PLL	XT1(MII) PLL3(RMII)
以太网+OTG+音频级I ² S ⁽¹⁾	14.7456	/4	PLL2ON x 12	PLL2	/4	PLLON x 6.5	/3	PLL3ON x 20	PLL3 VCO 输出	NA 以太网的PHY需要使用自带的晶体
单独的OTG	8	NA	PLL2OFF	XT1	/1	PLLON x 9	/3	PLL3OFF	NA	NA
OTG+基本音频	8	NA	PLL2OFF	XT1	/1	PLLON x 9	/3	PLL3OFF	PLL	NA
OTG+音频级I ² S ⁽¹⁾	14.7456	/4	PLL2ON x12	PLL2	/4	PLLON x6.5	/3	PLL3ON x20	PLL3 VCO 输出	NA
音独的音频级I ² S ⁽¹⁾	14.7456	/4	PLL2ON x12	PLL2	/4	PLLON x6.5	NA	PLL3ON x20	PLL3 VCO 输出	NA

1. 在这种情况下SYSCLK为71.88MHz, 其他情况SYSCLK为72MHz。

表64列出了在表63中各种配置下的 I_{DD} 运行功耗。

表64 在各种应用的运行模式下的功耗，代码运行在Flash中

符号	参数	条件 ⁽¹⁾	典型值 ⁽²⁾	最大值 ⁽²⁾		单位
				85 °C	105 °C	
I_{DD}	运行模式下的功耗	外部时钟，除了以太网其他外设都使能 HSE=8MHz, $f_{HCLK} = 72$ MHz, 无MCO	57	63	64	mA
		外部时钟，除了以太网其他外设都使能 HSE=14.74MHz, $f_{HCLK} = 72$ MHz, 无MCO	60.5	67	68	
		外部时钟，除了OTG其他外设都使能 HSE=25MHz, $f_{HCLK} = 72$ MHz, MCO=25MHz	53	60.7	61	
		外部时钟，外设都使能 HSE=25MHz, $f_{HCLK} = 72$ MHz, MCO=25MHz	60.5	65.5	66	
		外部时钟，外设都使能 HSE=25MHz, $f_{HCLK} = 72$ MHz, MCO=50MHz	64	69.7	70	
		外部时钟，外设都使能 HSE=50MHz ⁽³⁾ , $f_{HCLK} = 72$ MHz, 无MCO	62.5	67.5	68	
		外部时钟，仅使能OTG HSE=8MHz, $f_{HCLK} = 48$ MHz, 无MCO	26.7	无	无	
		外部时钟，仅使能以太网 HSE=25MHz, $f_{HCLK} = 25$ MHz, MCO= 25 MHz	14.3	无	无	

1. $V_{DD} = 3.3V$
2. 由综合评估得出，不在生产中测试
3. 外部振荡器

8 版本历史

请参考英文版数据手册

重要通知 - 请仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对ST 产品和/ 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于ST 产品的最新信息。ST 产品的销售依照订单确认时的相关ST 销售条款。

买方自行负责对ST 产品的选择和使用， ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的ST 产品如有不同于此处提供的信息的规定，将导致ST 针对该产品授予的任何保证失效。

ST 和ST 徽标是ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

重要通知 - 请仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对ST 产品和/ 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于ST 产品的最新信息。ST 产品的销售依照订单确认时的相关ST 销售条款。

买方自行负责对ST 产品的选择和使用， ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的ST 产品如有不同于此处提供的信息的规定，将导致ST 针对该产品授予的任何保证失效。

ST 和ST 徽标是ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。