

Alveo U280 ES1 数据中心加速器卡

用户指南

UG1314 (v1.0) 2019 年 2 月 11 日

条款中英文版本如有歧义，概以英文本为准。



修订历史

下表列出了本文档的修订历史。

章节	修订总结
2019 年 2 月 11 日 1.0 版	
初始赛灵思版本。	不适用

目录

修订历史.....	2
第 1 章: 引言.....	4
原理图.....	5
卡功能.....	5
设计流程.....	6
第 2 章: 卡建立与配置.....	12
静电放电提示.....	12
在服务器机箱中安装 Alveo 数据中心加速器卡.....	12
FPGA 配置.....	12
第 3 章: 卡组件描述.....	14
功能描述.....	14
附录 A: 赛灵思的约束文件.....	17
附录 B: 附加资源与法律提示.....	18
赛灵思资源.....	18
Documentation Navigator 与设计中心.....	18
参考资料.....	18
请阅读: 重要法律提示.....	19

引言



重要提示! 除非另行说明，本用户指南适用于有源与无源版本的 U280 卡。

赛灵思 Alveo™ U280 数据中心加速器卡符合外围部件互联 (PCIe®) Gen3 x16 与 Gen4 x8 要求，并采用了赛灵思 16 nm Virtex® UltraScale+™ 技术。Alveo U280 卡以 460 Gb/s 的带宽提供 8 GB 的 HBM2，可为内存受限、计算密集型应用（包括数据库、分析和机器学习推理）提供高性能、自适应性的加速。Alveo U280 数据中心加速器卡支持被动散热和主动散热配置。下图展示的是被动散热型 Alveo U280 ES1 加速器卡。

图 1: Alveo U280 数据中心加速器卡 (被动散热)



X20018-121618



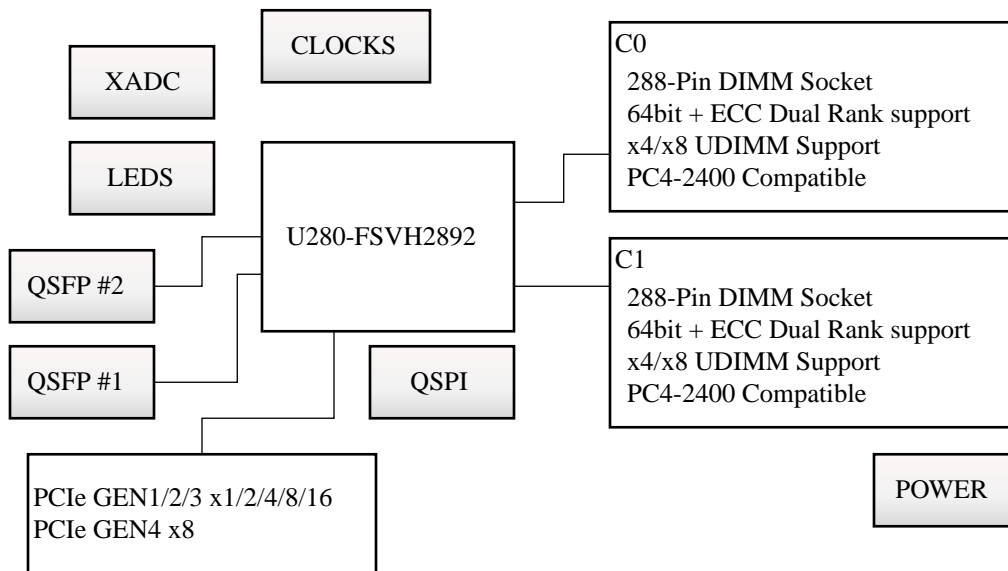
注意! 被动散热型 Alveo U280 加速器卡设计用于安装在数据中心服务器中，由受控通风气流提供直接散热。由于卡存储模块，开关不可访问，且并非所有 LED 都可见（除 DONE、POWER GOOD 和两个状态 LED，它们透过左前端 PCIe 支架可见）。本用户指南中提供了卡的详细信息，以帮助了解卡的功能。如果已从卡上拆除散热机箱，并且卡已上电，则必须通过外部风来扇散热气流，以防止过温关闭及可能损坏卡上电子设备的情况。拆除散热机箱将导致电路板质保无效。

如欲了解 Alveo U280 加速卡相关的文档、文件和资源的参考资料，请参阅 [附录 B: 附加资源与法律提示](#)。

原理图

Alveo U280 加速器框图如下图所示。

图 2: 卡原理图



X22271-020219

卡功能

此章节中列出了 Alveo U280 特性。[第 3 章: 卡组件描述](#) 中的提供了每个特性的详细信息。

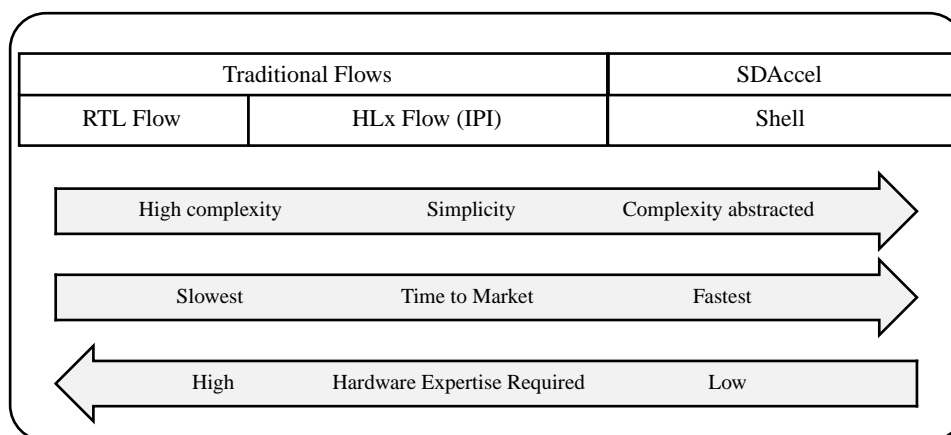
- Alveo U280 加速器卡:
 - XCU280 FPGA
- 存储器 (两套独立双极 DDR4 接口)
 - 32 千兆字节 (GB) DDR4 存储器
 - 2x DDR4 16 GB, 2400 每秒兆次传输 (Mt/s), 64 位错误检查和纠正 (ECC) DIMM
 - 支持 x4/x8 未寄存双直列存储器模块 (UDIMM)
- 配置选项
 - 1 千兆字节 (Gb) QSPI 闪存
 - Micro-AB 通用串行总线 (USB) JTAG 配置端口
- 16 通道 PCI Express
- 两个 QSFP28 连接器
- 带 Micro-AB USB 连接器的 USB 到 UART FT4232HQ 桥

- PCIe Integrated Endpoint 块连接
 - Gen1、2、3 x1/x2/x4/x8/x16
 - Gen4 x8
- I2C 总线
- 状态 LED
- 功耗管理采用系统管理总线 (SMBus), 监控电压、电流和温度。
- 基于外部供电的动态功耗
- 75 W PCIe 插槽仅在最高 35 A V_{CCINT} 电流的 PCIe 插槽电源下能够正常工作
- 150 W PCIe 插槽在最高 110 A V_{CCINT} 电流的 PCIe 插槽电源并连接 6 针 PCIe AUX 电源线缆能够正常工作
- 225 W PCIe 插槽在最高 160 A V_{CCINT} 电流的 PCIe 插槽电源并连接 8 针 PCIe AUX 电源线缆能够正常工作
- 板载可重编程功能闪存配置存储器
- 通过 USB 端口访问前面板 JTAG 和通用异步接收器/发射器 (UART)
- 通过 USB/JTAG 和 QSPI 配置闪存实现 FPGA 配置

设计流程

Alveo 数据中心加速卡的首选最优设计流程为 SDAccel™ 开发环境。然而, 长期从事 FPGA 设计的人员或希望使用 RTL 或 HLx 这类传统设计流程。虽然这些都不是 Alveo 加速器卡的最优化设计流程, 但赛灵思有限支持将 Vivado® Design Suite 工具与 RTL 或 HLx 配合使用。下图展示了设计流程总结。

图 3: Alveo 数据中心加速器卡设计流程



X22272-020419

每个设计流程都有不同的要求, 如下表所示。

表 1: Alveo 数据中心加速器卡设计流程入门要求

	RTL 流程	HLx 流程	SDAccel
流程文档	UG949 ¹	UG895 ²	UG1301 ³

表 1: Alveo 数据中心加速器卡设计流程入门要求 (续)

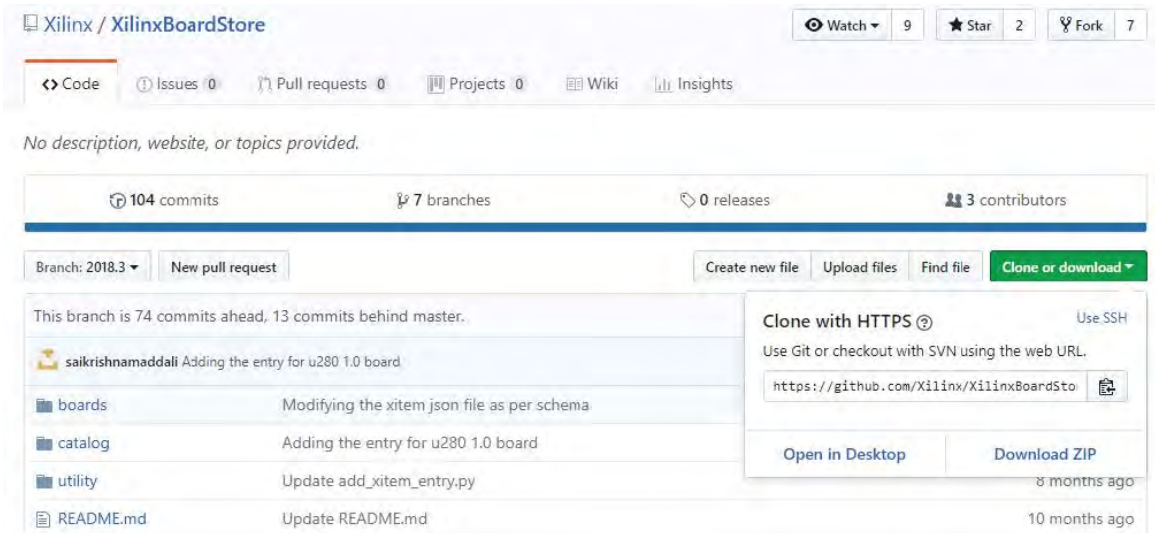
	RTL 流程	HLx 流程	SDAccel
硬件文档	UG1314	UG1314	不适用
Vivado 工具支持	电路板支持 XDC	电路板支持 XDC	不适用
1. 《UltraFAST 设计方法指南 (适用于 Vivado Design Suite) 》(UG949)。 2. 《Vivado Design Suite 用户指南: 系统级设计输入》(UG895)。请参阅第 2 章和附录 A 中的“使用 Vivado Design Suite 平台电路板流程”。 3. 《Alveo 数据中心加速器卡入门指南》(UG1301)。			

本用户指南为使用 RTL 流的专业 HDL 开发者, 或希望在 HLx 中超越 Vivado 标准支持水平开展自定义的开发者提供了一个出发点。

下载 Alveo U280 卡

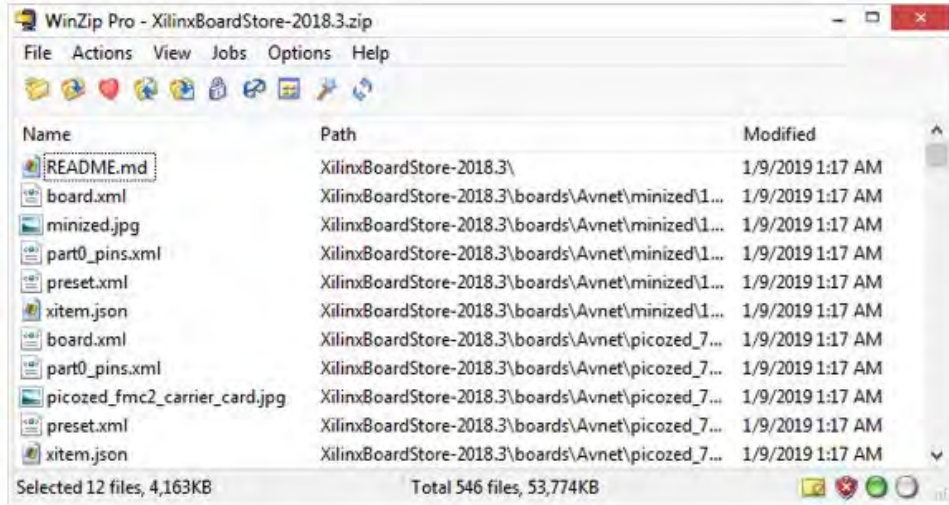
对于 RTL 或 HLx 流, 设计人员可以从下载 U280 2018.3 电路板文件 (ZIP) 着手。

- 在 GitHub 启动赛灵思电路板商店: <https://github.com/Xilinx/XilinxBoardStore/tree/2018.3>



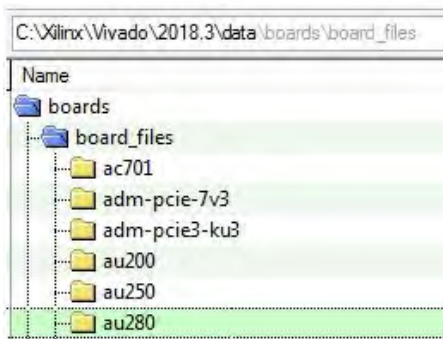
The screenshot shows the GitHub repository page for Xilinx/XilinxBoardStore. The repository is in the 2018.3 branch. It has 104 commits, 7 branches, 0 releases, and 3 contributors. The current branch is 74 commits ahead and 13 commits behind master. A commit by saikrishnamaddala is shown, titled 'Adding the entry for u280 1.0 board'. The commit history includes files like boards, catalog, utility, and README.md. A 'Clone or download' button is visible, with options to clone with HTTPS or SSH, and to open in Desktop or download ZIP.

- 将 ZIP 文件解压到您的计算机中，便于查看所含文件：



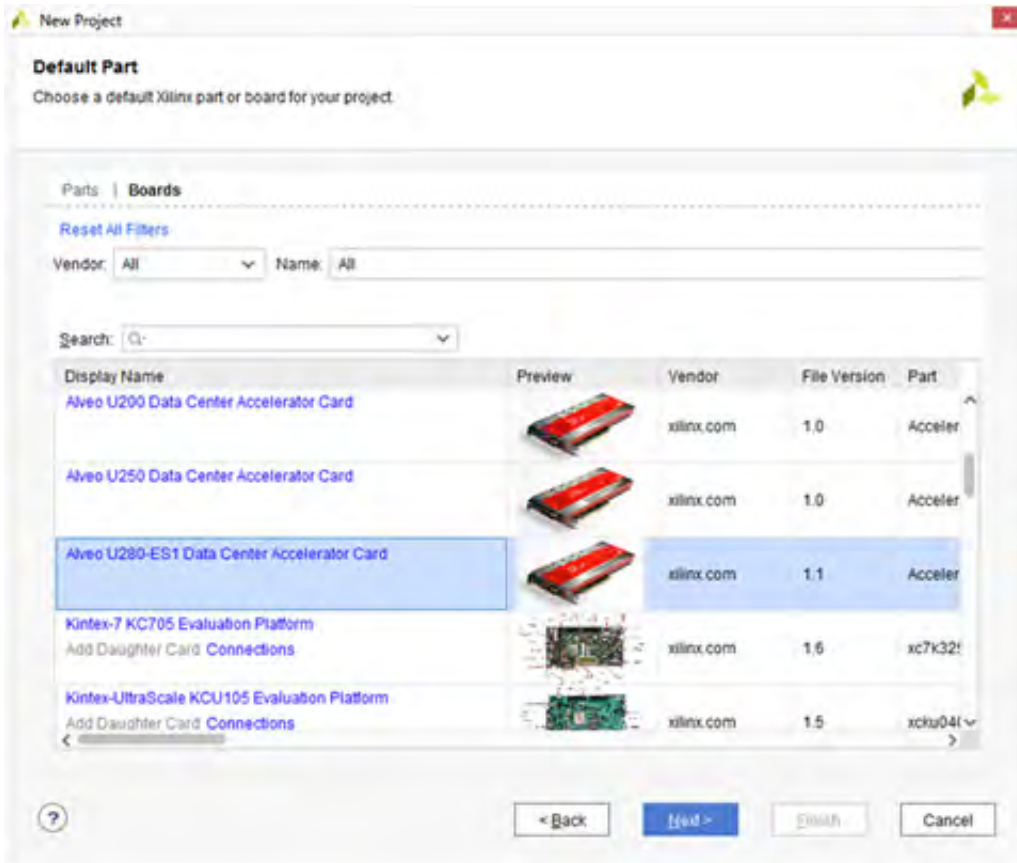
- 将 au280 文件夹复制到您计算机中的赛灵思 Vivado® Design Suite 安装目录：C:\Xilinx\Vivado\2018.3\data\boards\board_files。

复制文件之后，您的电路板文件夹将类似下列实例。



- 在 Vivado 中单击“Create New Project → RTL Project”来打开 New Project 对话框。

- 选择 Alveo U280-ES1 电路板:

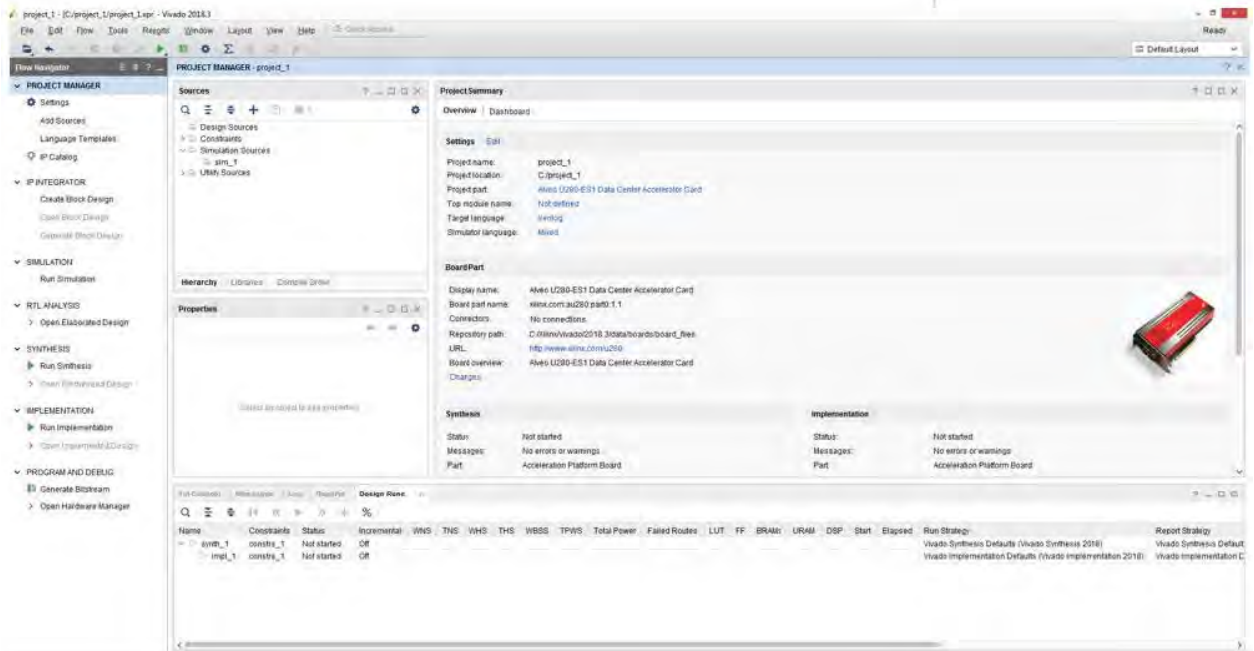


出现 New Project Summary 对话框。

- 单击“Finish”。

出现 Project Summary Overview 页面。您可以创建基于 RTL 的项目。





创建 MCS 文件 (PROM 镜像)

本节概述 Alveo 数据中心加速器卡定制流程, 包括:

- 比特流约束与生成一个 PROM 文件
- 通过 USB-JTAG (Micro USB) 接口进行闪存编程

为 Alveo 加速器卡创建 MCS 文件 (PROM 镜像), 必须首先使用正确的设置创建比特流 (.bit) 文件。作为参考, 在本节末尾列出了比特流配置约束。

Alveo 加速器卡包含可通过 USB-JTAG 配置的 QSPI 配置闪存部分。该部分包含一个受保护区域, 其出厂基础镜像位于 0x00000000 地址空间。该基础镜像指向位于 0x01002000 偏移地址空间的客户可编程区域。

为确保客户镜像在运行时能成功加载 Alveo 加速器卡, 必须使用以下设置来创建 MCS 文件:

- 存储器: mt25qu01g-spi-x1_x2_x4
- 起始地址: 0x01002000

```
# Bitstream Configuration
# -----
set_property CONFIG_VOLTAGE 1.8 [current_design]
set_property BITSTREAM.CONFIG.CONFIGFALLBACK Enable [current_design]
set_property BITSTREAM.GENERAL.COMPRESS TRUE [current_design]
set_property CONFIG_MODE SPIx4 [current_design]
set_property BITSTREAM.CONFIG.SPI_BUSWIDTH 4 [current_design]
set_property BITSTREAM.CONFIG.CONFIGRATE 85.0 [current_design]
set_property BITSTREAM.CONFIG.EXTMASTERCLK_EN disable [current_design]
set_property BITSTREAM.CONFIG.SPI_FALL_EDGE YES [current_design]
set_property BITSTREAM.CONFIG.UNUSEDPIN Pullup [current_design]
set_property BITSTREAM.CONFIG.SPI_32BIT_ADDR Yes [current_design]
# -----
```

创建 MCS 文件后, 请参阅《Vivado Design Suite 用户指南: 编程和调试》(UG908) 中的 FPGA 器件编程一章中的步骤, 通过硬件管理器连接到 Alveo 数据中心加速器卡。

1. 单击 “Add Configuration Device” 并选择 mt25qu01g-spi-x1_x2_x4 器件。
2. 单击 “Program the Configuration Memory Device” 。
 - a. 选择 MCS 文件目标。
 - b. 单击 “Address Range > Configuration File Only” 。
 - c. 单击 “OK” 。
3. 完成此操作后, 在硬件管理器中断开该卡, 然后由 Alveo 加速器卡上拔下 USB 线缆。
4. 在主机上执行冷重启。

卡建立与配置

静电放电提示



注意! ESD 如果操作不当可能损坏电子组件, 并可能导致整体故障或间歇故障。在拆除和替换组件时, 要始终遵循防 ESD 流程。

为防止 ESD 损坏:

- 佩戴 ESD 腕带或踝带并确保与皮肤接触良好。将腕带或踝带的设备端连接到未涂漆金属表面的底座上。
- 避免让适配器接触你的衣物。腕带只能防止身体产生的 ESD 对组件的影响。
- 只通过接触适配器的托架或边缘拿起适配器。避免接触印刷电路板或连接器。
- 将适配器放在防静电表面上, 例如套件中提供的防静电袋上。
- 如需将卡适配器退还赛灵思产品支持部, 立即将卡置入防静电袋内。

在服务器机箱中安装 Alveo 数据中心加速器卡

由于每个服务器或 PC 厂商的硬件不同, 有关物理电路板安装指南, 请参阅制造商的 PCI Express® 电路板安装说明。

有关编程和启动的详细信息, 请参阅《Alveo 数据中心加速器卡入门指南》([UG1301](#))。

FPGA 配置

Alveo U280 加速器卡支持两种 UltraScale+™ FPGA 配置模式:

- QSPI 闪存
- 使用 USB JTAG 配置端口的 JTAG

FPGA bank 0 中的模式引脚 M[2:0] 001 通过连线设置为主 SPI 模型, 且带有外部上下拉电阻。

上电时, FPGA 由 QSPI NOR 闪存器件 (Micron MT25QU01GBBA8E12-0SIT) 以 SPI 主动串行模式配置, FPGA_CCLK 以 105 MHz (EMCCLK) 的时钟速率工作。QSPI 闪存 NOR 器件的容量为 1 Gb。

当 FPGA 默认模式选择 QSPI 配置时, JTAG 模式会在调用时覆盖它。JTAG 模式始终可用, 与模式引脚设置无关。

有关配置 FPGA 的完整详细信息, 请参阅《UltraScale 架构配置用户指南》(UG570)。

表 2: 配置模式

配置模式	M[2:0]	总线宽度	CCLK 方向
主 SPI	001	x1、x2 和 x4	FPGA 输出
JTAG	不适用 - JTAG 优先	x1	非适用

卡组件描述

本章提供 Alveo U280 数据中心加速器卡特性的功能说明。

功能描述

Virtex UltraScale+ FPGA

Alveo U280 加速器卡采用了 Virtex UltraScale+ XCU280 FPGA。

DDR4 DIMM 存储器

有两个独立双级 DDR4 接口可用。该卡含有两个插槽单级 Micron MTA18ASF2G72PZ-2G3B1IG 16 GB DDR4 RDIMM。每个 DDR4 DIMM 均为 72 位宽（64 位附带 ECC 支持）。

本节所述功能的详细 FPGA 引脚连接在 Alveo U280 加速器 XDC 文件中，请参阅 [附录 A: 赛灵思的约束文件](#)。

有关 Micron DDR4 DIMM 详情，请参阅 Micron 网站的 Micron MTA18ASF2G72PZ-2G3B1IG 数据手册：<http://www.micron.com>。

Quad SPI 闪存

QSPI 器件提供了 1 Gb 的非易失性存储空间。

- 部件编号：MT25QU01GBBB8E12-0AAT (Micron)
- 电源电压：1.8V
- 数据路径宽度：4 位
- 数据率：可调

有闪存详情，请参阅 Micron 网站的 Micron MT25QU01GBBB8E12-0AAT 数据手册。

有关配置详情，请参阅《UltraScale 架构配置用户指南》(UG570)。本节所述功能的详细 FPGA 引脚连接在 Alveo U280 加速器 XDC 文件中，请参阅 [附录 A: 赛灵思的约束文件](#)。

USB JTAG 接口

Alveo 加速器卡通过 JTAG 接口提供对 FPGA 器件的访问。

FPGA 器件配置可通过 Vivado® 硬件管理器进行, 该管理器可访问板载 USB-JTAG FT4232HQ 桥接器件。Alveo U280 加速器 PCIe® 面板/支架上的 Micro-AB USB 连接器可提供外部器件编程访问。

注释: 无论 FPGA 模式引脚设置如何, 随时都能够进行 JTAG 配置与《UltraScale 架构配置用户指南》(UG570)一致, 无论 FPGA 模式引脚设置如何, JTAG 配置始终能随时进行。

有关 FT4232HQ 器件的详情, 请参阅 FTDI 网站: <https://www.ftdichip.com/>。

FT4232HQ USB-UART 接口

FT4232HQ Quad USB-UART 通过 Micro-AB USB 连接器提供 UART 连接。通道 BD 实现到 FPGA 的 2 线电平转换 TX/RX UART 连接。FTDI FT4232HQ 数据手册请参阅 FTDI 网站: <https://www.ftdichip.com/>。

PCI Express 端点

Alveo U280 加速器卡实现 16 通道 PCI Express® 边缘连接器, 以每秒 2.5 千兆次传输 (Gt/s) Gen1、5.0 Gt/s Gen2、8.0 Gt/s Gen3 和 16.0 Gt/s Gen4 应用的速率进行数据传输。

本节所述功能的详细 FPGA 引脚连接在 Alveo U280 加速器 XDC 文件中, 请参阅 [附录 A: 赛灵思的约束文件](#)。

QSFP28 模块连接器

Alveo 加速器卡承载两个可接受光纤模块阵列的 4 通道小型化封装热插拔 (QSFP) 连接器。每个连接器都位于单个 QSFP 外壳总成内部。

QSFP+ 连接器可通过 Alveo U280 加速器卡上的 I2C 接口进行访问。QSFP 连接器的边带信号可直接由 FPGA 访问。MODESELL、RESETL、MODPRSL、INTL 和 LPMODE 边带信号在下列小型化 (SFF) 规格中定义。通过卡 PCIe 面板/支架可见的组件 (从上到下) 包括:

- DONE、POWER GOOD 以及 2 个状态 LED
- QSFP0
- QSFP1
- USB

有关四个 SFF 插拔 (28 Gb/s QSFP+) 模块的更多信息, 请参阅 SNIA Technology 附属机构网站上的 28 Gb/s QSFP+ SFF-8663 和 SFF-8679 规格: <https://www.snia.org/sff/specifications2>。

每个 QSFP 连接器都有自己的时钟生成器。

- QSFP0 时钟
 - 时钟生成器: Silicon Labs SI5335A-B06201-GM
 - 输出 CLK1A/1B: QSFP0_Clock_P/N 时钟是一个连接到 QSFP0 GTY 接口的交流耦合 LVDS 156.25 MHz 时钟
- QSFP1 时钟
 - 时钟生成器: Silicon Labs SI5335A-B06201-GM
 - 输出 CLK1A/1B: QSFP1_Clock_P/N 时钟是一个连接到 QSFP1 GTY 接口的交流耦合 LVDS 156.25 MHz 时钟

本节所述功能的详细 FPGA 引脚连接在 Alveo U280 加速器 XDC 文件中, 请参阅 [附录 A: 赛灵思的约束文件](#)。

I2C 总线

Alveo U280 加速器卡实现了 I2C 总线网络（设备树详细信息在板级支持包中提供）。

状态 LED

Alveo 卡设计为在装有被动散热器机箱的情况下工作。DS1、DS2、DS3 和 DS5 LED 通过 PCIe 端架中的开口可见。下表定义了卡状态 LED。

表 3: 卡状态 LED

参考设计	描述
DS1	BLUE: DONE
DS2	RED: POWER_GOOD
DS3	ORANGE: STATUS_LED0
DS4	YELLOW: STATUS_LED1
DS5	GREEN: STATUS_LED2

卡电源系统

通过 I2C IP 可提供的有限的电源系统自动监测记录，在 Vivado Design Suite 的“Board”标签中选择 Alveo 数据中心加速卡后开始 FPGA 设计进程，然后例化 I2C IP。如需了解更多信息，请参阅[设计流程](#)。

赛灵思的约束文件

RTL 用户请参阅《Vivado Design Suite 用户指南：使用约束》([UG903](#))了解更多有关信息。Alveo U280 一同下载 U280 加速卡 XDC 文件。

附加资源与法律提示

赛灵思资源

如需了解答复记录、技术文档、下载以及论坛等支持性资源，请参阅[赛灵思技术支持](#)。

Documentation Navigator 与设计中心

赛灵思 Documentation Navigator (DocNav) 提供了访问赛灵思文档、视频和支持资源的渠道，您可以在其中筛选搜索信息。DocNav 使用 SDSoc™ 和 SDAccel™ 开发环境安装。打开 DocNav 的方法：

- 在 Windows 中，单击 “Start → All Programs → Xilinx Design Tools → DocNav”。
- 在 Linux 命令提示中输入 “docnav”。

赛灵思设计中心提供了根据设计任务和其他话题整理的文档链接，您可以使用链接了解关键概念以及常见问题解答。访问设计中心：

- 在 DocNav 中，单击 “Design Hub View” 标签。
- 在赛灵思网站上，查看[设计中心](#)页面。

注释: 如需了解更多有关 DocNav 的信息，请参阅赛灵思网站上的 [Documentation Navigator](#)。

参考资料

以下技术文档是本指南非常实用的补充材料：

SDAccel 技术文档

1. 《SDAccel 环境用户指南》([UG1023](#))
2. 《SDx 命令和工具参考指南》([UG1279](#))
3. 《SDAccel 环境调试指南》([UG1281](#))
4. 《SDAccel 环境剖析和优化指南》([UG1207](#))
5. 《SDAccel 环境入门教程》([UG1021](#))

想要获取更多资源，请查看以下网站：

1. 赛灵思许可网站：<https://china.xilinx.com/getproduct>
2. SDAccel 开发人员专区：<https://china.xilinx.com/products/design-tools/software-zone/sdaccel.html>
3. 赛灵思社区论坛：<https://forums.xilinx.com>
4. 《赛灵思最终用户许可协议》(UG763)
5. 《第三方最终用户许可协议》(UG1254)

请阅读：重要法律提示

本文向贵司/您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：（1）资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且（2）赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司/您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司/您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能的用途。如果把赛灵思产品应用于此类特殊用途，贵司/您将自行承担风险和责任。请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>。

关于与汽车相关用途的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。

商标

© Copyright 2019 赛灵思公司版权所有。Xilinx、赛灵思标识、Alveo、Artix、ISE、Kintex、Spartan、Versal、Virtex、Vivado、Zynq 本文提到的其它指定品牌均为赛灵思在美国及其它国家的商标。“OpenCL”和“OpenCL”标识均为 Apple Inc. 的商标，经 Khronos 许可后方可使用。“HDMI”、“HDMI”标识以及“High Definition Multimedia Interface”为 HDMI Licensing LLC 拥有的商标。“AMBA”、“AMBA Designer”、“Arm”、“ARM1176JZ-SV”、“CoreSight”、“Cortex”、“PrimeCell”、“Mali”和“MPCore”为 Arm Limited 在欧盟及其它国家的注册商标。所有其它商标均为各自所有方所属财产。