

Robert Brennan
高级应用工程师
ADI公司

集成压控振荡器的宽带锁相环能否取代分立式解决方案？

in 分享至LinkedIn

✉ 电子邮件

几乎每个RF和微波系统都需要频率合成器。频率合成器产生本振信号以驱动混频器、调制器、解调器及其他许多RF和微波器件。频率合成器常被视为系统的心跳，创建方法之一是使用锁相环(PLL)频率合成器。

传统上，一个简单的PLL将压控振荡器(VCO)输出频率分频，将其与一个参考信号进行比较，然后微调VCO控制电压以微调其输出频率。很多年来，PLL和VCO是两种单独的芯片——这就是分立解决方案。VCO产生实际输出信号；PLL监控输出信号并调谐VCO，以将其相对一个已知参考信号锁定。

分立解决方案有多个优点：

- ▶ 可设计每个分立芯片以提供尽可能好的性能。
- ▶ PLL和VCO之间的物理距离降低了交叉耦合效应，使输出端的干扰杂散信号最小化。
- ▶ 如果环路中的一个芯片损坏，只需更换较少的元件。

分立解决方案在频率合成器行业长期处于优势地位，但它也有缺点。一个主要问题是：为了容纳两个芯片及其所有支持元件，分立解决方案需要大量板空间。这导致终端产品尺寸较大且成本较高。

分立解决方案的另一个主要问题是传统VCO的输出频率范围较窄。典型VCO带宽为50 MHz至500 MHz；虽然可以达到2 GHz左右，但这需要基于运算放大器的有源滤波器。对任何希望实现更宽频率范围的人来说，这都是一个重大挑战。为了创建频率范围更宽的合成器，需要多个PLL、VCO、支持元件、滤波、开关和电源！这会使设计的板空间和成本呈指数式增加。分立解决方案不仅会影响板设计，而且涉及大量额外工作，包括为每种器件进行质量评定、开发软件及库存管理。

大约10年前，基于PLL的频率合成器行业有了一次突破。第一代集成式PLL和VCO(PLL/VCO)开始出现在市场上。这一重大发展意味着电路板可以更小，成本可以更低，额外工作可以大幅减少。集成解决方案还意味着VCO架构可以改变，利用一个器件便能实现宽带频率合成器。我们将探讨VCO架构，以及向集成VCO的转变如何开启高性能频率合成器的大门。

传统VCO是很简单的器件——电压施加于VCO的调谐引脚，随即输出某一频率；电压提高，输出频率也提高；电压降低，输出频率也降低。图1所示为GaAs MMIC VCO的调谐电压与输出频率的关系示例——13 V调谐范围需要有源滤波器或带高压电荷泵的PLL。

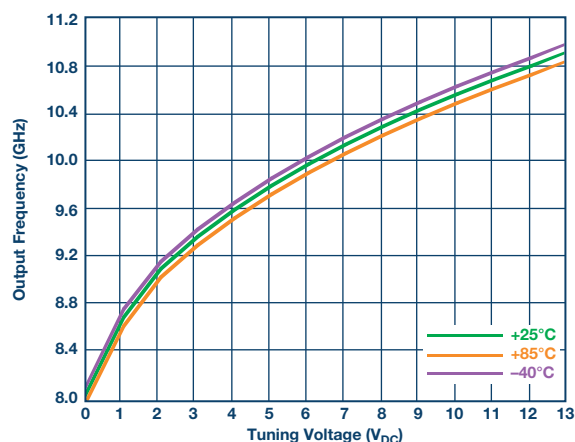


图1. 传统VCO——调谐电压与输出频率的关系

集成PLL/VCO解决方案采用的VCO架构虽然是基于传统架构，但有很大的不同。集成PLL/VCO将多个传统VCO集成在一起，产生一个带宽非常宽的VCO。各个VCO——通过接入和断开电容而创建——称为频段。PLL和VCO集成在一个芯片上，因而可实现多频段架构。每次用户希望锁定一个新频率时，器件就会启动VCO校准过程，芯片快速遍历VCO频段，选择一个最适合所需输出频率的频段。一旦选定VCO频段，PLL就会锁定环路，使输出保持在所需频率。

第一代PLL/VCO芯片就有超过4 GHz的带宽！相比之下，分立解决方案只有100 MHz到300 MHz带宽——而且4 GHz频率范围是由一个微小芯片实现的，而不是之前需要的多个PLL、VCO、滤波器和开关。图2所示为一个多频段PLL/VCO的调谐电压与输出频率的关系。本例中，基频VCO输出范围规定为2200 MHz至4400 MHz。VCO输出之后有一组分频器，不过其仍在芯片内部，可将信号分频至最低35 MHz；超过4 GHz带宽就是这样得到的——全部来自单个5 mm × 5 mm封装。

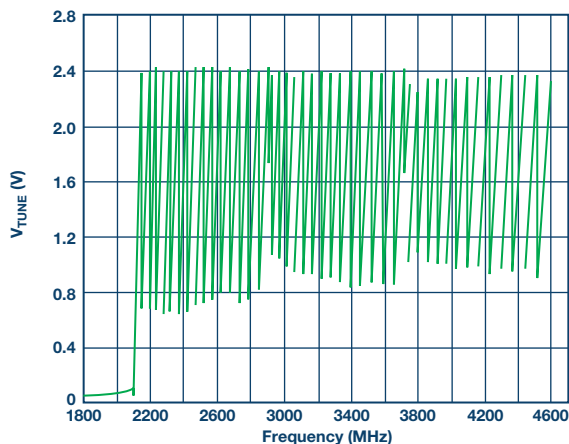


图2. 多频段VCO——调谐电压与输出频率的关系

虽然这一突破性技术大大提高了频率范围，减少了板空间、成本和额外工作，但它仍有缺点，使得集成解决方案不能完全取代分立解决方案。许多应用的最重要性能规格（除了频率范围）是相位噪声。

相位噪声为何如此重要？想象一个信号通过晴朗空气传输的系统。假设在发射天线处发射信号的信噪比为50 dB。这意味着，接收机要接收的信号比发射信号任一侧的噪声（即邻近的更高和更低频率）要强50 dB。假定此信号可以传输10英里，这之后的信号功率将衰变为噪声，传输将丢失。现在，假设频率合成器的相位噪声改善了3 dB。这意味着发射信号的信噪比为53 dB。因此，发射信号功率是先前10英里距离信号的两倍，它在衰变为噪声之前能够传输得更远。更远的传输距离意味着所需的中继器/发射器会更少，成本得以降低。

除了这个通信例子以外，还有来自电子测试与测量领域对相位噪声性能的推动。无论通信行业需要什么样的相位噪声性能，电子测试与测量仪器需要的相位噪声性能只会更高，只有这样才能测量通信协议。

虽然许多解决方案能从分立式转移到集成式——节省数以百万计美元的工艺成本——但第一代PLL/VCO的相位噪声性能还不够好，不适合许多要求低相位噪声的应用。除相位噪声性能外，与很多需要分立PLL和VCO的应用相比，频率范围也相当低。

频率范围问题可通过倍频器和乘法器解决，但这些是高功耗器件，而且会增加解决方案的成本和板空间。

幸运的是，在推出这些集成解决方案的同时，业界便已着手开发新的IC工艺以获得人们强烈期盼的相位噪声和频率范围改善。

此时的舞台已为第二代集成PLL/VCO的亮相做好准备。第二代产品的要求如下：

- ▶ 输出频率大于4.4 GHz。
- ▶ 相位噪声性能可与分立解决方案相比拟。
- ▶ 在单个小封装中集成PLL和VCO。
- ▶ 成本低于分立解决方案。

2014年晚些时候，第二代集成PLL/VCO正式登场。市场上开始出现超过10 GHz输出频率范围的产品，其相位噪声堪比分立VCO，采用5 mm × 5 mm封装，价格低于类似的分立PLL和VCO解决方案（但其频率范围要窄得多）。

例如，ADI公司的ADF4355系列实现了第二代的所有要求：

- ▶ 输出频率从50 MHz到13.6 GHz（一个端口 ≤ 6.8 GHz，另一个端口 ≥ 6.8 GHz）。
- ▶ 相位噪声：
 - 传统分立VCO在10 GHz时： -110 dBc/Hz（100 kHz偏移）和 -135 dBc/Hz（1 MHz偏移）。分立VCO用频率范围换取相位噪声性能。
 - ADF4355系列在10 GHz时： -106.5 dBc/Hz（100 kHz偏移）和 -130 dBc/Hz（1 MHz偏移）。
- ▶ 5 mm × 5 mm LFCSP封装。
- ▶ 价格随器件而异，但成本低于分立解决方案。

现在，用户不仅可享有分立解决方案的相位噪声性能好处，还能获得集成解决方案的所有其他好处。更有利的是，PLL技术在这些年中也得到了发展，因此，第二代PLL/VCO器件的PLL性能也有很多改善。

对于第一代PLL/VCO，PLL模块的最大鉴频鉴相器（PFD）频率在32 MHz左右，小数N分频器的分辨率在12位左右。这种组合意味着典型通道分辨率在数十kHz。第二代PLL/VCO的最大PFD频率大于100 MHz，小数N分频器的分辨率为25位，甚至高达49位。这主要有两个好处——PFD频率越高，PLL相位噪声就越低（PFD频率每提高一倍，N分频器便可减半，N分频器噪声分布相应地降低3 dB）；25位甚至更高的分辨率支持精密频率生成和亚Hz频率步进（频率分辨率）。

杂散性能

集成PLL/VCO有一个重要方面需要讨论。上文指出了分立解决方案的一个优点，那就是两个芯片之间的物理隔离降低了PLL与VCO之间的交叉耦合，从而降低了干扰杂散信号的功率。当集成PLL和VCO时，杂散性能不可避免会下降。市场上的某些器件设法将此性能下降保持在非常低的水平，使PLL/VCO具有令人吃惊的良好杂散性能——HMC830就是一例。其他PLL/VCO器件需要采取一些额外措施来改善杂散水平，以便支持某些高性能产品。

改变PFD频率以消除整数边界杂散

一种技术是利用频率规划算法改变PLL的PFD频率。这样可以使PFD模块引起的杂散信号转移到不会造成较大影响的区域，从而在事实上消除杂散。相关详细信息请参阅“[分析、优化和消除集成VCO的锁相环在高达13.6 GHz处的整数边界杂散](#)”一文。

隔离PLL和VCO

如上所述，PLL和VCO电路紧密靠近可能引起不需要的耦合。为解决这一问题，可使用双芯片解决方案将PLL和VCO电路从物理上隔离开来。这样既能获得分立解决方案的低杂散信号优势，又能享有集成解决方案的宽输出频率优势。

ADI公司分立小数N分频PLL产品系列中的HMC704非常适合这一任务。在这种解决方案中，VCO输出信号之一(ADF4355系列全部都有两路输出)馈送到HMC704(对此信号使用可选的10 dB衰减器可进一步降低杂散水平)。ADF4355 PLL最初用于完成VCO校准并锁定所需频率。然后可关闭ADF4355 PLL部分，即让电荷泵处于三态并使计数器保持复位状态，从而消除PLL中的所有杂散，而HMC704将使环路保持锁定。这样做有多方面好处：

- ▶ 使用非VCO所在芯片中的PLL可降低杂散功率。
- ▶ HMC704的固有杂散性能优于ADF4355 PLL——因此，杂散进一步降低。
- ▶ HMC704的归一化相位噪声底低于ADF4355 PLL——因此，频率合成器输出端的噪声更低。

为使环路闭合，HMC704电荷泵输出连接到一个环路滤波器。环路滤波器输出必须连接到ADF4355 VTUNE引脚。当环路锁定时，HMC704仅用作PLL，ADF4355仅用作VCO。要完全消除ADF4355 PLL中的杂散，当ADF4355 PLL不使用时，必须将ADF4355参考输入引脚接地。幸运的是，这在HMC704中很容易做到。HMC704有一个通用输出(GPO)引脚——此引脚可直接连到ADF4355参考输入引脚。当ADF4355需要参考信号时(用于VCO校准)，HMC704可将其参考信号路由到GPO引脚；当没必要将ADF4355参考输入引脚接地时，可设置HMC704通过GPO引脚输出GND。图3显示的便是这种电路。

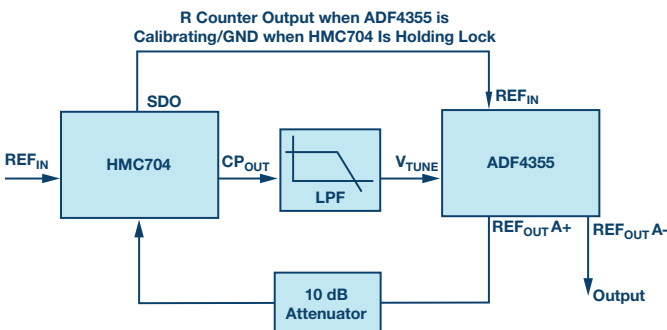


图3. 利用外部HMC704 PLL锁定ADF4355以改善杂散性能

ADI公司推出了四款具有第二代PLL/VCO性能的重要器件——ADF4355系列。该系列有四款器件：其中三款非常相似，仅频率范围不同；第四款是低功耗版本。

- ▶ ADF4355-2：集成式PLL/VCO，输出53 MHz至4400 MHz。
- ▶ ADF4355：集成式PLL/VCO，输出53 MHz至6800 MHz。
- ▶ ADF5355：集成式PLL/VCO，输出53 MHz至13,600 MHz。
- ▶ ADF4355-3：低功耗集成式PLL/VCO，输出51 MHz至6600 MHz。

所有器件信息均可在analog.com/cn上找到，包括数据手册、样片、评估板、控制软件、仿真软件、用户指南、EngineerZone®在线支持社区等。

- ▶ www.analog.com/cn/adf4355-2
- ▶ www.analog.com/cn/adf4355
- ▶ www.analog.com/cn/adf5355
- ▶ www.analog.com/cn/adf4355-3

作者简介

Robert Brennan [robert.brennan@analog.com] 毕业于爱尔兰利默里克大学，拥有电气工程学士学位，并于2010年加入ADI公司。他在ADI公司利默里克办公室工作了数年，之后重新分配到美国办公室，目前担任RF和微波部的应用和营销工程师，工作地点在马萨诸塞州。他主要研究PLL、VCO和集成式PLL/VCO。

在线支持社区

访问ADI在线支持社区，与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答，或参与讨论。

ezchina.analog.com



全球总部
One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部
上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司
深圳市福田区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210 室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司
北京市海淀区
上地东路 5-2 号
京蒙高科大厦 5 层
邮编: 100085
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司
湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

©2016 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices. TA14281sc-0-7/16

analog.com/cn

