dsPIC33EPXXGS50X系列

带互连的高速PWM、ADC、PGA和比较器且适用于数字电源应用的16位数字信号控制器

工作条件

- 3.0V至3.6V，-40°C至+85°C，DC至70 MIPS
- 3.0V至3.6V，-40°C至+125°C，DC至60 MIPS

闪存架构

- 具有在线更新功能的双分区闪存程序存储器（64 KB器件）：
  - 支持工作时编程
  - 支持分区软交换

内核：16位dsPIC33E CPU

- 高效代码型（C和汇编）架构
- 两个40位宽累加器
- 带双数据取操作的单周期（MAC/MPY）
- 单周期混合符号乘法和硬件除法
- 32位乘法支持
- 两个附加工作寄存器组（减少现场切换）

时钟管理

- ±0.9%精度内部振荡器
- 可编程PLL和振荡器时钟源
- 故障保护时钟监视器（Fail-Safe Clock Monitor，FSCM）
- 独立看门狗定时器（Watchdog Timer，WDT）
- 快速唤醒和启动

功耗管理

- 低功耗管理模式（休眠、空闲和打盹）
- 集成上电复位和欠压复位
- 0.5 mA/MHz动态电流（典型值）
- 10 µA I_{PD}电流（典型值）

高速PWM

- 5个PWM发生器（每个发生器两个输出）
- 每个PWM具有独立的时基和占空比
- 1.04 ns PWM分辨率（频率、占空比、死区和相位）
- 支持中心对齐输出模式、冗余输出模式、互补输出模式和真正独立输出模式
- 独立的故障输入和限流输入
- 输出改写控制
- 为交流/直流、直流/直流、逆变器、PFC和照明提供PWM支持

高级模拟特性

- 高速ADC模块：
  - 12位分辨率，带有4个专用SAR ADC内核和1个共用SAR ADC内核
  - 可为每个ADC内核配置分辨率（最高12位）
  - 12位分辨率时每个通道的转换速率最高为3.25 Msps
  - 12至22个单端输入
  - 每个模拟通道都具有专用的结果缓冲区
  - 灵活、独立的ADC触发源
  - 两个数字比较器
  - 两个用于提高分辨率的过采样滤波器
- 4个带滞后功能的轨到轨比较器：
  - 每个模拟比较器均带有专用的12位数模转换器（Digital-to-Analog Converter，DAC）
  - 最多两个DAC参考输出
  - 最多两个外部参考输入
- 两个可编程增益放大器：
  - 单端或独立地参考
  - 5个可选增益（4x、8x、16x、32x和64x）
  - 40 MHz增益带宽

互连的SMPS外设

- 减少CPU交互以提高性能
- 用于ADC转换的灵活PWM触发选项
- 高速比较器截断PWM（典型值为15 ns）：
  - 支持逐周期电流模式控制
  - 电流复位模式（可变频率）

定时器/输出比较/输入捕捉

- 5个16位定时器/计数器，最多两个32位定时器/计数器
- 4个输出比较（Output Compare，OC）模块，可配置为定时器/计数器
- 4个输入捕捉（Input Capture，IC）模块

© 2015-2018 Microchip Technology Inc.

dsPIC33EPXXGS50X系列

通信接口

- 两个UART模块（15 Mbps）：
  - 支持LIN/J2602协议和IrDA®
- 两个4线SPI模块（15 Mbps）
- 两个带有SMBus支持的I^2C模块（最高1 Mbaud）

输入/输出

- 恒流源（标称值为10 µA）
- 最大灌电流/拉电流分别为12 mA/15 mA；对于标准VOH/VOL取决于具体引脚
- 5V耐压引脚
- 可选的漏极开路、上拉和下拉
- 所有I/O引脚上均具有外部中断
- 外设引脚选择（Peripheral Pin Select，PPS），用于通过6个虚拟I/O支持功能重映射

认证和B类支持

- AEC-Q100 REVG（等级1，-40°C至+125°C）
- B类安全库，IEC 60730
- 6x6x0.5 mm UQFN封装经过特殊设计和优化，旨在简化IPC9592B第2级温度循环认证

调试器开发支持

- 在线和在应用编程
- 5个程序断点和3个复杂的数据断点
- 符合IEEE 1149.2的（JTAG）边界扫描
- 跟踪和运行时观察

器件	引脚	程序存储器（字节）	RAM（字节）	通用I/O（GPIO）	可重映射的外设								I^2C	12位ADC		PGA	模拟比较器	DAC输出	恒流源	封装
					定时器(1)	输入捕捉	输出比较	UART	SPI	PWM(2)	外部中断(3)	参考时钟		模拟输入	S&H电路					
dsPIC33EP16GS502	28	16K	2K	21	5	4	4	2	2	5x2	3	1	2	12	5	2	4	1	1	SOIC、QFN-S和UQFN
dsPIC33EP32GS502	28	32K	4K	21	5	4	4	2	2	5x2	3	1	2	12	5	2	4	1	1	
dsPIC33EP64GS502	28	64K	8K	21	5	4	4	2	2	5x2	3	1	2	12	5	2	4	1	1	
dsPIC33EP16GS504	44	16K	2K	35	5	4	4	2	2	5x2	3	1	2	19	5	2	4	1	1	QFN和TQFP
dsPIC33EP32GS504	44	32K	4K	35	5	4	4	2	2	5x2	3	1	2	19	5	2	4	1	1	
dsPIC33EP64GS504	44	64K	8K	35	5	4	4	2	2	5x2	3	1	2	19	5	2	4	1	1	
dsPIC33EP16GS505	48	16K	2K	35	5	4	4	2	2	5x2	3	1	2	19	5	2	4	1	1	TQFP
dsPIC33EP32GS505	48	32K	4K	35	5	4	4	2	2	5x2	3	1	2	19	5	2	4	1	1	
dsPIC33EP64GS505	48	64K	8K	35	5	4	4	2	2	5x2	3	1	2	19	5	2	4	1	1	
dsPIC33EP16GS506	64	16K	2K	53	5	4	4	2	2	5x2	4	1	2	22	5	2	4	2	1	TQFP
dsPIC33EP32GS506	64	32K	4K	53	5	4	4	2	2	5x2	4	1	2	22	5	2	4	2	1	
dsPIC33EP64GS506	64	64K	8K	53	5	4	4	2	2	5x2	4	1	2	22	5	2	4	2	1	

注 1： Timer1、Timer2和Timer3的外部时钟是可重映射的。

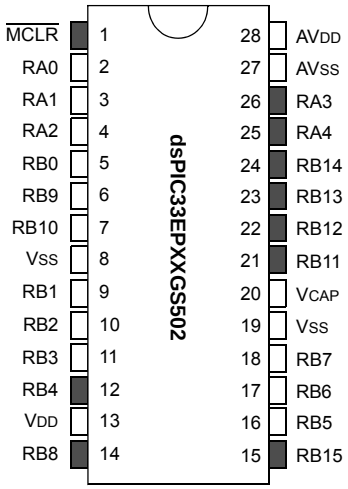
2： 在除64引脚器件外的所有器件上，PWM4和PWM5是可重映射的。

3： 外部中断INT0和INT4是不可重映射的。

© 2015-2018 Microchip Technology Inc.

引脚图

28引脚SOIC

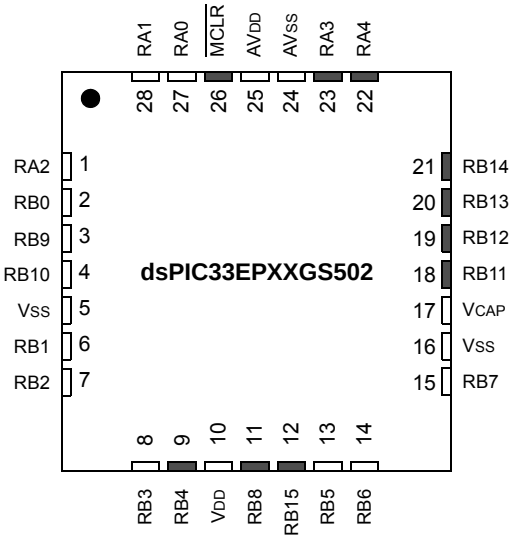


引脚	引脚功能	引脚	引脚功能
1	MCLR	15	PGEC3/SCL2/**RP47**/RB15
2	AN0/PGA1P1/CMP1A/RA0	16	TDO/AN19/PGA2N2/**RP37**/RB5
3	AN1/PGA1P2/PGA2P1/CMP1B/RA1	17	PGED1/TDI/AN20/SCL1/**RP38**/RB6
4	AN2/PGA1P3/PGA2P2/CMP1C/CMP2A/RA2	18	PGEC1/AN21/SDA1/**RP39**/RB7
5	AN3/PGA2P3/CMP1D/CMP2B/**RP32**/RB0	19	VSS
6	AN4/CMP2C/CMP3A/ISRC4/**RP41**/RB9	20	VCAP
7	AN5/CMP2D/CMP3B/ISRC3/**RP42**/RB10	21	TMS/PWM3H/**RP43**/RB11
8	Vss	22	TCK/PWM3L/**RP44**/RB12
9	OSC1/CLKI/AN6/CMP3C/CMP4A/ISRC2/**RP33**/RB1	23	PWM2H/**RP45**/RB13
10	OSC2/CLKO/AN7/PGA1N2/CMP3D/CMP4B/**RP34**/RB2	24	PWM2L/**RP46**/RB14
11	PGED2/AN18/DACOUT1/INT0/**RP35**/RB3	25	PWM1H/RA4
12	PGEC2/ADTRG31/EXTREF1/RP36/RB4	26	PWM1L/RA3
13	VDD	27	AVSS
14	PGED3/SDA2/FLT31/RP40/RB8	28	AVDD

图注： **阴影引脚**最高可承受5 VDC。
RPn表示可重映射外设功能。有关可重映射源的完整列表，请参见表10-1和表10-2。

引脚图（续）

28引脚QFN-S和UQFN



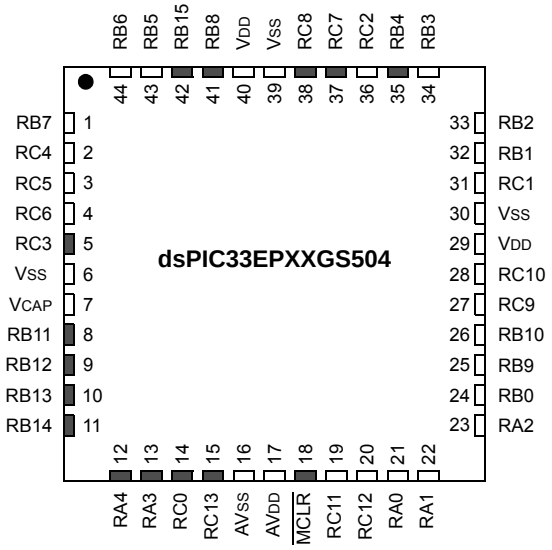
引脚	引脚功能	引脚	引脚功能
1	AN2/PGA1P3/PGA2P2/CMP1C/CMP2A/RA2	15	PGEC1/AN21/SDA1/**RP39**/RB7
2	AN3/PGA2P3/CMP1D/CMP2B/**RP32**/RB0	16	VSS
3	AN4/CMP2C/CMP3A/ISRC4/**RP41**/RB9	17	VCAP
4	AN5/CMP2D/CMP3B/ISRC3/**RP42**/RB10	18	TMS/PWM3H/**RP43**/RB11
5	Vss	19	TCK/PWM3L/**RP44**/RB12
6	OSC1/CLKI/AN6/CMP3C/CMP4A/ISRC2/**RP33**/RB1	20	PWM2H/**RP45**/RB13
7	OSC2/CLKO/AN7/PGA1N2/CMP3D/CMP4B/**RP34**/RB2	21	PWM2L/**RP46**/RB14
8	PGED2/AN18/DACOUT1/INT0/**RP35**/RB3	22	PWM1H/RA4
9	PGEC2/ADTRG31/EXTREF1/RP36/RB4	23	PWM1L/RA3
10	VDD	24	AVSS
11	PGED3/SDA2/FLT31/RP40/RB8	25	AVDD
12	PGEC3/SCL2/**RP47**/RB15	26	MCLR
13	TDO/AN19/PGA2N2/**RP37**/RB5	27	AN0/PGA1P1/CMP1A/RA0
14	PGED1/TDI/AN20/SCL1/**RP38**/RB6	28	AN1/PGA1P2/PGA2P1/CMP1B/RA1

图注： **阴影引脚**最高可承受5 VDC。
RPn表示可重映射外设功能。有关可重映射源的完整列表，请参见表10-1和表10-2。

© 2015-2018 Microchip Technology Inc.

引脚图（续）

44引脚QFN

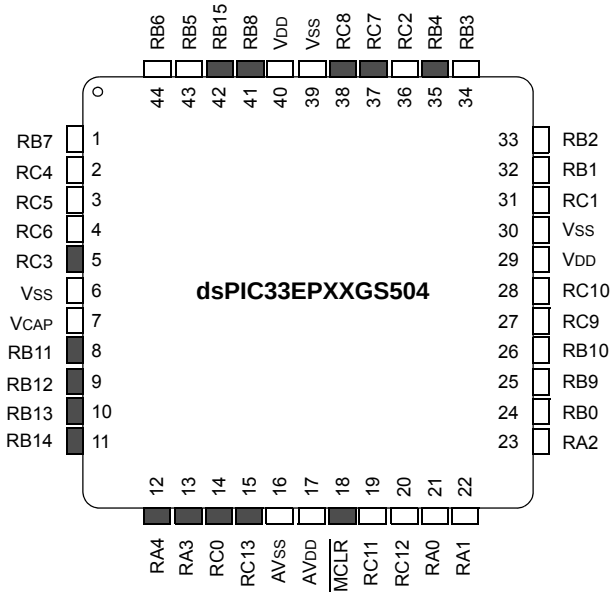


引脚	引脚功能	引脚	引脚功能
1	PGEC1/AN21/SDA1/**RP39**/RB7	23	AN2/PGA1P3/PGA2P2/CMP1C/CMP2A/RA2
2	AN1ALT/**RP52**/RC4	24	AN3/PGA2P3/CMP1D/CMP2B/**RP32**/RB0
3	AN0ALT/**RP53**/RC5	25	AN4/CMP2C/CMP3A/ISRC4/**RP41**/RB9
4	AN17/**RP54**/RC6	26	AN5/CMP2D/CMP3B/ISRC3/**RP42**/RB10
5	**RP51**/RC3	27	AN11/PGA1N3/**RP57**/RC9
6	VSS	28	AN10/PGA1P4/EXTREF2/**RP58**/RC10
7	VCAP	29	VDD
8	TMS/PWM3H/**RP43**/RB11	30	VSS
9	TCK/PWM3L/**RP44**/RB12	31	AN8/PGA2P4/CMP4C/**RP49**/RC1
10	PWM2H/**RP45**/RB13	32	OSC1/CLKI/AN6/CMP3C/CMP4A/ISRC2/**RP33**/RB1
11	PWM2L/**RP46**/RB14	33	OSC2/CLKO/AN7/PGA1N2/CMP3D/CMP4B/**RP34**/RB2
12	PWM1H/RA4	34	PGED2/AN18/DACOUT1/INT0/**RP35**/RB3
13	PWM1L/RA3	35	PGEC2/ADTRG31/**RP36**/RB4
14	FLT12/**RP48**/RC0	36	AN9/CMP4D/EXTREF1/**RP50** /RC2
15	FLT11/**RP61**/RC13	37	ASDA1/**RP55**/RC7
16	AVSS	38	ASCL1/**RP56**/RC8
17	AVDD	39	VSS
18	$\overline{\text{MCLR}}$	40	VDD
19	AN12/ISRC1/**RP59**/RC11	41	PGED3/SDA2/FLT31/**RP40**/RB8
20	AN14/PGA2N3/**RP60**/RC12	42	PGEC3/SCL2/**RP47**/RB15
21	AN0/PGA1P1/CMP1A/RA0	43	TDO/AN19/PGA2N2/**RP37**/RB5
22	AN1/PGA1P2/PGA2P1/CMP1B/RA1	44	PGED1/TDI/AN20/SCL1/**RP38**/RB6

图注： **阴影引脚**最高可承受5 VDC。
RPn表示可重映射外设功能。有关可重映射源的完整列表，请参见表10-1和表10-2。

引脚图（续）

44引脚TQFP



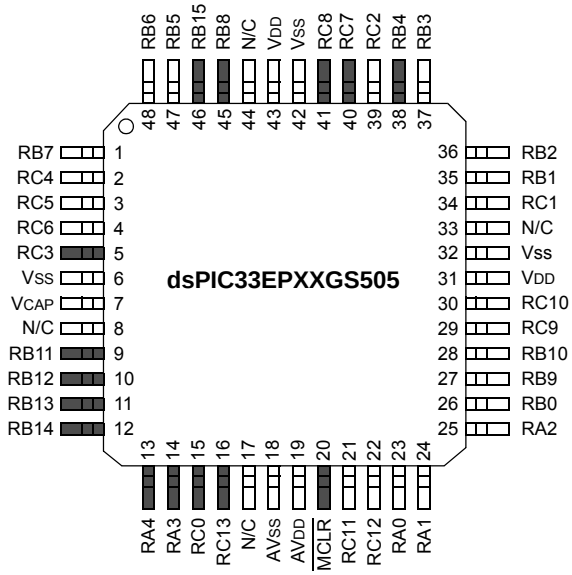
引脚	引脚功能	引脚	引脚功能
1	PGEC1/AN21/SDA1/**RP39**/RB7	23	AN2/PGA1P3/PGA2P2/CMP1C/CMP2A/RA2
2	AN1ALT/**RP52**/RC4	24	AN3/PGA2P3/CMP1D/CMP2B/**RP32**/RB0
3	AN0ALT/**RP53**/RC5	25	AN4/CMP2C/CMP3A/ISRC4/**RP41**/RB9
4	AN17/**RP54**/RC6	26	AN5/CMP2D/CMP3B/ISRC3/**RP42**/RB10
5	**RP51**/RC3	27	AN11/PGA1N3/**RP57**/RC9
6	VSS	28	AN10/PGA1P4/EXTREF2/**RP58**/RC10
7	VCAP	29	VDD
8	TMS/PWM3H/**RP43**/RB11	30	VSS
9	TCK/PWM3L/**RP44**/RB12	31	AN8/PGA2P4/CMP4C/**RP49**/RC1
10	PWM2H/**RP45**/RB13	32	OSC1/CLKI/AN6/CMP3C/CMP4A/ISRC2/**RP33**/RB1
11	PWM2L/**RP46**/RB14	33	OSC2/CLKO/AN7/PGA1N2/CMP3D/CMP4B/**RP34**/RB2
12	PWM1H/RA4	34	PGED2/AN18/DACOUT1/INT0/**RP35**/RB3
13	PWM1L/RA3	35	PGEC2/ADTRG31/**RP36**/RB4
14	FLT12/**RP48**/RC0	36	AN9/CMP4D/EXTREF1/**RP50** /RC2
15	FLT11/**RP61**/RC13	37	ASDA1/**RP55**/RC7
16	AVSS	38	ASCL1/**RP56**/RC8
17	AVDD	39	VSS
18	$\overline{\text{MCLR}}$	40	VDD
19	AN12/ISRC1/**RP59**/RC11	41	PGED3/SDA2/FLT31/**RP40**/RB8
20	AN14/PGA2N3/**RP60**/RC12	42	PGEC3/SCL2/**RP47**/RB15
21	AN0/PGA1P1/CMP1A/RA0	43	TDO/AN19/PGA2N2/**RP37**/RB5
22	AN1/PGA1P2/PGA2P1/CMP1B/RA1	44	PGED1/TDI/AN20/SCL1/**RP38**/RB6

图注： **阴影引脚**最高可承受5 VDC。
RPn表示可重映射外设功能。有关可重映射源的完整列表，请参见表10-1和表10-2。

© 2015-2018 Microchip Technology Inc.

引脚图（续）

48引脚TQFP

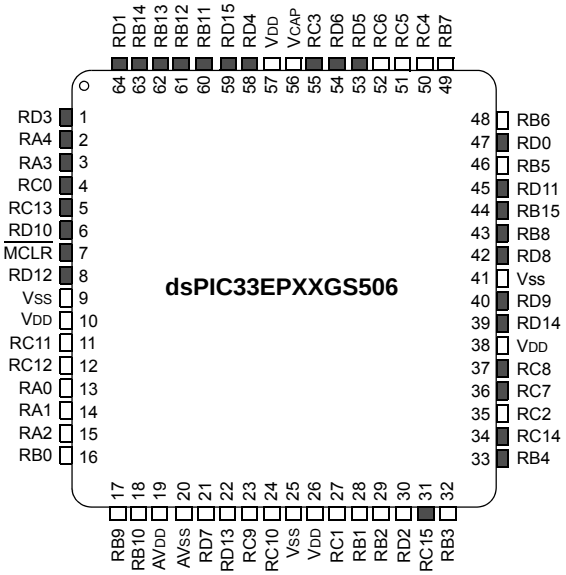


引脚	引脚功能	引脚	引脚功能
1	PGEC1/AN21/SDA1/**RP39**/RB7	25	AN2/PGA1P3/PGA2P2/CMP1C/CMP2A/RA2
2	AN1ALT/**RP52**/RC4	26	AN3/PGA2P3/CMP1D/CMP2B/**RP32**/RB0
3	AN0ALT/**RP53**/RC5	27	AN4/CMP2C/CMP3A/ISRC4/**RP41**/RB9
4	AN17/**RP54**/RC6	28	AN5/CMP2D/CMP3B/ISRC3/**RP42**/RB10
5	**RP51**/RC3	29	AN11/PGA1N3/**RP57**/RC9
6	VSS	30	AN10/PGA1P4/EXTREF2/**RP58**/RC10
7	VCAP	31	VDD
8	N/C	32	VSS
9	TMS/PWM3H/**RP43**/RB11	33	N/C
10	TCK/PWM3L/**RP44**/RB12	34	AN8/PGA2P4/CMP4C/**RP49**/RC1
11	PWM2H/**RP45**/RB13	35	OSC1/CLKI/AN6/CMP3C/CMP4A/ISRC2/**RP33**/RB1
12	PWM2L/**RP46**/RB14	36	OSC2/CLKO/AN7/PGA1N2/CMP3D/CMP4B/**RP34**/RB2
13	PWM1H/RA4	37	PGED2/AN18/DACOUT1/INT0/**RP35**/RB3
14	PWM1L/RA3	38	PGEC2/ADTRG31/**RP36**/RB4
15	FLT12/**RP48**/RC0	39	AN9/CMP4D/EXTREF1/**RP50** /RC2
16	FLT11/**RP61**/RC13	40	ASDA1/**RP55**/RC7
17	N/C	41	ASCL1/**RP56**/RC8
18	AVSS	42	VSS
19	AVDD	43	VDD
20	$\overline{\text{MCLR}}$	44	N/C
21	AN12/ISRC1/**RP59**/RC11	45	PGED3/SDA2/FLT31/**RP40**/RB8
22	AN14/PGA2N3/**RP60**/RC12	46	PGEC3/SCL2/**RP47**/RB15
23	AN0/PGA1P1/CMP1A/RA0	47	TDO/AN19/PGA2N2/**RP37**/RB5
24	AN1/PGA1P2/PGA2P1/CMP1B/RA1	48	PGED1/TDI/AN20/SCL1/**RP38**/RB6

图注： **阴影引脚**最高可承受5 VDC。
RPn表示可重映射外设功能。有关可重映射源的完整列表，请参见表10-1和表10-2。

引脚图（续）

64引脚TQFP



引脚	引脚功能	引脚	引脚功能
1	PWM4L/RD3	33	PGEC2/ADTRG31/**RP36**/RB4
2	PWM1H/RA4	34	**RP62**/RC14
3	PWM1L/RA3	35	AN9/CMP4D/EXTREF1/**RP50**/RC2
4	FLT12/**RP48**/RC0	36	ASDA1/**RP55**/RC7
5	FLT11/**RP61**/RC13	37	ASCL1/**RP56**/RC8
6	FLT10/RD10	38	VDD
7	$\overline{\text{MCLR}}$	39	RD14
8	FLT9/T5CK/RD12	40	RD9
9	VSS	41	VSS
10	VDD	42	RD8
11	AN12/ISRC1/**RP59**/RC11	43	PGED3/SDA2/FLT31/**RP40**/RB8
12	AN14/PGA2N3/**RP60**/RC12	44	PGEC3/SCL2/**RP47**/RB15
13	AN0/PGA1P1/CMP1A/RA0	45	INT4/RD11
14	AN1/PGA1P2/PGA2P1/CMP1B/RA1	46	TDO/AN19/PGA2N2/**RP37**/RB5
15	AN2/PGA1P3/PGA2P2/CMP1C/CMP2A/RA2	47	T4CK/RD0
16	AN3/PGA2P3/CMP1D/CMP2B/**RP32**/RB0	48	PGED1/TDI/AN20/SCL1/**RP38**/RB6
17	AN4/CMP2C/CMP3A/ISRC4/**RP41**/RB9	49	PGEC1/AN21/SDA1/**RP39**/RB7
18	AN5/CMP2D/CMP3B/ISRC3/**RP42**/RB10	50	AN1ALT/**RP52**/RC4
19	AVDD	51	AN0ALT/**RP53**/RC5
20	AVSS	52	AN17/**RP54**/RC6
21	AN15/RD7	53	RD5
22	AN13/DACOUT2/RD13	54	PWM5H/RD6
23	AN11/PGA1N3/**RP57**/RC9	55	PWM5L/**RP51**/RC3
24	AN10/PGA1P4/EXTREF2/**RP58**/RC10	56	VCAP
25	VSS	57	VDD
26	VDD	58	RD4
27	AN8/PGA2P4/CMP4C/**RP49**/RC1	59	RD15
28	OSC1/CLKI/AN6/CMP3C/CMP4A/ISRC2/**RP33**/RB1	60	TMS/PWM3H/**RP43**/RB11
29	OSC2/CLKO/AN7/PGA1N2/CMP3D/CMP4B/**RP34**/RB2	61	TCK/PWM3L/**RP44**/RB12
30	AN16/RD2	62	PWM2H/**RP45**/RB13
31	ASDA2/**RP63**/RC15	63	PWM2L/**RP46**/RB14
32	PGED2/AN18/DACOUT1/ASCL2/INT0/RP35/RB3	64	PWM4H/RD1

图注： **阴影引脚**最高可承受5 VDC。
RPn表示可重映射外设功能。有关可重映射源的完整列表，请参见表10-1和表10-2。

© 2015-2018 Microchip Technology Inc.

目录

1.0 器件概述 11
2.0 16 位数字信号控制器入门指南 15
3.0 CPU 21
4.0 存储器构成 31
5.0 闪存程序存储器 77
6.0 复位 85
7.0 中断控制器 89
8.0 振荡器配置 103
9.0 节能特性 115
10.0 I/O 端口 125
11.0 Timer1 163
12.0 Timer2/3 和 Timer4/5 167
13.0 输入捕捉 171
14.0 输出比较 175
15.0 高速 PWM 181
16.0 串行外设接口 （SPI） 207
17.0 I^2C 215
18.0 通用异步收发器 （UART） 223
19.0 高速 12 位模数转换器 （ADC） 229
20.0 高速模拟比较器 263
21.0 可编程增益放大器 （PGA） 271
22.0 恒流源 275
23.0 特殊功能 277
24.0 指令集汇总 289
25.0 开发支持 299
26.0 电气特性 303
27.0 器件直流和交流特性曲线图 349
28.0 封装信息 353
附录 A： 版本历史 377
索引 379
Microchip 网站 385
变更通知客户服务 385
客户支持 385
产品标识体系 387

致 客 户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的需求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 **CTRC@microchip.com**。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请访问我公司网站：

http://www.microchip.com

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中紧跟数字串后的字母是版本号，例如：DS30000000A_CN 是文档的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 **http://www.microchip.com**
- 当地 Microchip 销售办事处 （见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本 （包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 **www.microchip.com** 上注册。

© 2015-2018 Microchip Technology Inc.

1.0 器件概述

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的相关章节，该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

本文档包含dsPIC33EPXXGS50X数字信号控制器（Digital Signal Controller，DSC）器件的具体信息。

dsPIC33EPXXGS50X器件在高性能16位MCU架构中，融合了丰富的数字信号处理器（Digital Signal Processor，DSP）功能。

图1-1给出了内核和外设模块的一般框图。表1-1列出了引脚图中显示的各引脚的功能。

图1-1： dsPIC33EPXXGS50X系列框图

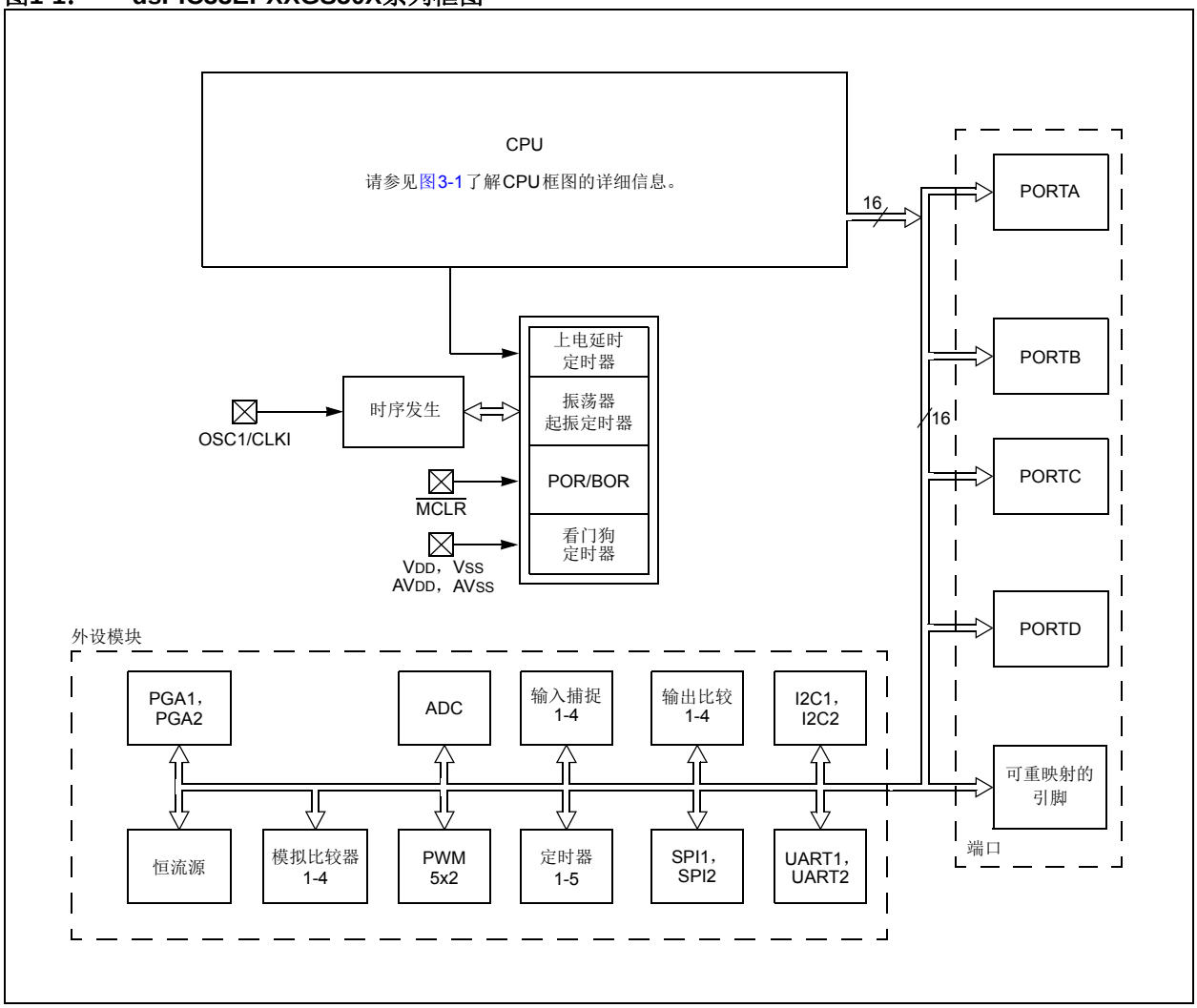


表1-1： 引脚I/O说明

引脚名称(1)	引脚类型	缓冲器类型	支持PPS功能？	说明
AN0-AN21	I	模拟	否	模拟输入通道。
AN0ALT-AN1ALT	I	模拟	否	备用模拟输入通道。
CLKI	I	ST/CMOS	否	外部时钟源输入。总是与OSC1引脚功能相关联。
CLKO	O	—	否	晶振输出。在晶振模式下，该引脚与晶振或谐振器相连。也可选择在RC和EC模式下用作CLKO。 总是与OSC2引脚功能相关联。
OSC1	I	ST/CMOS	否	晶振输入。配置为RC模式时为ST缓冲器输入；否则为CMOS输入。
OSC2	I/O	—	否	晶振输出。在晶振模式下，该引脚与晶振或谐振器相连。也可选择在RC和EC模式下用作CLKO。
REFCLKO	O	—	是	参考时钟输出。
IC1-IC4	I	ST	是	捕捉输入1至4。
OCFA	I	ST	是	比较故障A输入（对于比较通道）。
OC1-OC4	O	—	是	比较输出1至4。
INT0	I	ST	否	外部中断0。
INT1	I	ST	是	外部中断1。
INT2	I	ST	是	外部中断2。
INT4	I	ST	否	外部中断4。
RA0-RA4	I/O	ST	否	PORTA是双向I/O端口。
RB0-RB15	I/O	ST	否	PORTB是双向I/O端口。
RC0-RC15	I/O	ST	否	PORTC是双向I/O端口。
RD0-RD15	I/O	ST	否	PORTD是双向I/O端口。
T1CK	I	ST	是	Timer1外部时钟输入。
T2CK	I	ST	是	Timer2外部时钟输入。
T3CK	I	ST	是	Timer3外部时钟输入。
T4CK	I	ST	否	Timer4外部时钟输入。
T5CK	I	ST	否	Timer5外部时钟输入。
$\overline{\text{U1CTS}}$	I	ST	是	UART1允许发送。
$\overline{\text{U1RTS}}$	O	—	是	UART1请求发送。
U1RX	I	ST	是	UART1接收。
U1TX	O	—	是	UART1发送。
BCLK1	O	ST	是	UART1 IrDA®波特率时钟输出。
$\overline{\text{U2CTS}}$	I	ST	是	UART2允许发送。
$\overline{\text{U2RTS}}$	O	—	是	UART2请求发送。
U2RX	I	ST	是	UART2接收。
U2TX	O	—	是	UART2发送。
BCLK2	O	ST	是	UART2 IrDA波特率时钟输出。
SCK1	I/O	ST	是	SPI1的同步串行时钟输入/输出。
SDI1	I	ST	是	SPI1数据输入。
SDO1	O	—	是	SPI1数据输出。
$\overline{\text{SS1}}$	I/O	ST	是	SPI1从同步或帧脉冲I/O。
SCK2	I/O	ST	是	SPI2的同步串行时钟输入/输出。
SDI2	I	ST	是	SPI2数据输入。
SDO2	O	—	是	SPI2数据输出。
$\overline{\text{SS2}}$	I/O	ST	是	SPI2从同步或帧脉冲I/O。

图注： CMOS = CMOS兼容输入或输出　　模拟 = 模拟输入　　P = 电源
ST = CMOS电平的施密特触发器输入　　O = 输出　　I = 输入
PPS = 外设引脚选择　　TTL = TTL输入缓冲器

1： 并非所有引脚在所有封装类型的器件中都可用。关于引脚可用性，请参见**“引脚图”**部分。

2： 这些引脚是64引脚器件专有的引脚。

© 2015-2018 Microchip Technology Inc.

表1-1： 引脚I/O说明（续）

引脚名称(1)	引脚类型	缓冲器类型	支持PPS功能？	说明
SCL1	I/O	ST	否	I2C1的同步串行时钟输入/输出。
SDA1	I/O	ST	否	I2C1的同步串行数据输入/输出。
ASCL1	I/O	ST	否	I2C1的备用同步串行时钟输入/输出。
ASDA1	I/O	ST	否	I2C1的备用同步串行数据输入/输出。
SCL2	I/O	ST	否	I2C2的同步串行时钟输入/输出。
SDA2	I/O	ST	否	I2C2的同步串行数据输入/输出。
ASCL2	I/O	ST	否	I2C2的备用同步串行时钟输入/输出。
ASDA2	I/O	ST	否	I2C2的备用同步串行数据输入/输出。
TMS	I	ST	否	JTAG测试模式选择引脚。
TCK	I	ST	否	JTAG测试时钟输入引脚。
TDI	I	ST	否	JTAG测试数据输入引脚。
TDO	O	—	否	JTAG测试数据输出引脚。
FLT1-FLT8	I	ST	是	PWM故障输入1至8。
FLT9-FLT12	I	ST	否	PWM故障输入9至12。
FLT31	I	ST	否	PWM故障输入31（B类故障）。
PWM1L-PWM3L	O	—	否	PWM低端输出1至3。
PWM1H-PWM3H	O	—	否	PWM高端输出1至3。
PWM4L-PWM5L(2)	O	—	是	PWM低端输出4和5。
PWM4H-PWM5H(2)	O	—	是	PWM高端输出4和5。
SYNCI1，SYNCI2	I	ST	是	PWM同步输入1和2。
SYNCO1，SYNCO2	O	—	是	PWM同步输出1和2。
CMP1A-CMP4A	I	模拟	否	比较器通道1至4的A输入。
CMP1B-CMP4B	I	模拟	否	比较器通道1至4的B输入。
CMP1C-CMP4C	I	模拟	否	比较器通道1至4的C输入。
CMP1D-CMP4D	I	模拟	否	比较器通道1至4的D输入。
DACOUT1，DACOUT2	O	—	否	DAC输出电压1和2。
EXTREF1，EXTREF2	I	模拟	否	参考DAC的外部参考电压输入1和2。
ISRC1-ISRC4	O	模拟	否	恒流输出1至4。
PGA1P1-PGA1P4	I	模拟	否	PGA1同相输入1至4。
PGA1N1-PGA1N3	I	模拟	否	PGA1反相输入1至3。
PGA2P1-PGA2P4	I	模拟	否	PGA2同相输入1至4。
PGA2N1-PGA2N3	I	模拟	否	PGA2反相输入1至3。
ADTRG31	I	ST	否	外部ADC触发源。
PGED1	I/O	ST	否	编程/调试通信通道1使用的数据I/O引脚。
PGEC1	I	ST	否	编程/调试通信通道1使用的时钟输入引脚。
PGED2	I/O	ST	否	编程/调试通信通道2使用的数据I/O引脚。
PGEC2	I	ST	否	编程/调试通信通道2使用的时钟输入引脚。
PGED3	I/O	ST	否	编程/调试通信通道3使用的数据I/O引脚。
PGEC3	I	ST	否	编程/调试通信通道3使用的时钟输入引脚。

图注： CMOS = CMOS兼容输入或输出　　模拟 = 模拟输入　　P = 电源
ST = CMOS电平的施密特触发器输入　　O = 输出　　I = 输入
PPS = 外设引脚选择　　TTL = TTL输入缓冲器

1： 并非所有引脚在所有封装类型的器件中都可用。关于引脚可用性，请参见**“引脚图”**部分。

2： 这些引脚是64引脚器件专有的引脚。

表1-1： 引脚I/O说明（续）

引脚名称(1)	引脚类型	缓冲器类型	支持PPS功能？	说明
$\overline{\text{MCLR}}$	I/P	ST	否	主复位输入。此引脚为低电平有效的器件复位输入端。
AVDD	P	P	否	模拟模块的正电源。此引脚必须始终连接。
AVSS	P	P	否	模拟模块的参考地。此引脚必须始终连接。
VDD	P	—	否	外设逻辑和I/O引脚的正电源。
VCAP	P	—	否	CPU逻辑滤波电容连接。
VSS	P	—	否	逻辑和I/O引脚的参考地。

图注： CMOS = CMOS兼容输入或输出　　模拟 = 模拟输入　　P = 电源
ST = CMOS电平的施密特触发器输入　　O = 输出　　I = 输入
PPS = 外设引脚选择　　TTL = TTL输入缓冲器

1： 并非所有引脚在所有封装类型的器件中都可用。关于引脚可用性，请参见**“引脚图”**部分。

2： 这些引脚是64引脚器件专有的引脚。

© 2015-2018 Microchip Technology Inc.

2.0 16位数字信号控制器入门指南

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》的相关章节，该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

2.1 基本连接要求

在开始使用dsPIC33EPXXGS50X系列进行开发之前，需要注意最基本的器件引脚连接要求。下面列出了必须始终连接的引脚名称：

- 所有VDD和VSS引脚（见**第2.2节“去耦电容”**）
- 所有AVDD和AVSS引脚（不论是否使用ADC模块）（见**第2.2节“去耦电容”**）
- VCAP（见**第2.3节“CPU逻辑滤波电容连接（VCAP）”**）
- $\overline{\text{MCLR}}$引脚（见**第2.4节“主复位（MCLR）引脚”**）
- 用于进行在线串行编程（In-Circuit Serial Programming™，ICSP™）和调试的PGECx/PGEDx引脚（见**第2.5节 “ICSP引脚”**）
- OSC1和OSC2引脚（使用外部振荡器源时）（见**第2.6节“外部振荡器引脚”**）

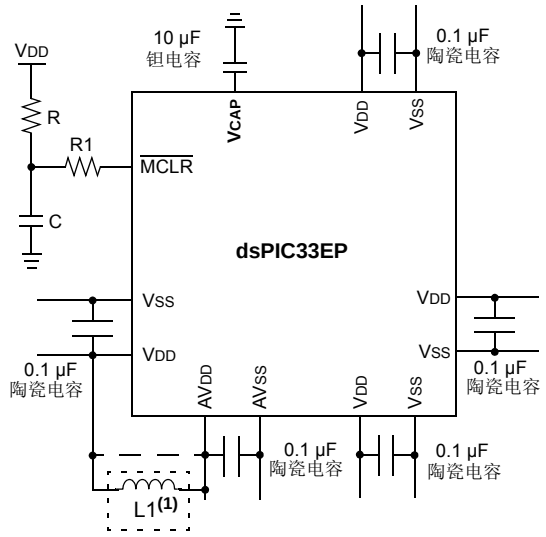
2.2 去耦电容

需要在每对电源引脚（例如，VDD/VSS和AVDD/AVSS）上使用去耦电容。

使用去耦电容时，需要考虑以下标准：

- **电容的类型和电容值：**建议使用参数为0.1 µF（100 nF）、10-20V的电容。该电容应具有低ESR，谐振频率为20 MHz或更高。建议使用陶瓷电容。
- **在印刷电路板上的放置：**去耦电容应尽可能靠近引脚。建议将电容与器件放置在电路板的同一层。如果空间受限，可以使用过孔将电容放置在PCB的另一层，但请确保从引脚到电容的走线长度小于0.25英寸（6毫米）。
- **高频噪声处理：**如果电路板会遇到高频噪声（频率高于数十MHz），则另外添加一个陶瓷电容，与上述去耦电容并联。第二个电容的电容值可以介于0.001 µF和0.01 µF之间。请将第二个电容放置在靠近主去耦电容的位置。在高速电路设计中，需要考虑尽可能靠近电源和接地引脚放置这一对电容。例如，0.1 µF电容与0.001 µF电容并联。
- **最大程度提高性能：**对于从电源电路开始的电路板布线，需要将电源和返回走线先连接到去耦电容，然后再与器件引脚连接。这可以确保去耦电容是电源链中的第一个元件。同等重要的是尽可能减小电容和电源引脚之间的走线长度，从而降低PCB走线电感。

图2-1： 建议的最基本连接



注 1： 作为一种选项，可以不使用硬线连接，而是替换为在VDD和AVDD之间使用电感（L1），从而改善ADC噪声抑制性能。电感阻抗应小于1Ω，并且电感额定电流大于10 mA。

其中：

$$f = \frac{FCNV}{2}$$ （即，ADC转换速率/2）

$$f = \frac{1}{(2\pi\sqrt{LC})}$$

$$L = \left(\frac{1}{(2\pi f\sqrt{C})}\right)^2$$

2.2.1 大容量电容

对于电源走线长度超出6英寸的电路板，建议对集成电路（包括DSC）使用大容量电容来提供本地电源。大容量电容的电容值应根据连接电源与器件的走线电阻和应用中器件消耗的最大电流确定。也就是说，选择的大容量电容需要满足器件的可接受电压骤降要求。典型值的范围为4.7 µF至47 µF。

2.3 CPU逻辑滤波电容连接（VCAP）

需要在VCAP引脚上使用低ESR（<0.5Ω）电容，以稳定稳压器的输出电压。VCAP引脚一定不能与VDD连接，并且必须使用4.7 µF以上（建议使用10 µF）、16V的电容接地。可以使用陶瓷电容或钽电容。更多信息，请参见**第26.0节“电气特性”**。

该电容的位置应靠近VCAP引脚。建议走线长度不要超出0.25英寸（6毫米）。有关详细信息，请参见**第23.4节“片上稳压器”**。

2.4 主复位（MCLR）引脚

MCLR引脚提供两种特定的器件功能：

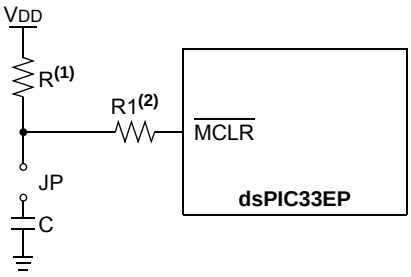
- 器件复位
- 器件编程和调试

在器件编程和调试过程中，必须考虑到引脚上可能会增加的电阻和电容。器件编程器和调试器会驱动MCLR引脚。因此，特定电压（VIH和VIL）和快速信号跳变一定不能受到不利影响。所以，需要根据应用和PCB需求来调整R和C的具体值。

例如，如图2-2所示，在编程和调试操作期间，建议将电容C与MCLR引脚隔离。

将图2-2所示的元件放置在距离MCLR引脚0.25英寸（6毫米）范围内。

图2-2： MCLR引脚连接示例



注 1： 建议R ≤ 10 kΩ。建议的起始值为10 kΩ。请确保满足MCLR引脚VIH和VIL规范。

2： R1 ≤ 470Ω用于限制由于静电放电（Electrostatic Discharge，ESD）或电过载（Electrical Overstress，EOS）导致MCLR引脚损坏时从外部电容C流入MCLR的任何电流。请确保满足MCLR引脚VIH和VIL规范。

© 2015-2018 Microchip Technology Inc.

2.5 ICSP引脚

PGECx和PGEDx引脚用于进行ICSP和调试。建议尽可能减小ICSP连接器与器件ICSP引脚之间的走线长度。如果ICSP连接器会遇到ESD事件，则建议添加一个串联电阻，电阻值为几十欧姆，不要超出100Ω。

建议不要在PGECx和PGEDx引脚上连接上拉电阻、串联二极管和电容，因为它们会影响编程器/调试器与器件的通信。如果应用需要此类分立元件，则在编程和调试期间应将它们从电路中去除。或者，请参见相应器件闪存编程规范中的交流/直流特性与时序要求信息，了解关于容性负载限制、引脚输入高电压（VIH）和输入低电压（VIL）要求的信息。

请确保编程到器件中的“通信通道选择”（即PGECx/PGEDx引脚）符合与MPLAB® PICkit™ 3、MPLAB ICD 3或MPLAB REAL ICE™的ICSP物理连接。

关于MPLAB ICD 2、MPLAB ICD 3和REAL ICE连接要求的更多信息，请参见Microchip网站上提供的以下文档。

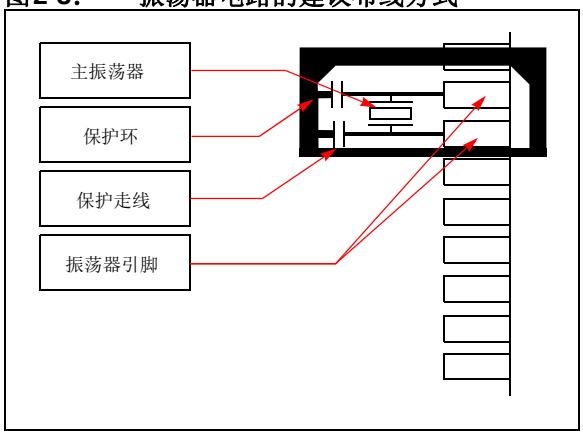
- *“Using MPLAB® ICD 3”*（海报）（DS51765）
- 《多工具设计忠告》（DS51764C_CN）
- 《适用于MPLAB® X IDE的MPLAB® REAL ICE™在线仿真器用户指南》（DS50002085E_CN）
- *“Using MPLAB® REAL ICE™ In-Circuit Emulator”*（海报）（DS51749）

2.6 外部振荡器引脚

许多DSC都有至少两个振荡器可供选择：高频主振荡器和低频辅助振荡器。有关详细信息，请参见**第8.0节“振荡器配置”**。

振荡器电路与器件应放置在电路板的同一层。此外，请将振荡器电路放置在靠近相应振荡器引脚的位置，它们之间的距离不要超出0.5英寸（12毫米）。负载电容应靠近振荡器本身，位于电路板的同一层。请在振荡器电路周围使用接地覆铜区，以将其与周围电路隔离。接地覆铜区应与MCU地直接连接。不要在接地覆铜区内安排任何信号走线或电源走线。此外，如果使用双面电路板，请避免在电路板上晶振所在位置的背面有任何走线。图2-3给出了一个建议的布线图。

图2-3： 振荡器电路的建议布线方式



2.7 器件启动时的振荡器值条件

如果目标器件的PLL被使能且配置为器件启动时使用的振荡器，则振荡器源的最高频率必须限制为3 MHz < FIN < 5.5 MHz，以符合器件的PLL启动条件。这意味着，如果外部振荡器频率超出该范围，应用必须首先在FRC模式下启动。如果POR之后的默认PLL设置的振荡器频率超出该范围，将违反器件工作速度。

器件上电之后，应用固件可以将PLL SFR、CLKDIV和PLLDBF初始化为适当的值，然后执行时钟切换，切换为振荡器 + PLL时钟源。注意，必须在器件配置字中使能时钟切换。

2.8 未用I/O

未用I/O引脚应配置为输出，并驱动为逻辑低电平状态。

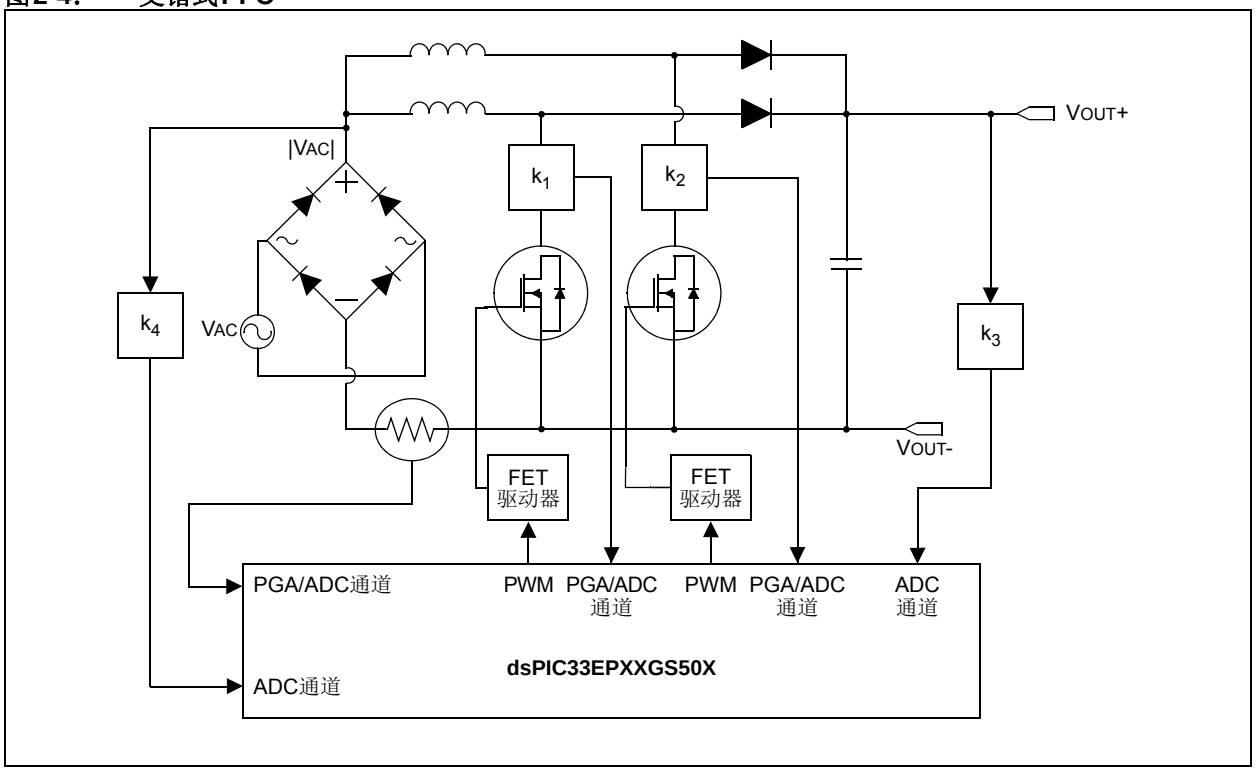
或者，在VSS和未用引脚之间连接一个1k至10k的电阻，并将输出驱动为逻辑低电平。

2.9 目标应用

- 功率因数校正（Power Factor Correction，PFC）
  - 交错式PFC
  - 临界导通PFC
  - 无桥PFC
- 直流/直流转换器
  - 降压、升压、正激、反激和推挽
  - 半桥/全桥
  - 相移全桥
  - 谐振转换器
- 直流/交流
  - 半桥/全桥逆变器
  - 谐振逆变器

图2-4至图2-6给出了典型应用连接的示例。

图2-4： 交错式PFC



© 2015-2018 Microchip Technology Inc.

图2-5： 相移全桥转换器

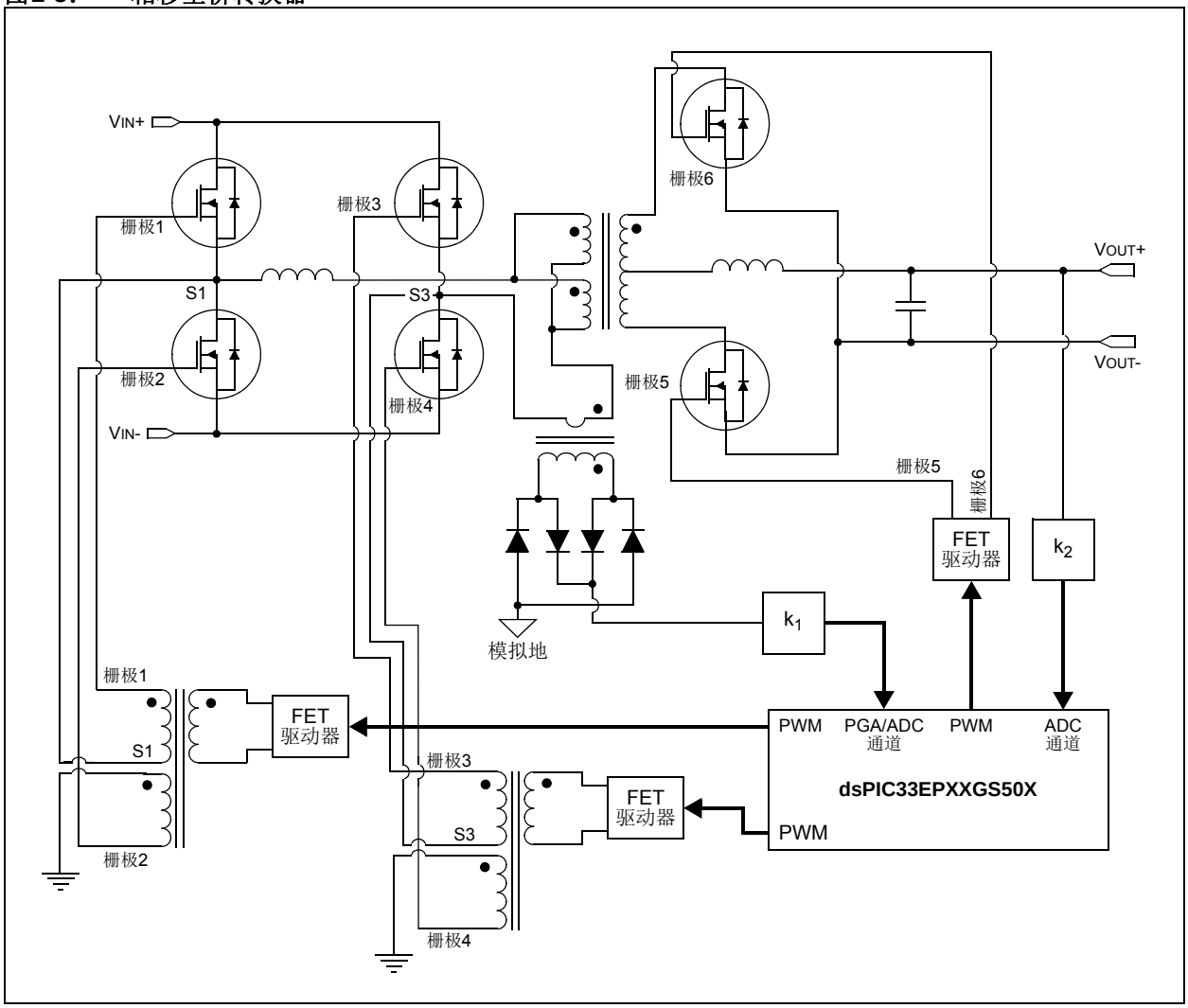
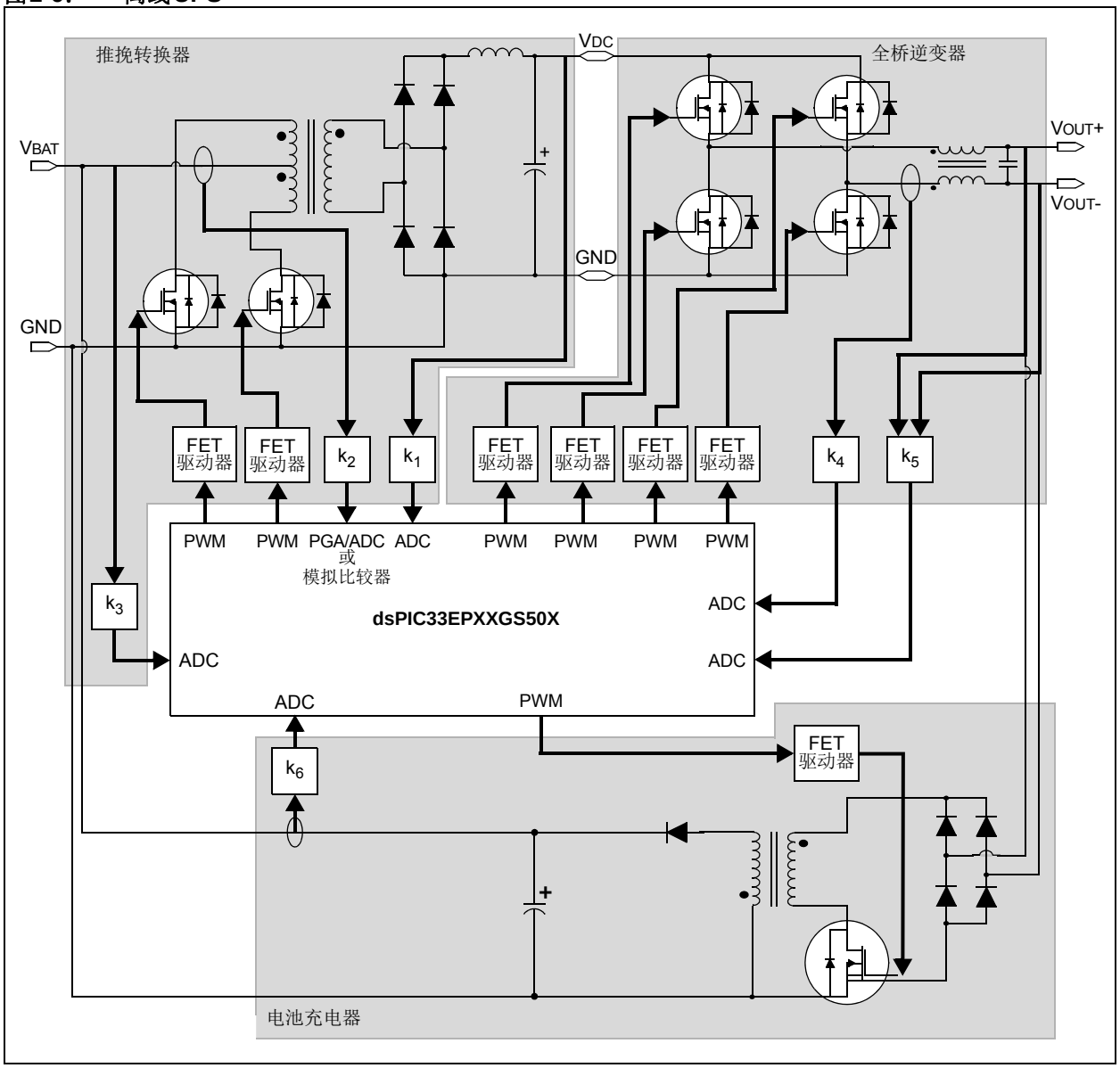

VIN+
VIN-
栅极1
栅极2
栅极3
栅极4
栅极5
栅极6
S1
S3
VOUT+
VOUT-
模拟地
FET
驱动器
k1
k2
PWM
PGA/ADC
通道
ADC
通道
dsPIC33EPXXGS50X

图2-6： 离线UPS



© 2015-2018 Microchip Technology Inc.

3.0 CPU

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“CPU”**（DS70359），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

dsPIC33EPXXGS50X系列CPU采用16位数据总线的改进型哈佛架构，具有增强指令集，以及对数字信号处理（Digital Signal Processing，DSP）的重要支持。CPU具有24位指令字，指令字包含长度可变的操作码字段。程序计数器（Program Counter，PC）为23位宽，可以寻址最大4M x 24位的用户程序存储空间。

指令预取机制可帮助维持吞吐量，并使指令的执行具有可预测性。除了改变程序流的指令、双字传送（MOV.D）指令、PSV访问和表指令以外，大多数指令都以单个周期有效执行速率执行。使用DO和REPEAT指令支持无开销的程序循环结构，这两条指令在任何时间都可以被中断。

3.1 寄存器

dsPIC33EPXXGS50X器件在编程模型中有16个16位工作寄存器。每个工作寄存器都可以充当数据、地址或地址偏移量寄存器。第16个工作寄存器（W15）作为软件堆栈指针工作，用于中断和调用。

另外，dsPIC33EPXXGS50X器件还包括两个备用寄存器组，由W0到W14组成。备用寄存器的内容是可持久保存的，有助于在中断服务程序（Interrupt Service Routine，ISR）执行期间减少寄存器内容的保存和恢复开销。可以通过配置FALTREG配置寄存器的CTXTx<2:0>位，为备用工作寄存器分配特定的中断优先级（IPL1到IPL6）。也可以使用CTXTSWP指令手动访问备用工作寄存器。CTXTSTAT寄存器中的CCTXI<2:0>和MCTXI<2:0>位可用于识别当前和最近手动选择的工作寄存器组。

3.2 指令集

dsPIC33EPXXGS50X器件的指令集包含两类指令：MCU类指令和DSP类指令。这两类指令无缝地集成到架构中，并从单个执行单元执行。指令集包含多种寻址模式，指令的设计可使C编译器的效率达到最优。

3.3 数据空间寻址

基本数据空间可以作为最大4K字或8 KB寻址，并被分成两块，称为X和Y数据存储区。每个存储块有各自独立的地址发生单元（Address Generation Unit，AGU）。MCU类指令只通过X存储区AGU进行操作，可将整个存储器映射作为一个线性数据空间访问。某些DSP指令通过X和Y的AGU进行操作以支持双操作数读操作，这样会将数据地址空间分成两个部分。X和Y数据空间的边界视具体器件而定。

可以选择将数据存储空间的高32 KB映射到任何16K程序字范围的程序空间（Program Space，PS）。程序空间到数据空间的映射功能（称为程序空间可视性（Program Space Visibility，PSV））让任何指令都能像访问数据空间一样访问程序空间。有关PSV和表访问的更多详细信息，请参见《dsPIC33/PIC24系列参考手册》中的**“数据存储器”**（DS70595）。

在dsPIC33EPXXGS50X器件上，X和Y地址空间都支持无开销循环缓冲区（模寻址）。模寻址省去了DSP算法的软件边界检查开销。此外，X AGU的循环寻址可以用于任何MCU类指令。X AGU还支持位反转寻址，这大幅简化了基2 FFT算法对输入或输出数据的重新排序。

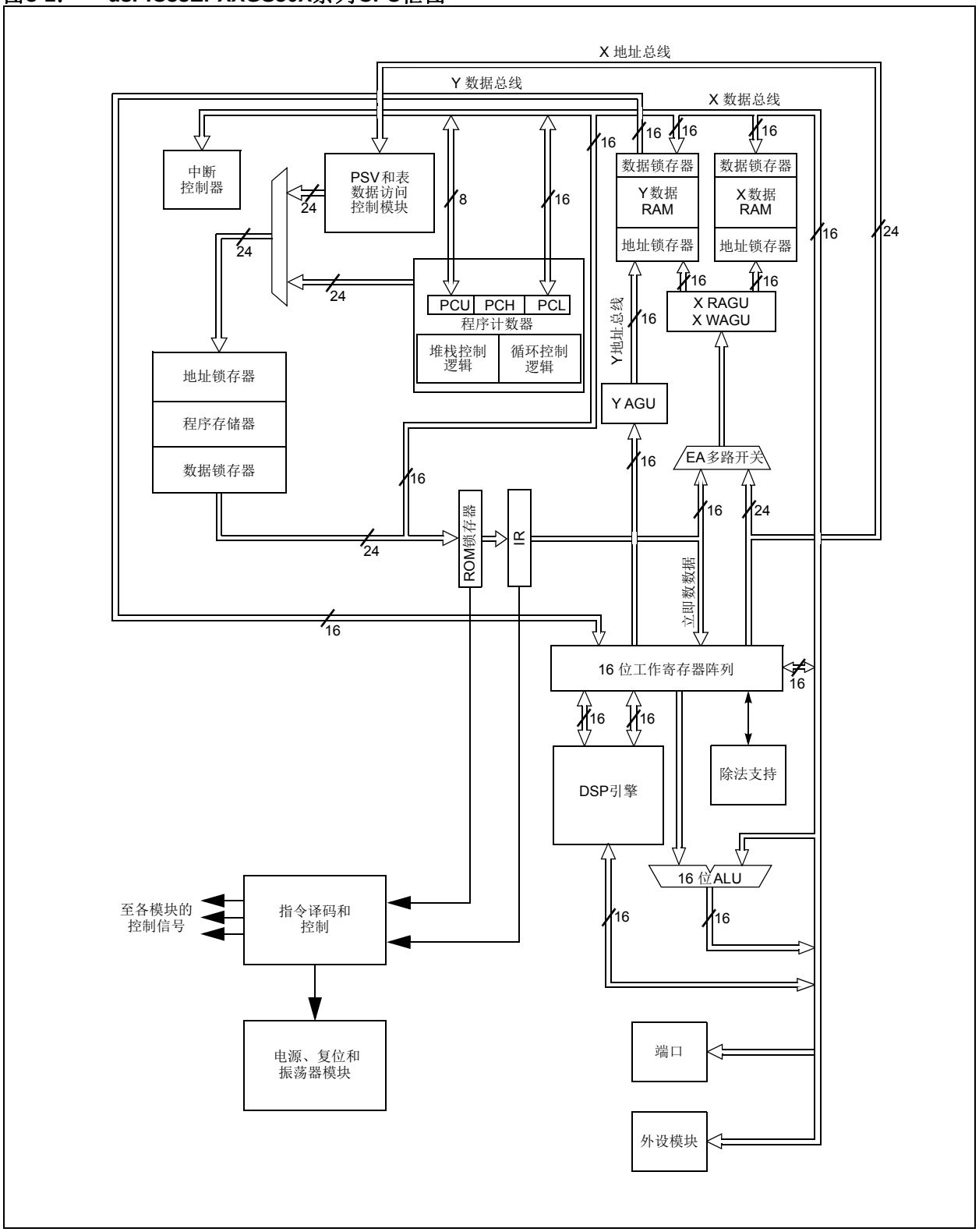
3.4 寻址模式

CPU支持以下寻址模式：

- 固有寻址（无操作数）
- 相对寻址
- 立即数寻址
- 存储器直接寻址
- 寄存器直接寻址
- 寄存器间接寻址

根据每条指令的功能要求，每条指令与预定义的寻址模式组相关联。每条指令最多支持六种寻址模式。

图3-1： dsPIC33EPXXGS50X系列CPU框图



© 2015-2018 Microchip Technology Inc.

3.5 编程模型

图3-2给出了dsPIC33EPXXGS50X系列的编程模型。编程模型中的所有寄存器都是存储器映射的，并且可以通过指令直接操作。表3-1列出了对每个寄存器的说明。

除了编程模型中包含的寄存器，dsPIC33EPXXGS50X系列器件还包含用于模寻址、位反转寻址和中断的控制寄存器。这些寄存器将在本文档后续章节中进行说明。

与编程模型相关的所有寄存器都是存储器映射的，如表3-1中所示。

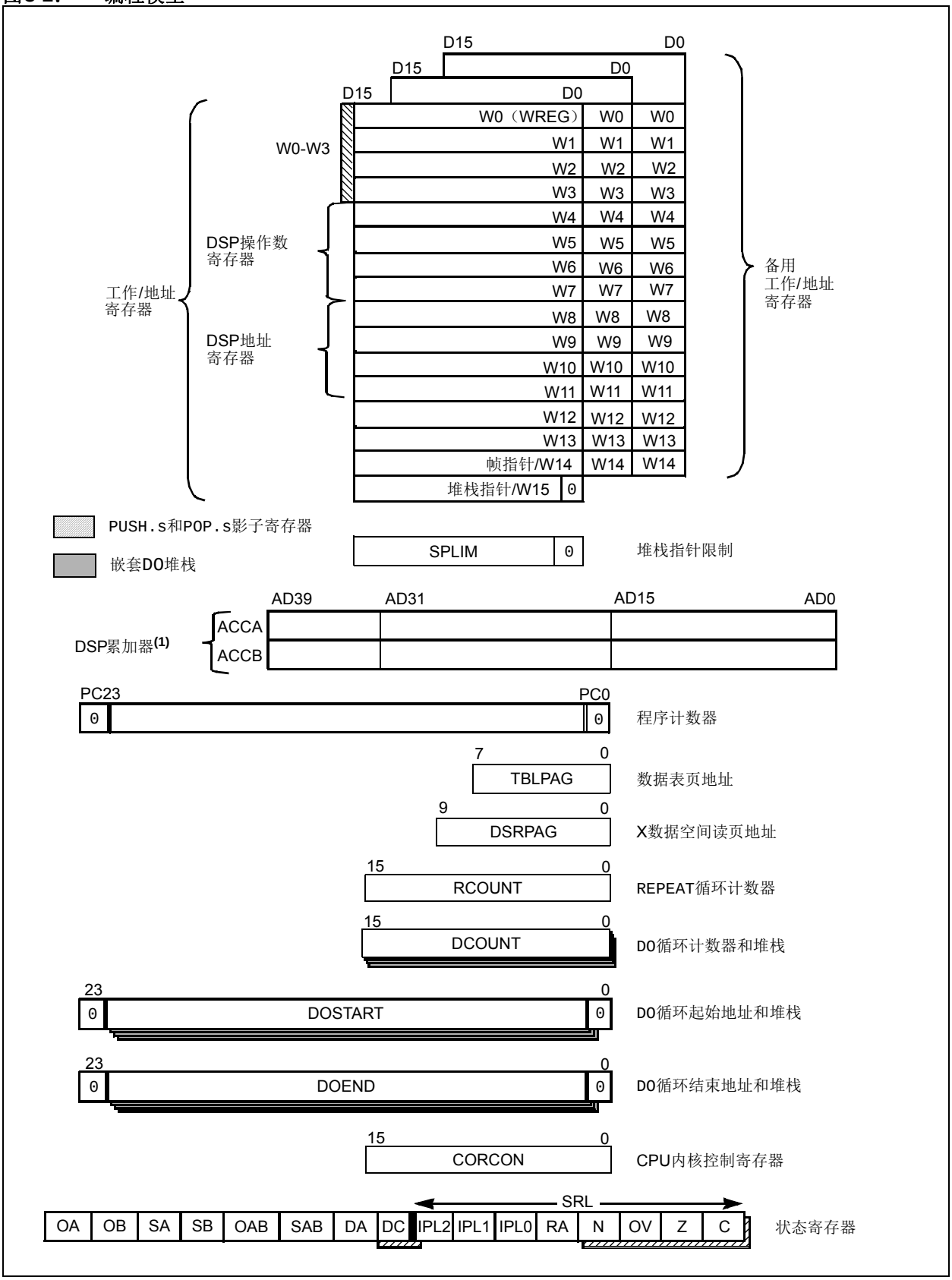
表3-1： 编程模型的寄存器说明

寄存器名称	说明
W0至W15(1)	工作寄存器阵列
W0至W14(1)	备用工作寄存器阵列1
W0至W14(1)	备用工作寄存器阵列2
ACCA和ACCB	40位DSP累加器
PC	23位程序计数器
SR	ALU和DSP引擎状态寄存器
SPLIM	堆栈指针限制值寄存器
TBLPAG	表存储器页地址寄存器
DSRPAG	扩展数据空间（Extended Data Space，EDS）读页寄存器
RCOUNT	REPEAT循环计数寄存器
DCOUNT	DO循环计数寄存器
DOSTARTH(2)和DOSTARTL(2)	DO循环起始地址寄存器（高位字和低位字）
DOENDH和DOENDL	DO循环结束地址寄存器（高位字和低位字）
CORCON	包含DSP引擎以及DO循环控制和陷阱状态位

注 1： 存储器映射的W0至W14表示当前激活的CPU现场中寄存器的值。

2： DOSTARTH和DOSTARTL寄存器是只读的。

图3-2： 编程模型



© 2015-2018 Microchip Technology Inc.

3.6 CPU资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

3.6.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

3.7 CPU控制寄存器

寄存器3-1： SR：CPU状态寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/C-0	R/C-0	R-0	R/W-0
OA	OB	SA(3)	SB(3)	OAB	SAB	DA	DC
bit 15							bit 8

R/W-0(2)	R/W-0(2)	R/W-0(2)	R-0	R/W-0	R/W-0	R/W-0	R/W-0
IPL2(1)	IPL1(1)	IPL0(1)	RA	N	OV	Z	C
bit 7							bit 0

图注：	C = 可清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **OA：** 累加器A溢出状态位
1 = 累加器A已溢出
0 = 累加器A未溢出

bit 14 **OB：** 累加器B溢出状态位
1 = 累加器B已溢出
0 = 累加器B未溢出

bit 13 **SA：** 累加器A饱和“粘住”状态位(3)
1 = 累加器A饱和或在某时已经饱和
0 = 累加器A未饱和

bit 12 **SB：** 累加器B饱和“粘住”状态位(3)
1 = 累加器B饱和或在某时已经饱和
0 = 累加器B未饱和

bit 11 **OAB：** OA和OB组合的累加器溢出状态位
1 = 累加器A或B已溢出
0 = 累加器A和累加器B都未溢出

bit 10 **SAB：** SA和SB组合的累加器“粘住”状态位
1 = 累加器A或B饱和或在过去某时已经饱和
0 = 累加器A和B都未饱和

bit 9 **DA：** DO循环活动位
1 = 正在进行DO循环
0 = 不在进行DO循环

bit 8 **DC：** MCU ALU半进位/借位标志位
1 = 结果的第4个低位（对于字节大小的数据）或第8个低位（对于字大小的数据）发生了进位
0 = 结果的第4个低位（对于字节大小的数据）或第8个低位（对于字大小的数据）未发生进位

注 1： IPL<2:0>位与IPL<3>位（CORCON<3>）组合形成CPU中断优先级。如果IPL<3> = 1，那么括号中的值表示IPL。当IPL<3> = 1时，禁止用户中断。

2： 当NSTDIS（INTCON1<15>）= 1时，IPL<2:0>状态位是只读的。

3： 对SR寄存器的数据写操作可以修改SA和SB位，方法是向SA和SB写入数据或清零SAB位。要避免可能出现的SA或SB位写竞争条件，不要使用位操作来修改SA和SB位。

© 2015-2018 Microchip Technology Inc.

寄存器3-1：　　SR：CPU状态寄存器（续）

bit 7-5　**IPL<2:0>**：CPU中断优先级状态位(1,2)
111 = CPU中断优先级为7（15）；禁止用户中断
110 = CPU中断优先级为6（14）
101 = CPU中断优先级为5（13）
100 = CPU中断优先级为4（12）
011 = CPU中断优先级为3（11）
010 = CPU中断优先级为2（10）
001 = CPU中断优先级为1（9）
000 = CPU中断优先级为0（8）

bit 4　**RA**：REPEAT循环活动位
1 = 正在进行REPEAT循环
0 = 不在进行REPEAT循环

bit 3　**N**：MCU ALU负标志位
1 = 结果为负
0 = 结果为非负（零或正值）

bit 2　**OV**：MCU ALU溢出标志位
该位用于有符号的算术运算（以二进制补码方式进行）。它表示量值上的溢出，这种溢出将导致符号位改变状态。
1 = 有符号算术运算中发生溢出（本次算术运算）
0 = 未发生溢出

bit 1　**Z**：MCU ALU全零标志位
1 = 影响Z位的任何运算在过去某时已将该位置1
0 = 影响Z位的最近一次运算已将该位清零（即运算结果非零）

bit 0　**C**：MCU ALU进位/借位标志位
1 = 结果的最高有效位发生了进位
0 = 结果的最高有效位未发生进位

注 1： IPL<2:0>位与IPL<3>位（CORCON<3>）组合形成CPU中断优先级。如果IPL<3> = 1，那么括号中的值表示IPL。当IPL<3> = 1时，禁止用户中断。
2： 当NSTDIS（INTCON1<15>）= 1时，IPL<2:0>状态位是只读的。
3： 对SR寄存器的数据写操作可以修改SA和SB位，方法是向SA和SB写入数据或清零SAB位。要避免可能出现的SA或SB位写竞争条件，不要使用位操作来修改SA和SB位。

寄存器3-2：　　CORCON：内核控制寄存器

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-0
VAR	—	US1	US0	EDT(1)	DL2	DL1	DL0
bit 15							bit 8

R/W-0	R/W-0	R/W-1	R/W-0	R/C-0	R-0	R/W-0	R/W-0
SATA	SATB	SATDW	ACCSAT	IPL3(2)	SFA	RND	IF
bit 7							bit 0

图注：	C = 可清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15　**VAR：**可变异常处理延时控制位
1 = 使能可变异常处理延时
0 = 使能固定异常处理延时

bit 14　**未实现：**读为0

bit 13-12　**US<1:0>：**DSP乘法无符号/有符号控制位
11 = 保留
10 = DSP引擎执行混合符号乘法运算
01 = DSP引擎执行无符号乘法运算
00 = DSP引擎执行有符号乘法运算

bit 11　**EDT：**DO循环提前终止控制位(1)
1 = 在当前循环迭代结束时终止执行DO循环
0 = 无影响

bit 10-8　**DL<2:0>：**DO循环嵌套层级状态位
111 = 正在进行7层DO循环嵌套
•
•
•
001 = 正在进行1层DO循环嵌套
000 = 正在进行0层DO循环嵌套

bit 7　**SATA：**ACCA饱和使能位
1 = 使能累加器A饱和
0 = 禁止累加器A饱和

bit 6　**SATB：**ACCB饱和使能位
1 = 使能累加器B饱和
0 = 禁止累加器B饱和

bit 5　**SATDW：**DSP引擎的数据空间写饱和使能位
1 = 使能数据空间写饱和
0 = 禁止数据空间写饱和

bit 4　**ACCSAT：**累加器饱和模式选择位
1 = 9.31饱和（超饱和）
0 = 1.31饱和（正常饱和）

bit 3　**IPL3：**CPU中断优先级状态位3(2)
1 = CPU中断优先级大于7
0 = CPU中断优先级等于或小于7

注 1： 该位将总是读为0。
2： IPL3位与IPL<2:0>位（SR<7:5>）组合形成CPU中断优先级。

© 2015-2018 Microchip Technology Inc.

寄存器3-2： CORCON：内核控制寄存器（续）

bit 2 **SFA：**堆栈帧有效状态位
1 = 堆栈桢有效；无论DSRPAG如何，W14和W15都寻址0x0000至0xFFFF
0 = 堆栈帧无效；W14和W15寻址基本数据空间

bit 1 **RND：**舍入模式选择位
1 = 使能有偏（常规）舍入
0 = 使能无偏（收敛）舍入

bit 0 **IF：**整数或小数乘法器模式选择位
1 = 使能整数模式的DSP乘法运算
0 = 使能小数模式的DSP乘法运算

注 1： 该位将总是读为0。
2： IPL3位与IPL<2:0>位（SR<7:5>）组合形成CPU中断优先级。

寄存器3-3： CTXTSTAT：CPU W寄存器现场状态寄存器

U-0	U-0	U-0	U-0	U-0	R-0	R-0	R-0
—	—	—	—	—	CCTXI2	CCTXI1	CCTXI0
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	R-0	R-0	R-0
—	—	—	—	—	MCTXI2	MCTXI1	MCTXI0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-11 **未实现：**读为0

bit 10-8 **CCTXI<2:0>：**当前（W寄存器）现场标识符位
111 = 保留
•
•
•
011 = 保留
010 = 当前正在使用备用工作寄存器组2
001 = 当前正在使用备用工作寄存器组1
000 = 当前正在使用默认寄存器组

bit 7-3 **未实现：**读为0

bit 2-0 **MCTXI<2:0>：**手动（W寄存器）现场标识符位
111 = 保留
•
•
•
011 = 保留
010 = 最近手动选择了备用工作寄存器组2
001 = 最近手动选择了备用工作寄存器组1
000 = 最近手动选择了默认寄存器组

3.8 算术逻辑单元（ALU）

dsPIC33EPXXGS50X系列的ALU为16位宽，能进行加法、减法、移位和逻辑运算。除非另外说明，算术运算一般采用二进制补码方式进行。根据不同的运算，ALU可能会影响SR寄存器中的进位标志位（C）、全零标志位（Z）、负标志位（N）、溢出标志位（OV）和半进位标志位（DC）的值。在减法运算中，C和DC状态位分别作为借位位和半借位位。

根据所使用的指令模式，ALU可执行8位或16位运算。根据指令的寻址模式，ALU运算的数据可以来自W寄存器阵列或数据存储器。同样，ALU的输出数据可被写入W寄存器阵列或数据存储单元。

关于每条指令所影响的SR位的信息，请参见《16位MCU和DSC程序员参考手册》（DS70157E_CN）。

内核CPU融入了对乘法和除法的硬件支持。这包括专门的硬件乘法器以及支持16位除数除法的硬件。

3.8.1 乘法器

通过使用高速17位x 17位乘法器，ALU支持无符号、有符号或混合符号乘法运算的几种MCU乘法模式：

- 16位有符号x 16位有符号
- 16位无符号x 16位无符号
- 16位有符号x 5位（立即数）无符号
- 16位有符号x 16位无符号
- 16位无符号x 5位（立即数）无符号
- 16位无符号x 16位有符号
- 8位无符号x 8位无符号

3.8.2 除法器

除法模块支持具有以下数据长度的32位/16位和16位/16位有符号和无符号整数除法运算：

- 32位有符号/16位有符号除法
- 32位无符号/16位无符号除法
- 16位有符号/16位有符号除法
- 16位无符号/16位无符号除法

所有除法指令的商都存放在W0中，余数放在W1中。16位有符号和无符号DIV指令可为16位除数指定任一W寄存器（Wn），为32位被除数指定任意两个连续的W寄存器（W(m + 1):Wm）。除法运算中处理除数的每一位需要一个周期，因此32位/16位和16位/16位指令的执行周期数相同。

3.9 DSP引擎

DSP引擎由一个高速17位x 17位乘法器、一个40位桶形移位寄存器和一个40位加法器/减法器（带两个目标累加器、舍入逻辑和饱和逻辑）组成。

DSP引擎还能执行固有、不需要其他数据的累加器-累加器操作。这些指令是ADD、SUB和NEG。

通过CPU内核控制寄存器（CORCON）中的各个位，可以对DSP引擎的操作进行多种选择，这些选择如下：

- 小数或整数DSP乘法（IF）
- 有符号、无符号或混合符号DSP乘法（USx）
- 常规或收敛舍入（RND）
- ACCA自动饱和使能/禁止（SATA）
- ACCB自动饱和使能/禁止（SATB）
- 对于写数据存储器的自动饱和使能/禁止（SATDW）
- 累加器饱和模式选择（ACCSAT）

表3-2： DSP指令汇总

指令	代数运算	ACC回写
CLR	$A = 0$	是
ED	$A = (x - y)^2$	否
EDAC	$A = A + (x - y)^2$	否
MAC	$A = A + (x \cdot y)$	是
MAC	$A = A + x^2$	否
MOVSAC	A中内容将不发生改变	是
MPY	$A = x \cdot y$	否
MPY	$A = x^2$	否
MPY.N	$A = -x \cdot y$	否
MSC	$A = A - x \cdot y$	是

© 2015-2018 Microchip Technology Inc.

4.0 存储器构成

注： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“dsPIC33E/PIC24E程序存储器”**（DS70000613），该文档可从Microchip网站（www.microchip.com）下载。

dsPIC33EPXXGS50X系列的架构具有独立的程序和数据存储空间以及总线。这一架构同时还允许在代码执行过程中从数据空间（Data Space，DS）直接访问程序存储器。

4.1 程序地址空间

dsPIC33EPXXGS50X系列器件的程序存储空间可存储4M个指令字。可通过由程序执行过程中23位PC或者**第4.9节“程序存储空间与数据存储空间的接口”**中所述的表操作或数据空间重映射得到的24位值寻址这一空间。

用户应用只能访问程序存储空间的低半地址范围（0x000000至0x7FFFFF）。使用TBLRD指令时，情况有所不同，该指令使用TBLPAG<7>以允许访问配置存储空间中的校准数据和器件ID部分。

图4-1至图4-3给出了不在双分区模式下工作的dsPIC33EP16/32GS50X和dsPIC33EP64GS50X器件的程序存储器映射。

dsPIC33EP64GS50X器件可以在双分区闪存程序存储器模式下工作，其中用户闪存程序存储区分为两个独立的地址空间，每个地址空间对应一个闪存分区。活动分区始终以地址0x000000开始，包含可用闪存的一半（32K）。非活动分区始终以地址0x400000开始，实现剩余的一半闪存。如图4-4所示，活动分区和非活动分区完全相同，均包含复位向量、中断向量表（IVT和AIVT，如果使能）和闪存配置字的惟一副本。

4.2 惟一器件标识符（UDID）

所有（16位）系列器件在最终制造环节都单独编码了惟一器件标识符或UDID。此功能允许在需要时在应用中实现Microchip器件的制造跟踪。应用制造商亦可将此功能用于需要惟一标识的许多应用场合，例如：

- 跟踪器件
- 惟一序列号
- 惟一安全秘钥

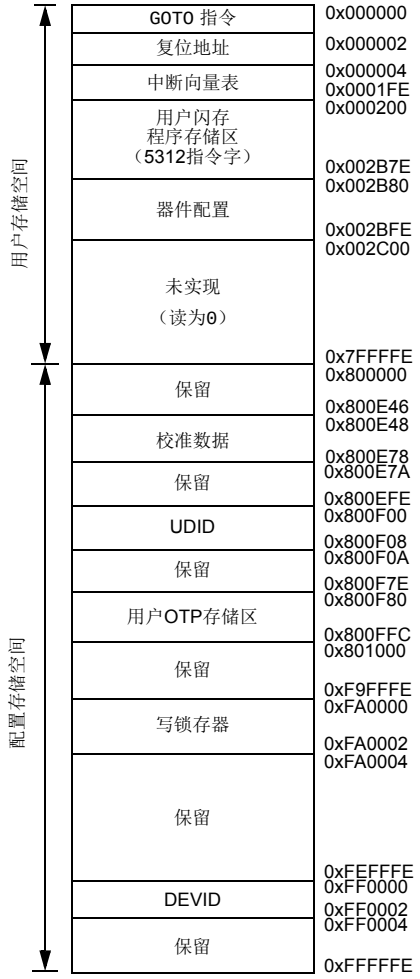
UDID由5个24位程序字构成。这些字段一起构成一个惟一的120位标识符。

UDID存储在器件配置空间中位于800F00h至800F08h的5个只读存储单元中。表4-1列出了这些标识符字的地址及其内容。

表4-1： UDID地址

名称	地址	Bit 23:16	Bit 15:8	Bit 7:0
UDID1	800F00	UDID 字 1		
UDID2	800F02	UDID 字 2		
UDID3	800F04	UDID 字 3		
UDID4	800F06	UDID 字 4		
UDID5	800F08	UDID 字 5		

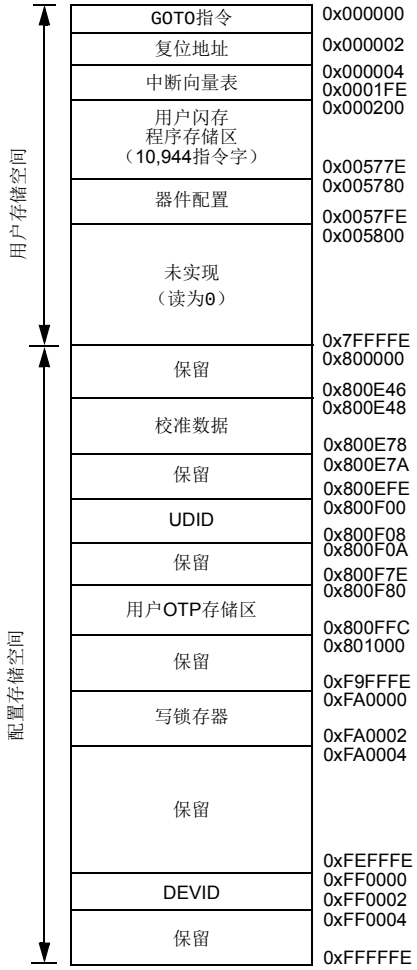
图4-1： dsPIC33EP16GS50X器件的程序存储器映射



注： 存储区未按比例显示。

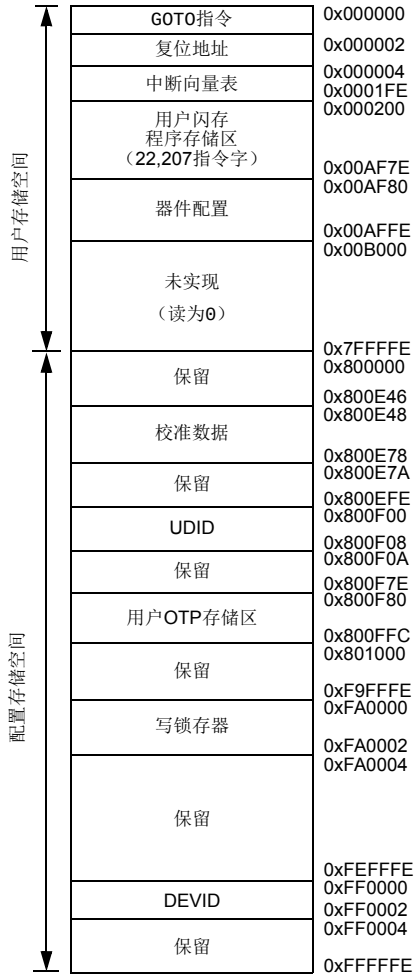
© 2015-2018 Microchip Technology Inc.

图4-2： dsPIC33EP32GS50X器件的程序存储器映射



注： 存储区未按比例显示。

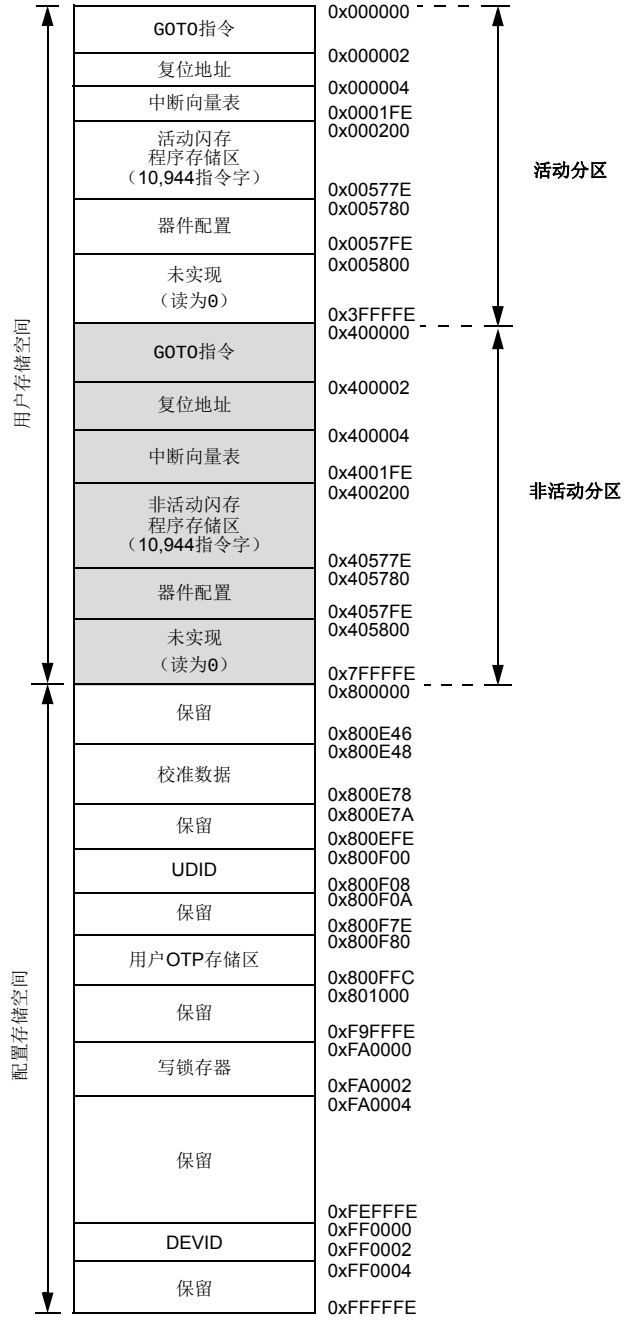
图4-3： dsPIC33EP64GS50X器件的程序存储器映射



注： 存储区未按比例显示。

© 2015-2018 Microchip Technology Inc.

图4-4： dsPIC33EP64GS50X器件的程序存储器（双分区）



注： 存储区未按比例显示。

4.2.1 程序存储器构成

程序存储空间由可字寻址的块构成。虽然它被视为24位宽，但将程序存储器的每个地址单元视作一个低位字和一个高位字的组合更加合理，其中高位字的高字节部分未实现。低位字的地址始终为偶数，而高位字的地址为奇数（图4-5）。

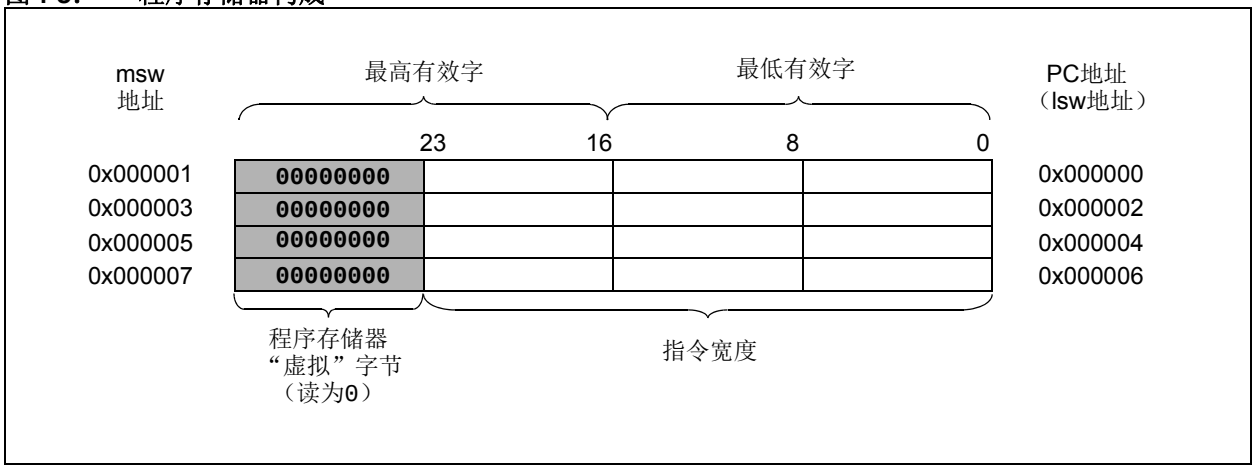
程序存储器地址始终在低位字处按字对齐，并且在代码执行过程中地址将递增或递减2。这种寻址模式也与数据存储空间寻址兼容，且为访问程序存储空间中的数据提供了可能。

4.2.2 中断和陷阱向量

所有dsPIC33EPXXGS50X系列器件中从0x000000至0x000200之间的地址空间都是保留的，用来存储硬编码的程序执行向量。提供了一个硬件复位向量将代码执行从器件复位时PC的默认值重定位到代码实际起始处。用户应用程序可在闪存地址0x000000处编写一条GOTO指令，以将代码的实际起始地址设置为闪存地址0x000002。

关于中断向量表（Interrupt Vector Table，IVT）更详细的讨论，请参见**第7.1节“中断向量表”**。

图4-5： 程序存储器构成



© 2015-2018 Microchip Technology Inc.

4.3 数据地址空间

dsPIC33EPXXGS50X系列CPU具有独立的16位宽数据存储空间。使用独立的地址发生单元（AGU）对数据空间执行读写操作。器件存储器映射如图4-6至图4-8所示。

数据存储空间中的所有有效地址（Effective Address，EA）均为16位宽，并且指向数据空间内的字节。这种构成方式使得基本数据空间地址范围为64 KB或32K字。

数据存储空间的低半地址部分（即当EA<15> = 0时）用作实现的存储单元，而高半地址部分（EA<15> = 1）则保留为程序空间可视性（PSV）区域。

dsPIC33EPXXGS50X系列器件实现了最大12 KB的数据存储空间。如果EA指向了该区域以外的存储单元，则将返回一个全零的字或字节。

4.3.1 数据空间宽度

数据存储空间组织为可字节寻址的16位宽的块。在数据存储器和寄存器中的数据是以16位字为单位对齐的，但所有数据空间EA都将解析为字节。每个字的最低有效字节（Least Significant Byte，LSB）具有偶地址，而最高有效字节（Most Significant Byte，MSB）则具有奇地址。

4.3.2 数据存储器构成和对齐方式

为维持与PIC® MCU器件的向后兼容性和提高数据存储空间的使用效率，dsPIC33EPXXGS50X系列指令集同时支持字和字节操作。字节访问会在内部对按字对齐的存储空间的所有有效地址计算进行调整。例如，对于执行后修改寄存器间接寻址模式[Ws++]，字节操作时，内核将其识别为值Ws + 1；而字操作时，内核将其识别为值Ws + 2。

数据字节读取将读取包含字节的整个字，使用任何EA的LSb来确定要选取的字节。选定的字节被放在数据总线的LSB。这就是说，数据存储器和寄存器被组织为两个并行的字节宽的实体，它们共享（字）地址译码，但写入线相互独立。数据字节写操作只写入阵列或寄存器中与字节地址匹配的那一侧。

所有字访问必须按偶地址对齐。不支持不对齐的字数据取操作，所以在混合字节和字操作时，或者从8位MCU代码移植时，必须要小心。如果试图进行不对齐的读或写操作，将产生地址错误陷阱。如果在读操作时产生错误，正在执行的指令将完成；而如果在写操作时产生错误，指令仍将执行，但不会进行写入。无论是哪种情况，都会执行陷阱，允许系统和/或用户应用程序检查地址错误发生之前的机器状态。

所有装入W寄存器的字节都将被装入LSB，但MSB不会更改。

提供了一条符号扩展（SE）指令，允许用户应用程序将8位有符号数据转换为16位有符号值。或者，对于16位无符号数据，用户应用程序可以通过在适当地址处执行一条零扩展（ZE）指令清零任何W寄存器的MSB。

4.3.3 SFR空间

Near数据空间的前4 KB存储单元（从0x0000至0x0FFF）主要被特殊功能寄存器（Special Function Register，SFR）占用。dsPIC33EPXXGS50X系列内核和外设模块使用这些寄存器来控制器件的工作。

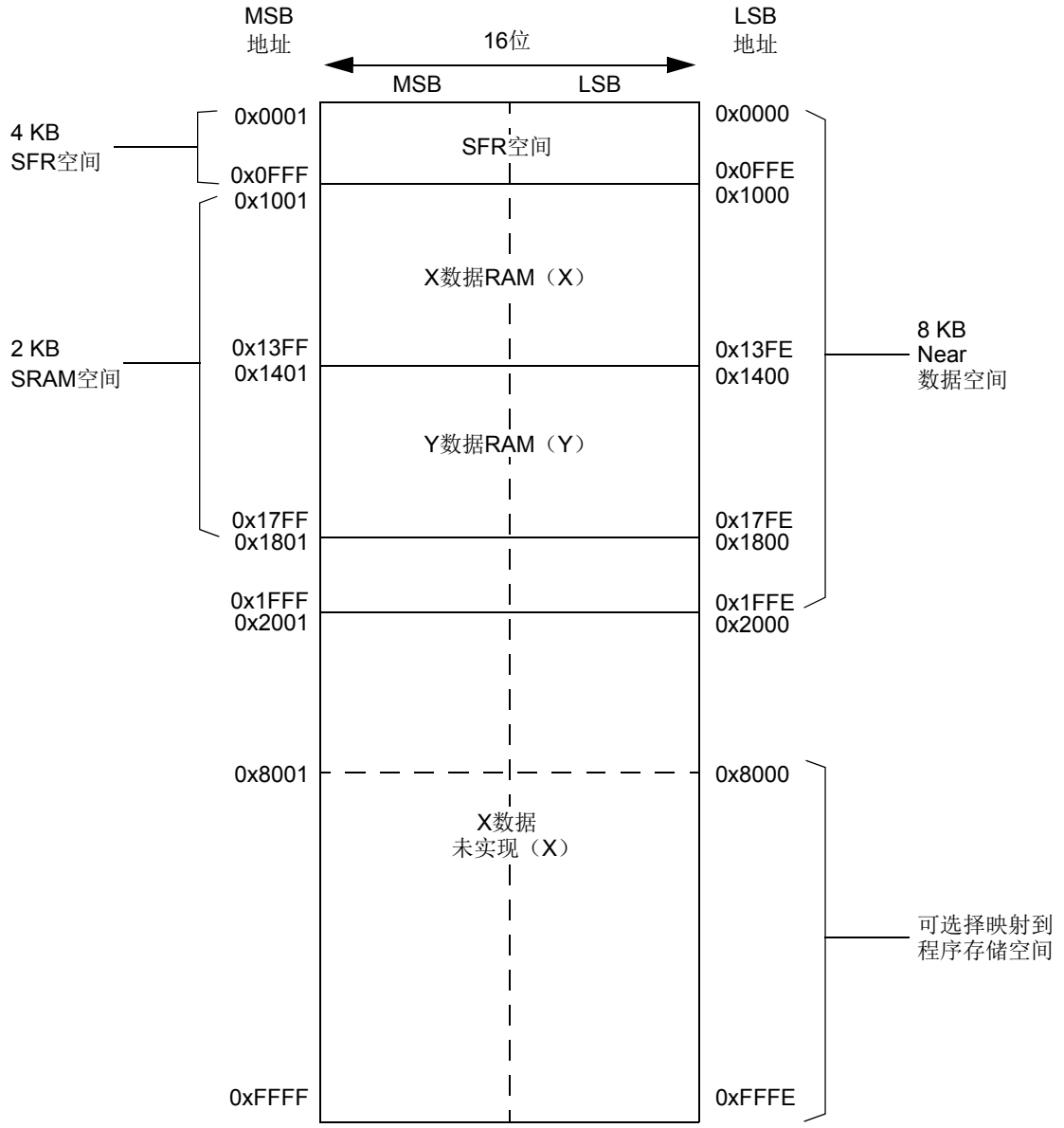
SFR分布在受其控制的模块中，通常一个模块会使用一组SFR。大部分SFR空间包含未用的地址单元；它们读为0。

注：	不同器件的实际外设功能集和中断也各不相同。关于具体器件的信息，请参见相应器件的数据表和引脚图。

4.3.4 NEAR数据空间

在0x0000和0x1FFF之间的8 KB的区域被称为Near数据空间。可以使用所有存储器直接寻址指令中的13位绝对地址字段直接寻址这一空间中的存储单元。此外，还可以使用MOV指令寻址整个数据空间，MOV指令支持使用16位地址字段的存储器直接寻址模式或使用工作寄存器作为地址指针的间接寻址模式。

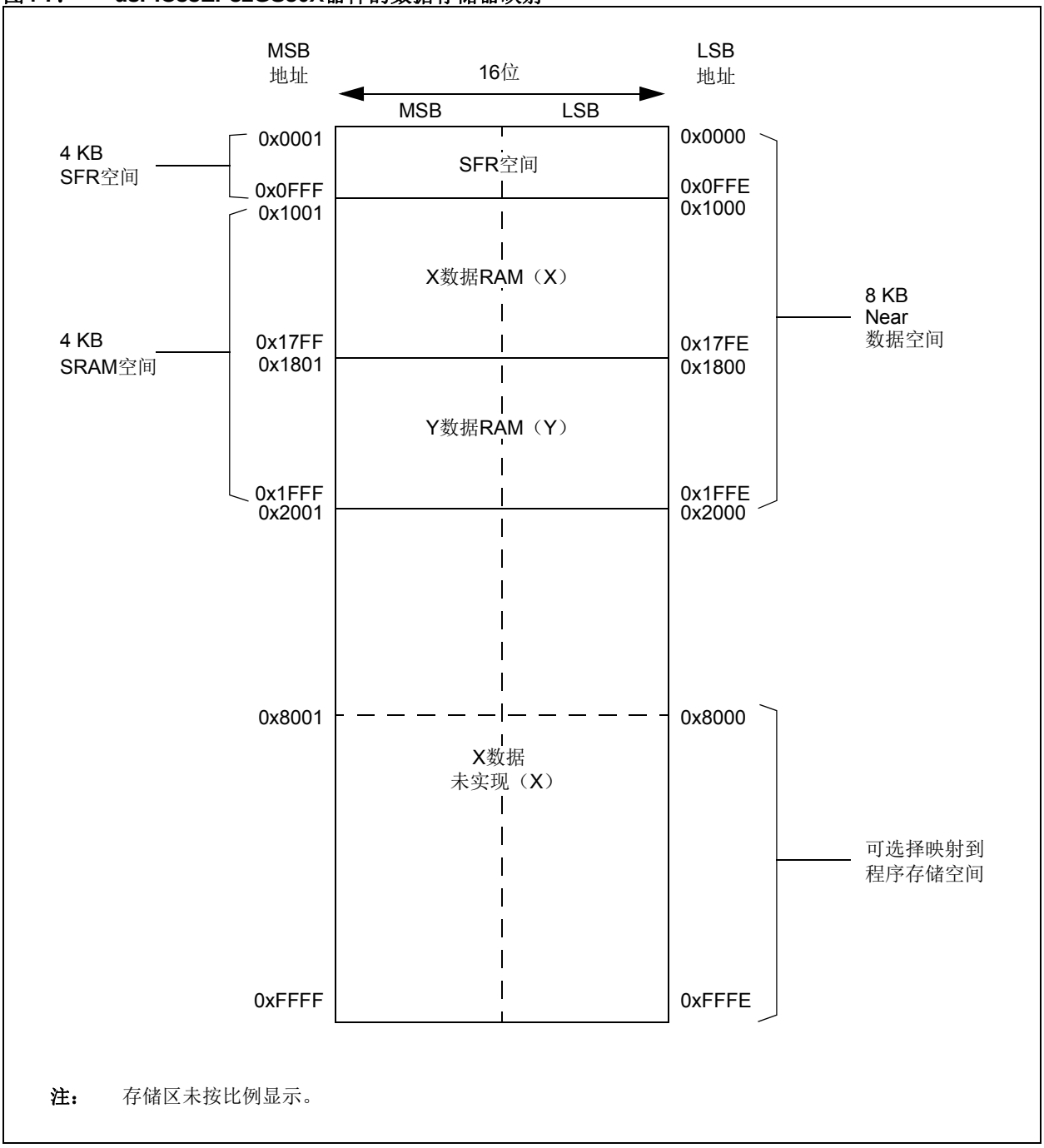
图4-6： dsPIC33EP16GS50X器件的数据存储器映射



注： 存储区未按比例显示。

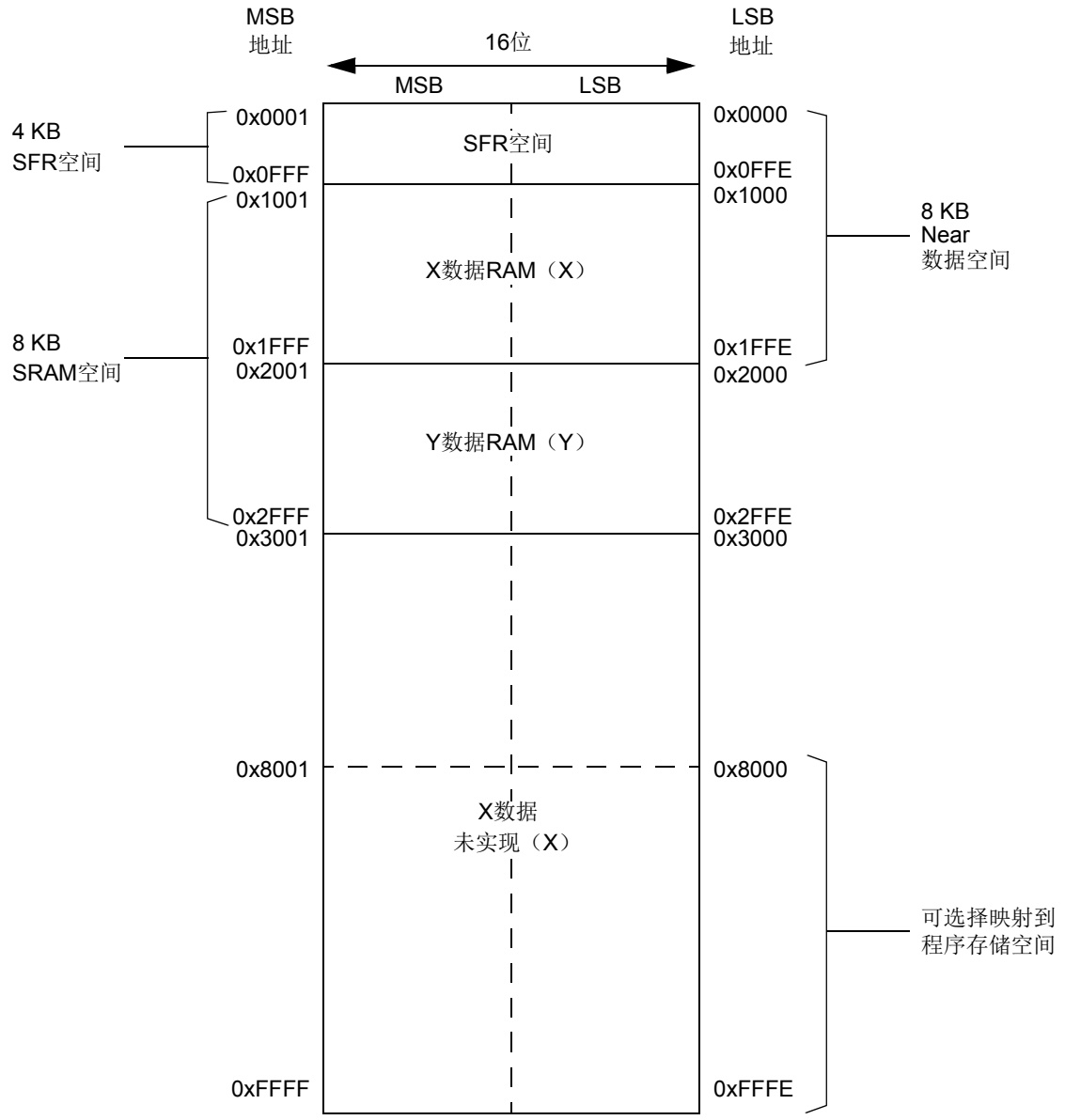
© 2015-2018 Microchip Technology Inc.

图4-7： dsPIC33EP32GS50X器件的数据存储器映射



注： 存储区未按比例显示。

图4-8： dsPIC33EP64GS50X器件的数据存储器映射



注： 存储区未按比例显示。

© 2015-2018 Microchip Technology Inc.

4.3.5 X和Y数据空间

dsPIC33EPXXGS50X内核有两个数据空间X和Y。这两个数据空间可以看作是独立的（对于某些DSP指令），或者看作是一个统一的线性地址范围（对于MCU指令）。使用两个地址发生单元（AGU）和独立的数据总线来访问这两个数据空间。此特性允许某些指令同时从RAM中取两个字，因此提高了DSP算法的执行效率，如有限冲激响应（Finite Impulse Response，FIR）滤波器和快速傅立叶变换（Fast Fourier Transform，FFT）。

X数据空间可用于所有指令，并且支持所有寻址模式。X数据空间的读数据总线和写数据总线是独立的。所有将数据空间视为组合的X和Y地址空间的指令均将X读数据总线作为读数据路径。X读数据总线也是双操作数DSP指令（MAC类）的X数据预取路径。

MAC类指令（CLR、ED、EDAC、MAC、MOVSAC、MPY、MPY.N和MSC）将同时使用X数据空间和Y数据空间，从而提供两条可同时对数据进行读操作的路径。

X和Y数据空间都支持所有指令的模寻址，但要受到寻址模式的限制。位反转寻址模式只是在写X数据空间时才支持。

所有数据存储器写操作（包括DSP指令中的数据存储器写操作）均将数据空间视为组合的X和Y地址空间。X和Y数据空间的分界取决于具体的器件，且不能由用户编程。

4.4 存储器资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

4.4.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

4.5 特殊功能寄存器映射

表4-2： CPU内核寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
W0	0000	W0 （WREG）																xxxx
W1	0002	W1																xxxx
W2	0004	W2																xxxx
W3	0006	W3																xxxx
W4	0008	W4																xxxx
W5	000A	W5																xxxx
W6	000C	W6																xxxx
W7	000E	W7																xxxx
W8	0010	W8																xxxx
W9	0012	W9																xxxx
W10	0014	W10																xxxx
W11	0016	W11																xxxx
W12	0018	W12																xxxx
W13	001A	W13																xxxx
W14	001C	W14																xxxx
W15	001E	W15																xxxx
SPLIM	0020	SPLIM																0000
ACCAL	0022	ACCAL																0000
ACCAH	0024	ACCAH																0000
ACCAU	0026	ACCA<39>的符号扩展								ACCAU								0000
ACCBL	0028	ACCBL																0000
ACCBH	002A	ACCBH																0000
ACCBU	002C	ACCB<39>的符号扩展								ACCBU								0000
PCL	002E	PCL<15:1>															—	0000
PCH	0030	—	—	—	—	—	—	—	—	—	PCH<6:0>							0000
DSRPAG	0032	—	—	—	—	—	—	扩展数据空间 （EDS）读页寄存器 （DSRPAG<9:0>）										0001
DSWPAG[1]	0034	—	—	—	—	—	—	—	扩展数据空间 （EDS）写页寄存器 （DSWPAG<8:0>）[1]									0001
RCOUNT	0036	RCOUNT<15:0>																0000
DCOUNT	0038	DO循环计数寄存器 （DCOUNT<15:0>）																0000
DOSTARTL	003A	DO起始地址寄存器的低位 （DOSTARTL<15:1>）															—	0000
DOSTARTH	003C	—	—	—	—	—	—	—	—	—	—	DO起始地址寄存器的高位 （DOSTARTH<5:0>）						0000

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

注 1： 该寄存器的内容始终不应修改。DSWPAG必须始终指向第一页。

© 2015-2018 Microchip Technology Inc.

表4-2： CPU内核寄存器映射（续）

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
DOENDL	003E	DO循环结束地址寄存器的低位 （DOENDL<15:1>）															—	0000
DOENDH	0040	—	—	—	—	—	—	—	—	—	—	DO循环结束地址寄存器的高位 （DOENDH<5:0>）						0000
SR	0042	OA	OB	SA	SB	OAB	SAB	DA	DC	IPL2	IPL1	IPL0	RA	N	OV	Z	C	0000
CORCON	0044	VAR	—	US1	US0	EDT	DL2	DL1	DL0	SATA	SATB	SATDW	ACCSAT	IPL3	SFA	RND	IF	0020
MODCON	0046	XMODEN	YMODEN	—	—	BWM3	BWM2	BWM1	BWM0	YWM3	YWM2	YWM1	YWM0	XWM3	XWM2	XWM1	XWM0	0000
XMODSRT	0048	X模式起始地址寄存器 （XMODSRT<15:1>）															—	0000
XMODEND	004A	X模式结束地址寄存器 （XMODEND<15:1>）															—	0001
YMODSRT	004C	Y模式起始地址寄存器 （YMODSRT<15:1>）															—	0000
YMODEND	004E	Y模式结束地址寄存器 （YMODEND<15:1>）															—	0001
XBREV	0050	BREN	XBREV<14:0>															0000
DISICNT	0052	—	—	DISICNT<13:0>														0000
TBLPAG	0054	—	—	—	—	—	—	—	—	TBLPAG<7:0>								0000
CTXTSTAT	005A	—	—	—	—	—	CCTXI2	CCTXI1	CCTXI0	—	—	—	—	—	MCTXI2	MCTXI1	MCTXI0	0000

图注： x = 复位时的未知值； — = 未实现，读为0。复位值以十六进制显示。

注 1： 该寄存器的内容始终不应修改。DSWPAG必须始终指向第一页。

© 2015-2018 Microchip Technology Inc.

表4-3： 中断控制器寄存器映射

SFR 名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
IFS0	0800	NVMIF	—	ADCIF	U1TXIF	U1RXIF	SPI1IF	SPI1EIF	T3IF	T2IF	OC2IF	IC2IF	—	T1IF	OC1IF	IC1IF	INT0IF	0000
IFS1	0802	U2TXIF	U2RXIF	INT2IF	T5IF	T4IF	OC4IF	OC3IF	—	—	—	—	INT1IF	CNIF	AC1IF	MI2C1IF	SI2C1IF	0000
IFS2	0804	—	—	—	—	—	—	—	—	—	IC4IF	IC3IF	—	—	—	SPI2IF	SPI2EIF	0000
IFS3	0806	—	—	—	—	—	—	PSEMIF	—	—	INT4IF	—	—	—	MI2C2IF	SI2C2IF	—	0000
IFS4	0808	—	—	—	—	—	—	PSESIF	—	—	—	—	—	—	U2EIF	U1EIF	—	0000
IFS5	080A	PWM2IF	PWM1IF	—	—	—	—	—	—		—	—	—	—	—	—	—	0000
IFS6	080C	ADCAN1IF	ADCAN0IF	—	—	—	—	AC4IF	AC3IF	AC2IF	—	—	—	—	PWM5IF	PWM4IF	PWM3IF	0000
IFS7	080E	—	—	—	—	—	—	—	—	—	—	ADCAN7IF	ADCAN6IF	ADCAN5IF	ADCAN4IF	ADCAN3IF	ADCAN2IF	0000
IFS8	0810	JTAGIF	ICDIF	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IFS9	0812	ADCAN16IF(1)	ADCAN15IF(1)	ADCAN14IF(2)	ADCAN13IF(1)	ADCAN12IF(2)	ADCAN11IF(2)	ADCAN10IF(2)	ADCAN9IF(2)	ADCAN8IF(2)	—	—	—	—	—	—	—	0000
IFS10	0814	—	I2C2BCIF	I2C1BCIF	—	—	—	—	—	—	—	—	ADCAN21IF	ADCAN20IF	ADCAN19IF	ADCAN18IF	ADCAN17IF(2)	0000
IFS11	0816	—	—	—	—	—	—	—	—	—	—	—	ADFLTR1IF	ADFLTR0IF	ADCMP1IF	ADCMP0IF	—	0000
IEC0	0820	NVMIE	—	ADCIE	U1TXIE	U1RXIE	SPI1IE	SPI1EIE	T3IE	T2IE	OC2IE	IC2IE	—	T1IE	OC1IE	IC1IE	INT0IE	0000
IEC1	0822	U2TXIE	U2RXIE	INT2IE	T5IE	T4IE	OC4IE	OC3IE	—	—	—	—	INT1IE	CNIE	AC1IF	MI2C1IE	SI2C1IE	0000
IEC2	0824	—	—	—	—	—	—	—	—	—	IC4IE	IC3IE	—	—	—	SPI2IE	SPI2EIE	0000
IEC3	0826	—	—	—	—	—	—	PSEMIE	—	—	INT4IE	—	—	—	MI2C2IE	SI2C2IE	—	0000
IEC4	0828	—	—	—	—	—	—	PSESIE	—	—	—	—	—	—	U2EIE	U1EIE	—	0000
IEC5	082A	PWM2IE	PWM1IE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IEC6	082C	ADCAN1IE	ADCAN0IE	—	—	—	—	AC4IE	AC3IE	AC2IE	—	—	—	—	PWM5IE	PWM4IE	PWM3IE	0000
IEC7	082E	—	—	—	—	—	—	—	—	—	—	ADCAN7IE	ADCAN6IE	ADCAN5IE	ADCAN4IE	ADCAN3IE	ADCAN2IE	0000
IEC8	0830	JTAGIE	ICDIE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IEC9	0832	ADCAN16IE(1)	ADCAN15IE(1)	ADCAN14IE(2)	ADCAN13IE(1)	ADCAN12IE(2)	ADCAN11IE(2)	ADCAN10IE(2)	ADCAN9IE(2)	ADCAN8IE(2)	—	—	—	—	—	—	—	0000
IEC10	0834	—	I2C2BCIE	I2C1BCIE	—	—	—	—	—	—	—	—	ADCAN21IE	ADCAN20IE	ADCAN19IE	ADCAN18IE	ADCAN17IE(2)	0000
IEC11	0836	—	—	—	—	—	—	—	—	—	—	—	ADFLTR1IE	ADFLTR0IE	ADCMP1IE	ADCMP0IE	—	0000
IPC0	0840	—	T1IP2	T1IP1	T1IP0	—	OC1IP2	OC1IP1	OC1IP0	—	IC1IP2	IC1IP1	IC1IP0	—	INT0IP2	INT0IP1	INT0IP0	4444
IPC1	0842	—	T2IP2	T2IP1	T2IP0	—	OC2IP2	OC2IP1	OC2IP0	—	IC2IP2	IC2IP1	IC2IP0	—	—	—	—	4440
IPC2	0844	—	U1RXIP2	U1RXIP1	U1RXIP0	—	SPI1IP2	SPI1IP1	SPI1IP0	—	SPI1EIP2	SPI1EIP1	SPI1EIP0	—	T3IP2	T3IP1	T3IP0	4444
IPC3	0846	—	NVMIP2	NVMIP1	NVMIP0	—	—	—	—	—	ADCIP2	ADCIP1	ADCIP0	—	U1TXIP2	U1TXIP1	U1TXIP0	4044
IPC4	0848	—	CNIP2	CNIP1	CNIP0	—	AC1IP2	AC1IP1	AC1IP0	—	MI2C1IP2	MI2C1IP1	MI2C1IP0	—	SI2C1IP2	SI2C1IP1	SI2C1IP0	4444
IPC5	084A	—	—	—	—	—	—	—	—	—	—	—	—	—	INT1IP2	INT1IP1	INT1IP0	0004
IPC6	084C	—	T4IP2	T4IP1	T4IP0	—	OC4IP2	OC4IP1	OC4IP0	—	OC3IP2	OC3IP1	OC3IP0	—	—	—	—	4440
IPC7	084E	—	U2TXIP2	U2TXIP1	U2TXIP0	—	U2RXIP2	U2RXIP1	U2RXIP0	—	INT2IP2	INT2IP1	INT2IP0	—	T5IP2	T5IP1	T5IP0	4444
IPC8	0850	—	—	—	—	—	—	—	—	—	SPI2IP2	SPI2IP1	SPI2IP0	—	SPI2EIP2	SPI2EIP1	SPI2EIP0	0044
IPC9	0852	—	—	—	—	—	IC4IP2	IC4IP1	IC4IP0	—	IC3IP2	IC3IP1	IC3IP0	—	—	—	—	0440

图注： — = 未实现，读为0。复位值以十六进制显示。

注 1： 仅在dsPIC33EPXXGS506器件上可用。

2： 仅在dsPIC33EPXXGS504/505和dsPIC33EPXXGS506器件上可用。

© 2015-2018 Microchip Technology Inc.

表4-3：　中断控制器寄存器映射（续）

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
IPC12	0858	—	—	—	—	—	MI2C2IP2	MI2C2IP1	MI2C2IP0	—	SI2C2IP2	SI2C2IP1	SI2C2IP0	—	—	—	—	0440
IPC13	085A	—	—	—	—	—	INT4IP2	INT4IP1	INT4IP0	—	—	—	—	—	—	—	—	0400
IPC14	085C	—	—	—	—	—	—	—	—	—	PSEMIP2	PSEMIP1	PSEMIP0	—	—	—	—	0040
IPC16	0860	—	—	—	—	—	U2EIP2	U2EIP1	U2EIP0	—	U1EIP2	U1EIP1	U1EIP0	—	—	—	—	0440
IPC18	0864	—	—	—	—	—	—	—	—	—	PSESIP2	PSESIP1	PSESIP0	—	—	—	—	0040
IPC23	086E	—	PWM2IP2	PWM2IP1	PWM2IP0	—	PWM1IP2	PWM1IP1	PWM1IP0	—	—	—	—	—	—	—	—	4400
IPC24	0870	—	—	—	—	—	PWM5IP2	PWM5IP1	PWM5IP0	—	PWM4IP2	PWM4IP1	PWM4IP0	—	PWM3IP2	PWM3IP1	PWM3IP0	0444
IPC25	0872	—	AC2IP2	AC2IP1	AC2IP0	—	—	—	—	—	—	—	—	—	—	—	—	4000
IPC26	0874	—	—	—	—	—	—	—	—	—	AC4IP2	AC4IP1	AC4IP0	—	AC3IP2	AC3IP1	AC3IP0	0044
IPC27	0876	—	ADCAN1IP2	ADCAN1IP1	ADCAN1IP0	—	ADCAN0IP2	ADCAN0IP1	ADCAN0IP0	—	—	—	—	—	—	—	—	4400
IPC28	0878	—	ADCAN5IP2	ADCAN5IP1	ADCAN5IP0	—	ADCAN4IP2	ADCAN4IP1	ADCAN4IP0	—	ADCAN3IP2	ADCAN3IP1	ADCAN3IP0	—	ADCAN2IP2	ADCAN2IP1	ADCAN2IP0	4444
IPC29	087A	—	—	—	—	—	—	—	—	—	ADCAN7IP2	ADCAN7IP1	ADCAN7IP0	—	ADCAN6IP2	ADCAN6IP1	ADCAN6IP0	0044
IPC35	0886	—	JTAGIP2	JTAGIP1	JTAGIP0	—	ICDIP2	ICDIP1	ICDIP0	—	—	—	—	—	—	—	—	4400
IPC37	088A	—	ADCAN8IP2(2)	ADCAN8IP1(2)	ADCAN8IP0(2)	—	—	—	—	—	—	—	—	—	—	—	—	4000
IPC38	088C	—	ADCAN12IP2(2)	ADCAN12IP1(2)	ADCAN12IP0(2)	—	ADCAN11IP2(2)	ADCAN11IP1(2)	ADCAN11IP0(2)	—	ADCAN10IP2(2)	ADCAN10IP1(2)	ADCAN10IP0(2)	—	ADCAN9IP2(2)	ADCAN9IP1(2)	ADCAN9IP0(2)	4444
IPC39	088E	—	ADCAN16IP2(1)	ADCAN16IP1(1)	ADCAN16IP0(1)	—	ADCAN15IP2(1)	ADCAN15IP1(1)	ADCAN15IP0(1)	—	ADCAN14IP2(2)	ADCAN14IP1(2)	ADCAN14IP0(2)	—	ADCAN13IP2(1)	ADCAN13IP1	ADCAN13IP0	4444
IPC40	0890	—	ADCAN20IP2	ADCAN20IP1	ADCAN20IP0	—	ADCAN19IP2	ADCAN19IP1	ADCAN19IP0	—	ADCAN18IP2	ADCAN18IP1	ADCAN18IP0	—	ADCAN17IP2(2)	ADCAN17IP1(2)	ADCAN17IP0(2)	4444
IPC41	0892	—	—	—	—	—	—	—	—	—	—	—	—	—	ADCAN21IP2	ADCAN21IP1	ADCAN21IP0	0004
IPC43	0896	—	—	—	—	—	I2C2BCIP2	I2C2BCIP1	I2C2BCIP0	—	I2C1BCIP2	I2C1BCIP1	I2C1BCIP0	—	—	—	—	0440
IPC44	0898	—	ADFLTR0IP2	ADFLTR0IP1	ADFLTR0IP0	—	ADCMP1IP2	ADCMP1IP1	ADCMP1IP0	—	ADCMP0IP2	ADCMP0IP1	ADCMP0IP0	—	—	—	—	4440
IPC45	089A	—	—	—	—	—	—	—	—	—	—	—	—	—	ADFLTR1IP2	ADFLTR1IP1	ADFLTR1IP0	0004
INTCON1	08C0	NSTDIS	OVAERR	OVBERR	COVAERR	COVBERR	OVATE	OVBTE	COVTE	SFTACERR	DIV0ERR	—	MATHERR	ADDRERR	STKERR	OSCFAIL	—	0000
INTCON2	08C2	GIE	DISI	SWTRAP	—	—	—	—	AIVTEN	—	—	—	INT4EP	—	INT2EP	INT1EP	INT0EP	8000
INTCON3	08C4	—	—	—	—	—	—	—	NAE	—	—	—	DOOVR	—	—	—	APLL	0000
INTCON4	08C6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SGHT	0000
INTTREG	08C8	—	—	—	—	ILR3	ILR2	ILR1	ILR0	VECNUM7	VECNUM6	VECNUM5	VECNUM4	VECNUM3	VECNUM2	VECNUM1	VECNUM0	0000

图注：　— = 未实现，读为0。复位值以十六进制显示。
注 1：　仅在dsPIC33EPXXGS506器件上可用。
2：　仅在dsPIC33EPXXGS504/505和dsPIC33EPXXGS506器件上可用。

© 2015-2018 Microchip Technology Inc.

表4-4： TIMER1至TIMER5寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TMR1	0100	Timer1寄存器																xxxx
PR1	0102	周期寄存器1																FFFF
T1CON	0104	TON	—	TSIDL	—	—	—	—	—	—	TGATE	TCKPS1	TCKPS0	—	TSYNC	TCS	—	0000
TMR2	0106	Timer2寄存器																xxxx
TMR3HLD	0108	Timer3保持寄存器（仅用于32位定时器操作）																xxxx
TMR3	010A	Timer3寄存器																xxxx
PR2	010C	周期寄存器2																FFFF
PR3	010E	周期寄存器3																FFFF
T2CON	0110	TON	—	TSIDL	—	—	—	—	—	—	TGATE	TCKPS1	TCKPS0	T32	—	TCS	—	0000
T3CON	0112	TON	—	TSIDL	—	—	—	—	—	—	TGATE	TCKPS1	TCKPS0	—	—	TCS	—	0000
TMR4	0114	Timer4寄存器																xxxx
TMR5HLD	0116	Timer5保持寄存器（仅用于32位操作）																xxxx
TMR5	0118	Timer5寄存器																xxxx
PR4	011A	周期寄存器4																FFFF
PR5	011C	周期寄存器5																FFFF
T4CON	011E	TON	—	TSIDL	—	—	—	—	—	—	TGATE	TCKPS1	TCKPS0	T32	—	TCS	—	0000
T5CON	0120	TON	—	TSIDL	—	—	—	—	—	—	TGATE	TCKPS1	TCKPS0	—	—	TCS	—	0000

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-5：　输入捕捉1至输入捕捉4寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
IC1CON1	0140	—	—	ICSIDL	ICTSEL2	ICTSEL1	ICTSEL0	—	—	—	ICI1	ICI0	ICOV	ICBNE	ICM2	ICM1	ICM0	0000
IC1CON2	0142	—	—	—	—	—	—	—	IC32	ICTRIG	TRIGSTAT	—	SYNCSEL4	SYNCSEL3	SYNCSEL2	SYNCSEL1	SYNCSEL0	000D
IC1BUF	0144	输入捕捉1缓冲寄存器																xxxx
IC1TMR	0146	输入捕捉1定时器寄存器																0000
IC2CON1	0148	—	—	ICSIDL	ICTSEL2	ICTSEL1	ICTSEL0	—	—	—	ICI1	ICI0	ICOV	ICBNE	ICM2	ICM1	ICM0	0000
IC2CON2	014A	—	—	—	—	—	—	—	IC32	ICTRIG	TRIGSTAT	—	SYNCSEL4	SYNCSEL3	SYNCSEL2	SYNCSEL1	SYNCSEL0	000D
IC2BUF	014C	输入捕捉2缓冲寄存器																xxxx
IC2TMR	014E	输入捕捉2定时器寄存器																0000
IC3CON1	0150	—	—	ICSIDL	ICTSEL2	ICTSEL1	ICTSEL0	—	—	—	ICI1	ICI0	ICOV	ICBNE	ICM2	ICM1	ICM0	0000
IC3CON2	0152	—	—	—	—	—	—	—	IC32	ICTRIG	TRIGSTAT	—	SYNCSEL4	SYNCSEL3	SYNCSEL2	SYNCSEL1	SYNCSEL0	000D
IC3BUF	0154	输入捕捉3缓冲寄存器																xxxx
IC3TMR	0156	输入捕捉3定时器寄存器																0000
IC4CON1	0158	—	—	ICSIDL	ICTSEL2	ICTSEL1	ICTSEL0	—	—	—	ICI1	ICI0	ICOV	ICBNE	ICM2	ICM1	ICM0	0000
IC4CON2	015A	—	—	—	—	—	—	—	IC32	ICTRIG	TRIGSTAT	—	SYNCSEL4	SYNCSEL3	SYNCSEL2	SYNCSEL1	SYNCSEL0	000D
IC4BUF	015C	输入捕捉4缓冲寄存器																xxxx
IC4TMR	015E	输入捕捉4定时器寄存器																0000

图注：　x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-6： 输出比较1至输出比较4寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
OC1CON1	0900	—	—	OCSIDL	OCTSEL2	OCTSEL1	OCTSEL0	—	—	ENFLTA	—	—	OCFLTA	TRIGMODE	OCM2	OCM1	OCM0	0000
OC1CON2	0902	FLTMD	FLTOUT	FLTTRIEN	OCINV	—	—	—	OC32	OCTRIG	TRIGSTAT	OCTRIS	SYNCSEL4	SYNCSEL3	SYNCSEL2	SYNCSEL1	SYNCSEL0	000C
OC1RS	0904	输出比较1辅助寄存器																xxxx
OC1R	0906	输出比较1寄存器																xxxx
OC1TMR	0908	定时器值1寄存器																xxxx
OC2CON1	090A	—	—	OCSIDL	OCTSEL2	OCTSEL1	OCTSEL0	—	—	ENFLTA	—	—	OCFLTA	TRIGMODE	OCM2	OCM1	OCM0	0000
OC2CON2	090C	FLTMD	FLTOUT	FLTTRIEN	OCINV	—	—	—	OC32	OCTRIG	TRIGSTAT	OCTRIS	SYNCSEL4	SYNCSEL3	SYNCSEL2	SYNCSEL1	SYNCSEL0	000C
OC2RS	090E	输出比较2辅助寄存器																xxxx
OC2R	0910	输出比较2寄存器																xxxx
OC2TMR	0912	定时器值2寄存器																xxxx
OC3CON1	0914	—	—	OCSIDL	OCTSEL2	OCTSEL1	OCTSEL0	—	—	ENFLTA	—	—	OCFLTA	TRIGMODE	OCM2	OCM1	OCM0	0000
OC3CON2	0916	FLTMD	FLTOUT	FLTTRIEN	OCINV	—	—	—	OC32	OCTRIG	TRIGSTAT	OCTRIS	SYNCSEL4	SYNCSEL3	SYNCSEL2	SYNCSEL1	SYNCSEL0	000C
OC3RS	0918	输出比较3辅助寄存器																xxxx
OC3R	091A	输出比较3寄存器																xxxx
OC3TMR	091C	定时器值3寄存器																xxxx
OC4CON1	091E	—	—	OCSIDL	OCTSEL2	OCTSEL1	OCTSEL0	—	—	ENFLTA	—	—	OCFLTA	TRIGMODE	OCM2	OCM1	OCM0	0000
OC4CON2	0920	FLTMD	FLTOUT	FLTTRIEN	OCINV	—	—	—	OC32	OCTRIG	TRIGSTAT	OCTRIS	SYNCSEL4	SYNCSEL3	SYNCSEL2	SYNCSEL1	SYNCSEL0	000C
OC4RS	0922	输出比较4辅助寄存器																xxxx
OC4R	0924	输出比较4寄存器																xxxx
OC4TMR	0926	定时器值4寄存器																xxxx

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-7： PWM寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
PTCON	0C00	PTEN	—	PTSIDL	SESTAT	SEIEN	EIPU	SYNCPOL	SYNCOEN	SYNCEN	SYNCSRC2	SYNCSRC1	SYNCSRC0	SEVTPS3	SEVTPS2	SEVTPS1	SEVTPS0	0000
PTCON2	0C02	—	—	—	—	—	—	—	—	—	—	—	—	—	PCLKDIV<2:0>			0000
PTPER	0C04	PWMx主主控时基周期寄存器（PTPER<15:0>）																FFF8
SEVTCMP	0C06	PWMx特殊事件比较寄存器（SEVTCMP<12:0>）													—	—	—	0000
MDC	0C0A	PWMx主控占空比寄存器（MDC<15:0>）																0000
STCON	0C0E	—	—	—	SESTAT	SEIEN	EIPU	SYNCPOL	SYNCOEN	SYNCEN	SYNCSRC2	SYNCSRC1	SYNCSRC0	SEVTPS3	SEVTPS2	SEVTPS1	SEVTPS0	0000
STCON2	0C10	—	—	—	—	—	—	—	—	—	—	—	—	—	PCLKDIV<2:0>			0000
STPER	0C12	PWMx辅助主控时基周期寄存器（STPER<15:0>）																FFF8
SSEVTCMP	0C14	PWMx辅助特殊事件比较寄存器（SSEVTCMP<12:0>）													—	—	—	0000
CHOP	0C1A	CHPCLKEN	—	—	—	—	—	CHOPCLK6	CHOPCLK5	CHOPCLK4	CHOPCLK3	CHOPCLK2	CHOPCLK1	CHOPCLK0	—	—	—	0000
PWMKEY	0C1E	PWMx保护锁定/解锁密钥寄存器（PWMKEY<15:0>）																0000

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-8： PWM发生器1寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
PWMCON1	0C20	FLTSTAT	CLSTAT	TRGSTAT	FLTIEN	CLIEN	TRGIEN	ITB	MDCS	DTC1	DTC0	—	—	MTBS	CAM	XPRES	IUE	0000
IOCON1	0C22	PENH	PENL	POLH	POLL	PMOD1	PMOD0	OVRENH	OVRENL	OVRDAT1	OVRDAT0	FLTDAT1	FLTDAT0	CLDAT1	CLDAT0	SWAP	OSYNC	C000
FCLCON1	0C24	IFLTMOD	CLSRC4	CLSRC3	CLSRC2	CLSRC1	CLSRC0	CLPOL	CLMOD	FLTSRC4	FLTSRC3	FLTSRC2	FLTSRC1	FLTSRC0	FLTPOL	FLTMOD1	FLTMOD0	00F8
PDC1	0C26	PWM1发生器占空比寄存器（PDC1<15:0>）																0000
PHASE1	0C28	PWM1主相移或独立时基周期寄存器（PHASE1<15:0>）																0000
DTR1	0C2A	—	—	PWM1死区寄存器（DTR1<13:0>）														0000
ALTDTR1	0C2C	—	—	PWM1备用死区寄存器（ALTDTR1<13:0>）														0000
SDC1	0C2E	PWM1辅助占空比寄存器（SDC1<15:0>）																0000
SPHASE1	0C30	PWM1辅助相移寄存器（SPHASE1<15:0>）																0000
TRIG1	0C32	PWM1主触发比较值寄存器（TRGCMP<12:0>）													—	—	—	0000
TRGCON1	0C34	TRGDIV3	TRGDIV2	TRGDIV1	TRGDIV0	—	—	—	—	DTM	—	TRGSTRT5	TRGSTRT4	TRGSTRT3	TRGSTRT2	TRGSTRT1	TRGSTRT0	0000
STRIG1	0C36	PWM1辅助触发比较值寄存器（STRGCMP<12:0>）													—	—	—	0000
PWMCAP1	0C38	PWM1主时基捕捉寄存器（PWMCAP<12:0>）													—	—	—	0000
LEBCON1	0C3A	PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	—	—	—	—	BCH	BCL	BPHH	BPHL	BPLH	BPLL	0000
LEBDLY1	0C3C	—	—	—	—	PWM1前沿消隐延时寄存器（LEB<8:0>）									—	—	—	0000
AUXCON1	0C3E	HRPDIS	HRDDIS	—	—	BLANKSEL3	BLANKSEL2	BLANKSEL1	BLANKSEL0	—	—	CHOPSEL3	CHOPSEL2	CHOPSEL1	CHOPSEL0	CHOPHEN	CHOPLEN	0000

图注： — = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-9： PWM发生器2寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
PWMCON2	0C40	FLTSTAT	CLSTAT	TRGSTAT	FLTIEN	CLIEN	TRGIEN	ITB	MDCS	DTC1	DTC0	—	—	MTBS	CAM	XPRES	IUE	0000
IOCON2	0C42	PENH	PENL	POLH	POLL	PMOD1	PMOD0	OVRENH	OVRENL	OVRDAT1	OVRDAT0	FLTDAT1	FLTDAT0	CLDAT1	CLDAT0	SWAP	OSYNC	C000
FCLCON2	0C44	IFLTMOD	CLSRC4	CLSRC3	CLSRC2	CLSRC1	CLSRC0	CLPOL	CLMOD	FLTSRC4	FLTSRC3	FLTSRC2	FLTSRC1	FLTSRC0	FLTPOL	FLTMOD1	FLTMOD0	00F8
PDC2	0C46	PWM2发生器占空比寄存器（PDC2<15:0>）																0000
PHASE2	0C48	PWM2主相移或独立时基周期寄存器（PHASE2<15:0>）																0000
DTR2	0C4A	—	—	PWM2死区寄存器（DTR2<13:0>）														0000
ALTDTR2	0C4C	—	—	PWM2备用死区寄存器（ALTDTR2<13:0>）														0000
SDC2	0C4E	PWM2辅助占空比寄存器（SDC2<15:0>）																0000
SPHASE2	0C50	PWM2辅助相移寄存器（SPHASE2<15:0>）																0000
TRIG2	0C52	PWM2主触发比较值寄存器（TRGCMP<12:0>）													—	—	—	0000
TRGCON2	0C54	TRGDIV3	TRGDIV2	TRGDIV1	TRGDIV0	—	—	—	—	DTM	—	TRGSTRT5	TRGSTRT4	TRGSTRT3	TRGSTRT2	TRGSTRT1	TRGSTRT0	0000
STRIG2	0C56	PWM2辅助触发比较值寄存器（STRGCMP<12:0>）													—	—	—	0000
PWMCAP2	0C58	PWM2主时基捕捉寄存器（PWMCAP<12:0>）													—	—	—	0000
LEBCON2	0C5A	PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	—	—	—	—	BCH	BCL	BPHH	BPHL	BPLH	BPLL	0000
LEBDLY2	0C5C	—	—	—	—	PWM2前沿消隐延时寄存器（LEB<8:0>）									—	—	—	0000
AUXCON2	0C5E	HRPDIS	HRDDIS	—	—	BLANKSEL3	BLANKSEL2	BLANKSEL1	BLANKSEL0	—	—	CHOPSEL3	CHOPSEL2	CHOPSEL1	CHOPSEL0	CHOPHEN	CHOPLEN	0000

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-10： PWM发生器3寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
PWMCON3	0C60	FLTSTAT	CLSTAT	TRGSTAT	FLTIEN	CLIEN	TRGIEN	ITB	MDCS	DTC1	DTC0	—	—	MTBS	CAM	XPRES	IUE	0000
IOCON3	0C62	PENH	PENL	POLH	POLL	PMOD1	PMOD0	OVRENH	OVRENL	OVRDAT1	OVRDAT0	FLTDAT1	FLTDAT0	CLDAT1	CLDAT0	SWAP	OSYNC	C000
FCLCON3	0C64	IFLTMOD	CLSRC4	CLSRC3	CLSRC2	CLSRC1	CLSRC0	CLPOL	CLMOD	FLTSRC4	FLTSRC3	FLTSRC2	FLTSRC1	FLTSRC0	FLTPOL	FLTMOD1	FLTMOD0	00F8
PDC3	0C66	PWM3发生器占空比寄存器（PDC3<15:0>）																0000
PHASE3	0C68	PWM3主相移或独立时基周期寄存器（PHASE3<15:0>）																0000
DTR3	0C6A	—	—	PWM3死区寄存器（DTR3<13:0>）														0000
ALTDTR3	0C6C	—	—	PWM3备用死区寄存器（ALTDTR3<13:0>）														0000
SDC3	0C6E	PWM3辅助占空比寄存器（SDC3<15:0>）																0000
SPHASE3	0C70	PWM3辅助相移寄存器（SPHASE3<15:0>）																0000
TRIG3	0C72	PWM3主触发比较值寄存器（TRGCMP<12:0>）													—	—	—	0000
TRGCON3	0C74	TRGDIV3	TRGDIV2	TRGDIV1	TRGDIV0	—	—	—	—	DTM	—	TRGSTRT5	TRGSTRT4	TRGSTRT3	TRGSTRT2	TRGSTRT1	TRGSTRT0	0000
STRIG3	0C76	PWM3辅助触发比较值寄存器（STRGCMP<12:0>）													—	—	—	0000
PWMCAP3	0C78	PWM3主时基捕捉寄存器（PWMCAP<12:0>）													—	—	—	0000
LEBCON3	0C7A	PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	—	—	—	—	BCH	BCL	BPHH	BPHL	BPLH	BPLL	0000
LEBDLY3	0C7C	—	—	—	—	PWM3前沿消隐延时寄存器（LEB<8:0>）									—	—	—	0000
AUXCON3	0C7E	HRPDIS	HRDDIS	—	—	BLANKSEL3	BLANKSEL2	BLANKSEL1	BLANKSEL0	—	—	CHOPSEL3	CHOPSEL2	CHOPSEL1	CHOPSEL0	CHOPHEN	CHOPLEN	0000

图注： — = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-11： PWM发生器4寄存器映射

SFR 名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
PWMCON4	0C80	FLTSTAT	CLSTAT	TRGSTAT	FLTIEN	CLIEN	TRGIEN	ITB	MDCS	DTC1	DTC0	—	—	MTBS	CAM	XPRES	IUE	0000
IOCON4	0C82	PENH	PENL	POLH	POLL	PMOD1	PMOD0	OVRENH	OVRENL	OVRDAT1	OVRDAT0	FLTDAT1	FLTDAT0	CLDAT1	CLDAT0	SWAP	OSYNC	C000
FCLCON4	0C84	IFLTMOD	CLSRC4	CLSRC3	CLSRC2	CLSRC1	CLSRC0	CLPOL	CLMOD	FLTSRC4	FLTSRC3	FLTSRC2	FLTSRC1	FLTSRC0	FLTPOL	FLTMOD1	FLTMOD0	00F8
PDC4	0C86	PWM4发生器占空比寄存器（PDC4<15:0>）																0000
PHASE4	0C88	PWM4主相移或独立时基周期寄存器（PHASE4<15:0>）																0000
DTR4	0C8A	—	—	PWM4死区寄存器（DTR4<13:0>）														0000
ALTDTR4	0C8C	—	—	PWM4备用死区寄存器（ALTDTR4<13:0>）														0000
SDC4	0C8E	PWM4辅助占空比寄存器（SDC4<15:0>）																0000
SPHASE4	0C90	PWM4辅助相移寄存器（SPHASE4<15:0>）																0000
TRIG4	0C92	PWM4主触发比较值寄存器（TRGCMP<12:0>）													—	—	—	0000
TRGCON4	0C94	TRGDIV3	TRGDIV2	TRGDIV1	TRGDIV0	—	—	—	—	DTM	—	TRGSTRT5	TRGSTRT4	TRGSTRT3	TRGSTRT2	TRGSTRT1	TRGSTRT0	0000
STRIG4	0C96	PWM4辅助触发比较值寄存器（STRGCMP<12:0>）													—	—	—	0000
PWMCAP4	0C98	PWM4主时基捕捉寄存器（PWMCAP<12:0>）													—	—	—	0000
LEBCON4	0C9A	PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	—	—	—	—	BCH	BCL	BPHH	BPHL	BPLH	BPLL	0000
LEBDLY4	0C9C	—	—	—	—	PWM4前沿消隐延时寄存器（LEB<8:0>）									—	—	—	0000
AUXCON4	0C9E	HRPDIS	HRDDIS	—	—	BLANKSEL3	BLANKSEL2	BLANKSEL1	BLANKSEL0	—	—	CHOPSEL3	CHOPSEL2	CHOPSEL1	CHOPSEL0	CHOPHEN	CHOPLEN	0000

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-12： PWM发生器5寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
PWMCON5	0CA0	FLTSTAT	CLSTAT	TRGSTAT	FLTIEN	CLIEN	TRGIEN	ITB	MDCS	DTC1	DTC0	—	—	MTBS	CAM	XPRES	IUE	0000
IOCON5	0CA2	PENH	PENL	POLH	POLL	PMOD1	PMOD0	OVRENH	OVRENL	OVRDAT1	OVRDAT0	FLTDAT1	FLTDAT0	CLDAT1	CLDAT0	SWAP	OSYNC	C000
FCLCON5	0CA4	IFLTMOD	CLSRC4	CLSRC3	CLSRC2	CLSRC1	CLSRC0	CLPOL	CLMOD	FLTSRC4	FLTSRC3	FLTSRC2	FLTSRC1	FLTSRC0	FLTPOL	FLTMOD1	FLTMOD0	00F8
PDC5	0CA6	PWM5发生器占空比寄存器（PDC5<15:0>）																0000
PHASE5	0CA8	PWM5主相移或独立时基周期寄存器（PHASE5<15:0>）																0000
DTR5	0CAA	—	—	PWM5死区寄存器（DTR5<13:0>）														0000
ALTDTR5	0CAC	—	—	PWM5备用死区寄存器（ALTDTR5<13:0>）														0000
SDC5	0CAE	PWM5辅助占空比寄存器（SDC5<15:0>）																0000
SPHASE5	0CB0	PWM5辅助相移寄存器（SPHASE5<15:0>）																0000
TRIG5	0CB2	PWM5主触发比较值寄存器（TRGCMP<12:0>）													—	—	—	0000
TRGCON5	0CB4	TRGDIV3	TRGDIV2	TRGDIV1	TRGDIV0	—	—	—	—	DTM	—	TRGSTRT5	TRGSTRT4	TRGSTRT3	TRGSTRT2	TRGSTRT1	TRGSTRT0	0000
STRIG5	0CB6	PWM5辅助触发比较值寄存器（STRGCMP<12:0>）													—	—	—	0000
PWMCAP5	0CB8	PWM5主时基捕捉寄存器（PWMCAP<12:0>）													—	—	—	0000
LEBCON5	0CBA	PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	—	—	—	—	BCH	BCL	BPHH	BPHL	BPLH	BPLL	0000
LEBDLY5	0CBC	—	—	—	—	PWM5前沿消隐延时寄存器（LEB<8:0>）									—	—	—	0000
AUXCON5	0CBE	HRPDIS	HRDDIS	—	—	BLANKSEL3	BLANKSEL2	BLANKSEL1	BLANKSEL0	—	—	CHOPSEL3	CHOPSEL2	CHOPSEL1	CHOPSEL0	CHOPHEN	CHOPLEN	0000

图注： — = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-13： I2C1和I2C2寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
I2C1CONL	0200	I2CEN	—	I2CSIDL	SCLREL	STRICT	A10M	DISSLW	SMEN	GCEN	STREN	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	1000
I2C1CONH	0202	—	—	—	—	—	—	—	—	—	PCIE	SCIE	BOEN	SDAHT	SBCDE	AHEN	DHEN	0000
I2C1STAT	0204	ACKSTAT	TRSTAT	ACKTIM	—	—	BCL	GCSTAT	ADD10	IWCOL	I2COV	D_A	P	S	R_W	RBF	TBF	0000
I2C1ADD	0206	—	—	—	—	—	—	I2C1地址寄存器										0000
I2C1MSK	0208	—	—	—	—	—	—	I2C1从模式地址掩码寄存器										0000
I2C1BRG	020A	波特率发生器寄存器																0000
I2C1TRN	020C	—	—	—	—	—	—	—	—	I2C1发送寄存器								00FF
I2C1RCV	020E	—	—	—	—	—	—	—	—	I2C1接收寄存器								0000
I2C2CON1	0210	I2CEN	—	I2CSIDL	SCLREL	STRICT	A10M	DISSLW	SMEN	GCEN	STREN	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	1000
I2C2CON2	0212	—	—	—	—	—	—	—	—	—	PCIE	SCIE	BOEN	SDAHT	SBCDE	AHEN	DHEN	0000
I2C2STAT	0214	ACKSTAT	TRSTAT	ACKTIM	—	—	BCL	GCSTAT	ADD10	IWCOL	I2COV	D_A	P	S	R_W	RBF	TBF	0000
I2C2ADD	0216	—	—	—	—	—	—	I2C2地址寄存器										0000
I2C2MSK	0218	—	—	—	—	—	—	I2C2从模式地址掩码寄存器										0000
I2C2BRG	021A	波特率发生器寄存器																0000
I2C2TRN	021C	—	—	—	—	—	—	—	—	I2C2发送寄存器								00FF
I2C2RCV	021E	—	—	—	—	—	—	—	—	I2C2接收寄存器								0000

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-14： UART1和UART2寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
U1MODE	0220	UARTEN	—	USIDL	IREN	RTSMD	—	UEN1	UEN0	WAKE	LPBACK	ABAUD	URXINV	BRGH	PDSEL1	PDSEL0	STSEL	0000
U1STA	0222	UTXISEL1	UTXINV	UTXISEL0	—	UTXBRK	UTXEN	UTXBF	TRMT	URXISEL1	URXISEL0	ADDEN	RIDLE	PERR	FERR	OERR	URXDA	0110
U1TXREG	0224	—	—	—	—	—	—	—	UART1发送寄存器									xxxx
U1RXREG	0226	—	—	—	—	—	—	—	UART1接收寄存器									0000
U1BRG	0228	波特率发生器预分频器寄存器																0000
U2MODE	0230	UARTEN	—	USIDL	IREN	RTSMD	—	UEN1	UEN0	WAKE	LPBACK	ABAUD	URXINV	BRGH	PDSEL1	PDSEL0	STSEL	0000
U2STA	0232	UTXISEL1	UTXINV	UTXISEL0	—	UTXBRK	UTXEN	UTXBF	TRMT	URXISEL1	URXISEL0	ADDEN	RIDLE	PERR	FERR	OERR	URXDA	0110
U2TXREG	0234	—	—	—	—	—	—	—	UART2发送寄存器									xxxx
U2RXREG	0236	—	—	—	—	—	—	—	UART2接收寄存器									0000
U2BRG	0238	波特率发生器预分频器寄存器																0000

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-15： SPI1和SPI2寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
SPI1STAT	0240	SPIEN	—	SPISIDL	—	—	SPIBEC2	SPIBEC1	SPIBEC0	SRMPT	SPIROV	SRXMPT	SISEL2	SISEL1	SISEL0	SPITBF	SPIRBF	0000
SPI1CON1	0242	—	—	—	DISSCK	DISSDO	MODE16	SMP	CKE	SSEN	CKP	MSTEN	SPRE2	SPRE1	SPRE0	PPRE1	PPRE0	0000
SPI1CON2	0244	FRMEN	SPIFSD	FRMPOL	—	—	—	—	—	—	—	—	—	—	—	FRMDLY	SPIBEN	0000
SPI1BUF	0248	SPI1发送和接收缓冲寄存器																0000
SPI2STAT	0260	SPIEN	—	SPISIDL	—	—	SPIBEC2	SPIBEC1	SPIBEC0	SRMPT	SPIROV	SRXMPT	SISEL2	SISEL1	SISEL0	SPITBF	SPIRBF	0000
SPI2CON1	0262	—	—	—	DISSCK	DISSDO	MODE16	SMP	CKE	SSEN	CKP	MSTEN	SPRE2	SPRE1	SPRE0	PPRE1	PPRE0	0000
SPI2CON2	0264	FRMEN	SPIFSD	FRMPOL	—	—	—	—	—	—	—	—	—	—	—	FRMDLY	SPIBEN	0000
SPI2BUF	0268	SPI2发送和接收缓冲寄存器																0000

图注： — = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-16： ADC寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
ADCON1L	0300	ADON	—	ADSIDL	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
ADCON1H	0302	—	—	—	—	—	—	—	—	FORM	SHRRES1	SHRRES0	—	—	—	—	—	0060
ADCON2L	0304	REFCIE	REFERCIE	—	EIEN	—	SHREISEL2	SHREISEL1	SHREISEL0	—	SHRADCS6	SHRADCS5	SHRADCS4	SHRADCS3	SHRADCS2	SHRADCS1	SHRADCS0	0000
ADCON2H	0306	REFRDY	REFERR	—	—	—	—	SHRSAMC9	SHRSAMC8	SHRSAMC7	SHRSAMC6	SHRSAMC5	SHRSAMC4	SHRSAMC3	SHRSAMC2	SHRSAMC1	SHRSAMC0	0000
ADCON3L	0308	REFSEL2	REFSEL1	REFSEL0	SUSPEND	SUSPCIE	SUSPRDY	SHRSAMP	CNVRTCH	SWLCTRG	SWCTRG	CNVCHSEL5	CNVCHSEL4	CNVCHSEL3	CNVCHSEL2	CNVCHSEL1	CNVCHSEL0	0000
ADCON3H	030A	CLKSEL1	CLKSEL0	CLKDIV5	CLKDIV4	CLKDIV3	CLKDIV2	CLKDIV1	CLKDIV0	SHREN	—	—	—	C3EN	C2EN	C1EN	C0EN	0000
ADCON4L	030C	—	—	—	—	SYNCTRG3	SYNCTRG2	SYNCTRG1	SYNCTRG0	—	—	—	—	SAMC3EN	SAMC2EN	SAMC1EN	SAMC0EN	0000
ADCON4H	030E	—	—	—	—	—	—	—	—	C3CHS1	C3CHS0	C2CHS1	C2CHS0	C1CHS1	C1CHS0	C0CHS1	C0CHS0	0000
ADMOD0L	0310	DIFF7	SIGN7	DIFF6	SIGN6	DIFF5	SIGN5	DIFF3	SIGN4	DIFF3	SIGN3	DIFF2	SIGN2	DIFF1	SIGN1	DIFF0	SIGN0	0000
ADMOD0H	0312	DIFF15(1)	SIGN15(1)	DIFF14(2)	SIGN14(2)	DIFF13(1)	SIGN13(1)	DIFF12(2)	SIGN12(2)	DIFF11(2)	SIGN11(2)	DIFF10(2)	SIGN10(2)	DIFF9(2)	SIGN9(2)	DIFF8(2)	SIGN8(2)	0000
ADMOD1L	0314	—	—	—	—	DIFF21	SIGN21	DIFF20	SIGN20	DIFF19	SIGN19	DIFF18	SIGN18	DIFF17(2)	SIGN17(2)	DIFF16(1)	SIGN16(1)	0000
ADIEL	0320	IE15(1)	IE14(2)	IE13(1)	IE12(2)	IE11(2)	IE10(2)	IE9(2)	IE8(2)	IE7	IE6	IE5	IE4	IE3	IE2	IE1	IE0	0000
ADIEH	0322	—	—	—	—	—	—	—	—	—	—	IE21	IE20	IE19	IE18	IE17(2)	IE16(1)	0000
ADSTATL	0330	AN15RDY(1)	AN14RDY(2)	AN13RDY(1)	AN12RDY(2)	AN11RDY(2)	AN10RDY(2)	AN9RDY(2)	AN8RDY(2)	AN7RDY	AN6RDY	AN5RDY	AN4RDY	AN3RDY	AN2RDY	AN1RDY	AN0RDY	0000
ADSTATH	0332	—	—	—	—	—	—	—	—	—	—	AN21RDY	AN20RDY	AN19RDY	AN18RDY	AN17RDY(2)	AN16RDY(1)	0000
ADCMP0ENL	0338	CMPEN15(1)	CMPEN14(2)	CMPEN13(1)	CMPEN12(2)	CMPEN11(2)	CMPEN10(2)	CMPEN9(2)	CMPEN8(2)	CMPEN7	CMPEN6	CMPEN5	CMPEN4	CMPEN3	CMPEN2	CMPEN1	CMPEN0	0000
ADCMP0ENH	033A	—	—	—	—	—	—	—	—	—	—	CMPEN21	CMPEN20	CMPEN19	CMPEN18	CMPEN17(2)	CMPEN16(1)	0000
ADCMP0LO	033C	ADC比较器0低值寄存器																0000
ADCMP0HI	033E	ADC比较器0高值寄存器																0000
ADCMP1ENL	0340	CMPEN15(1)	CMPEN14(2)	CMPEN13(1)	CMPEN12(2)	CMPEN11(2)	CMPEN10(2)	CMPEN9(2)	CMPEN8(2)	CMPEN7	CMPEN6	CMPEN5	CMPEN4	CMPEN3	CMPEN2	CMPEN1	CMPEN0	0000
ADCMP1ENH	0342	—	—	—	—	—	—	—	—	—	—	CMPEN21	CMPEN20	CMPEN19	CMPEN18	CMPEN17(2)	CMPEN16(1)	0000
ADCMP1LO	0344	ADC比较器1低值寄存器																0000
ADCMP1HI	0346	ADC比较器1高值寄存器																0000
ADFLDAT	0368	ADC滤波器0结果数据寄存器																0000
ADFL1CON	036A	FLEN	MODE1	MODE0	OVRSAM2	OVRSAM1	OVRSAM0	IE	RDY	—	—	—	FLCHSEL4	FLCHSEL3	FLCHSEL2	FLCHSEL1	FLCHSEL0	0000
ADFL1DAT	0368	ADC滤波器1结果数据寄存器																0000
ADFL0CON	036A	FLEN	MODE1	MODE0	OVRSAM2	OVRSAM1	OVRSAM0	IE	RDY	—	—	—	FLCHSEL4	FLCHSEL3	FLCHSEL2	FLCHSEL1	FLCHSEL0	0000
ADTRIG0L	0380	—	—	—	TRGSRC1<4:0>					—	—	—	TRGSRC0<4:0>					0000
ADTRIG0H	0382	—	—	—	TRGSRC3<4:0>					—	—	—	TRGSRC2<4:0>					0000
ADTRIG1L	0384	—	—	—	TRGSRC5<4:0>					—	—	—	TRGSRC4<4:0>					0000
ADTRIG1H	0386	—	—	—	TRGSRC7<4:0>					—	—	—	TRGSRC6<4:0>					0000
ADTRIG2L	0388	—	—	—	TRGSRC9<4:0>					—	—	—	TRGSRC8<4:0>					0000
ADTRIG2H	038A	—	—	—	TRGSRC11<4:0>					—	—	—	TRGSRC10<4:0>					0000
ADTRIG3L	038C	—	—	—	TRGSRC13<4:0>					—	—	—	TRGSRC12<4:0>					0000
ADTRIG3H	038E	—	—	—	TRGSRC15<4:0>					—	—	—	TRGSRC14<4:0>					0000
ADTRIG4L	0390	—	—	—	TRGSRC17<4:0>					—	—	—	TRGSRC16<4:0>					0000
ADTRIG4H	0392	—	—	—	TRGSRC19<4:0>					—	—	—	TRGSRC18<4:0>					0000
ADTRIG5L	0394	—	—	—	TRGSRC21<4:0>					—	—	—	TRGSRC20<4:0>					0000
ADCMP0CON	03A0	—	—	—	CHNL4	CHNL3	CHNL2	CHNL1	CHNL0	CMPEN	IE	STAT	BTWN	HIHI	HILO	LOHI	LOLO	0000
ADCMP1CON	03A4	—	—	—	CHNL4	CHNL3	CHNL2	CHNL1	CHNL0	CMPEN	IE	STAT	BTWN	HIHI	HILO	LOHI	LOLO	0000

图注： — = 未实现，读为0。复位值以十六进制显示。

注 1： 仅在dsPIC33EPXXGS506器件上实现。

2： 仅在dsPIC33EPXXGS504/505和dsPIC33EPXXGS506器件上实现。

© 2015-2018 Microchip Technology Inc.

表4-16： ADC寄存器映射（续）

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
ADLVLTRGL	03D0	LVLEN15(1)	LVLEN14	LVLEN13(1)	LVLEN12(2)	LVLEN11(2)	LVLEN10(2)	LVLEN9(2)	LVLEN8(2)	LVLEN7	LVLEN6	LVLEN5	LVLEN4	LVLEN3	LVLEN2	LVLEN1	LVLEN0	0000
ADLVLTRGH	03D2	—	—	—	—	—	—	—	—	—	—	LVLEN21	LVLEN20	LVLEN19	LVLEN18	LVLEN17(2)	LVLEN16(1)	0000
ADCORE0L	03D4	—	—	—	—	—	—	SAMC<9:0>										0000
ADCORE0H	03D6	—	—	—	EISEL2	EISEL1	EISEL0	RES1	RES0	—	ADCS6	ADCS5	ADCS4	ADCS3	ADCS2	ADCS1	ADCS0	0000
ADCORE1L	03D8	—	—	—	—	—	—	SAMC<9:0>										0000
ADCORE1H	03DA	—	—	—	EISEL2	EISEL1	EISEL0	RES1	RES0	—	ADCS6	ADCS5	ADCS4	ADCS3	ADCS2	ADCS1	ADCS0	0000
ADCORE2L	03DC	—	—	—	—	—	—	SAMC<9:0>										0000
ADCORE2H	03DE	—	—	—	EISEL2	EISEL1	EISEL0	RES1	RES0	—	ADCS6	ADCS5	ADCS4	ADCS3	ADCS2	ADCS1	ADCS0	0000
ADCORE3L	03E0	—	—	—	—	—	—	SAMC<9:0>										0000
ADCORE3H	03E2	—	—	—	EISEL2	EISEL1	EISEL0	RES1	RES0	—	ADCS6	ADCS5	ADCS4	ADCS3	ADCS2	ADCS1	ADCS0	0000
ADEIEL	03F0	EIEN15(1)	EIEN14(2)	EIEN13(1)	EIEN12(2)	EIEN11(2)	EIEN10(2)	EIEN9(2)	EIEN8(2)	EIEN7	EIEN6	EIEN5	EIEN4	EIEN3	EIEN2	EIEN1	EIEN0	0000
ADEIEH	03F2	—	—	—	—	—	—	—	—	—	—	EIEN21	EIEN20	EIEN19	EIEN18	EIEN17(2)	EIEN16(1)	0000
ADEISTATL	03F8	EISTAT15(1)	EISTAT14(2)	EISTAT13(1)	EISTAT12(2)	EISTAT11(2)	EISTAT10(2)	EISTAT9(2)	EISTAT8(2)	EISTAT7	EISTAT6	EISTAT5	EISTAT4	EISTAT3	EISTAT2	EISTAT1	EISTAT0	0000
ADEISTATH	03FA	—	—	—	—	—	—	—	—	—	—	EISTAT21	EISTAT20	EISTAT19	EISTAT18	EISTAT17(2)	EISTAT16(1)	0000
ADCON5L	0400	SHRRDY	—	—	—	C3RDY	C2RDY	C1RDY	C0RDY	SHRPWR	—	—	—	C3PWR	C2PWR	C1PWR	C0PWR	0000
ADCON5H	0402	—	—	—	—	WARMTIME3	WARMTIME2	WARMTIME1	WARMTIME0	SHRCIE	—	—	—	C3CIE	C2CIE	C1CIE	C0CIE	0000
ADCAL0L	0404	CAL1RDY	—	—	—	—	CAL1DIFF	CAL1EN	CAL1RUN	CAL0RDY	—	—	—	—	CAL0DIFF	CAL0EN	CAL0RUN	0000
ADCAL0H	0406	CAL3RDY	—	—	—	—	CAL3DIFF	CAL3EN	CAL3RUN	CAL2RDY	—	—	—	—	CAL2DIFF	CAL2EN	CAL2RUN	0000
ADCAL1H	040A	CSHRRDY	—	—	—	—	CSHRDIFF	CSHREN	CSHRRUN	—	—	—	—	—	—	—	—	0000
ADCBUF0	040C	ADC数据缓冲区0																0000
ADCBUF1	040E	ADC数据缓冲区1																0000
ADCBUF2	0410	ADC数据缓冲区2																0000
ADCBUF3	0412	ADC数据缓冲区3																0000
ADCBUF4	0414	ADC数据缓冲区4																0000
ADCBUF5	0416	ADC数据缓冲区5																0000
ADCBUF6	041B	ADC数据缓冲区6																0000
ADCBUF7	041A	ADC数据缓冲区7																0000
ADCBUF8	041C	ADC数据缓冲区8																0000
ADCBUF9	041E	ADC数据缓冲区9																0000
ADCBUF10	0420	ADC数据缓冲区10																0000
ADCBUF11	0422	ADC数据缓冲区11																0000
ADCBUF12	0424	ADC数据缓冲区12																0000
ADCBUF13	0426	ADC数据缓冲区13																0000
ADCBUF14	0428	ADC数据缓冲区14																0000
ADCBUF15	042A	ADC数据缓冲区15																0000
ADCBUF16	042C	ADC数据缓冲区16																0000
ADCBUF17	042E	ADC数据缓冲区17																0000
ADCBUF18	0430	ADC数据缓冲区18																0000
ADCBUF19	0432	ADC数据缓冲区19																0000
ADCBUF20	0434	ADC数据缓冲区20																0000
ADCBUF21	0436	ADC数据缓冲区21																0000

图注： — = 未实现，读为0。复位值以十六进制显示。

注 1： 仅在dsPIC33EPXXGS506器件上实现。

2： 仅在dsPIC33EPXXGS504/505和dsPIC33EPXXGS506器件上实现。

© 2015-2018 Microchip Technology Inc.

表4-17： dsPIC33EPXXGS502器件的外设引脚选择输出寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
RPOR0	0670	—	—	RP33R5	RP33R4	RP33R3	RP33R2	RP33R1	RP33R0	—	—	RP32R5	RP32R4	RP32R3	RP32R2	RP32R1	RP32R0	0000
RPOR1	0672	—	—	RP35R5	RP35R4	RP35R3	RP35R2	RP35R1	RP35R0	—	—	RP34R5	RP34R4	RP34R3	RP34R2	RP34R1	RP34R0	0000
RPOR2	0674	—	—	RP37R5	RP37R4	RP37R3	RP37R2	RP37R1	RP37R0	—	—	RP36R5	RP36R4	RP36R3	RP36R2	RP36R1	RP36R0	0000
RPOR3	0676	—	—	RP39R5	RP39R4	RP39R3	RP39R2	RP39R1	RP39R0	—	—	RP38R5	RP38R4	RP38R3	RP38R2	RP38R1	RP38R0	0000
RPOR4	0678	—	—	RP41R5	RP41R4	RP41R3	RP41R2	RP41R1	RP41R0	—	—	RP40R5	RP40R4	RP40R3	RP40R2	RP40R1	RP40R0	0000
RPOR5	067A	—	—	RP43R5	RP43R4	RP43R3	RP43R2	RP43R1	RP43R0	—	—	RP42R5	RP42R4	RP42R3	RP42R2	RP42R1	RP42R0	0000
RPOR6	067C	—	—	RP45R5	RP45R4	RP45R3	RP45R2	RP45R1	RP45R0	—	—	RP44R5	RP44R4	RP44R3	RP44R2	RP44R1	RP44R0	0000
RPOR7	067E	—	—	RP47R5	RP47R4	RP47R3	RP47R2	RP47R1	RP47R0	—	—	RP46R5	RP46R4	RP46R3	RP46R2	RP46R1	RP46R0	0000
RPOR16	0690	—	—	RP177R5	RP177R4	RP177R3	RP177R2	RP177R1	RP177R0	—	—	RP176R5	RP176R4	RP176R3	RP176R2	RP176R1	RP176R0	0000
RPOR17	0692	—	—	RP179R5	RP179R4	RP179R3	RP179R2	RP179R1	RP179R0	—	—	RP178R5	RP178R4	RP178R3	RP178R2	RP178R1	RP178R0	0000
RPOR18	0694	—	—	RP181R5	RP181R4	RP181R3	RP181R2	RP181R1	RP181R0	—	—	RP180R5	RP180R4	RP180R3	RP180R2	RP180R1	RP180R0	0000

图注： **— =** 未实现，读为0。复位值以十六进制显示。

表4-18： dsPIC33EPXXGS504/505器件的外设引脚选择输出寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
RPOR0	0670	—	—	RP33R5	RP33R4	RP33R3	RP33R2	RP33R1	RP33R0	—	—	RP32R5	RP32R4	RP32R3	RP32R2	RP32R1	RP32R0	0000
RPOR1	0672	—	—	RP35R5	RP35R4	RP35R3	RP35R2	RP35R1	RP35R0	—	—	RP34R5	RP34R4	RP34R3	RP34R2	RP34R1	RP34R0	0000
RPOR2	0674	—	—	RP37R5	RP37R4	RP37R3	RP37R2	RP37R1	RP37R0	—	—	RP36R5	RP36R4	RP36R3	RP36R2	RP36R1	RP36R0	0000
RPOR3	0676	—	—	RP39R5	RP39R4	RP39R3	RP39R2	RP39R1	RP39R0	—	—	RP38R5	RP38R4	RP38R3	RP38R2	RP38R1	RP38R0	0000
RPOR4	0678	—	—	RP41R5	RP41R4	RP41R3	RP41R2	RP41R1	RP41R0	—	—	RP40R5	RP40R4	RP40R3	RP40R2	RP40R1	RP40R0	0000
RPOR5	067A	—	—	RP43R5	RP43R4	RP43R3	RP43R2	RP43R1	RP43R0	—	—	RP42R5	RP42R4	RP42R3	RP42R2	RP42R1	RP42R0	0000
RPOR6	067C	—	—	RP45R5	RP45R4	RP45R3	RP45R2	RP45R1	RP45R0	—	—	RP44R5	RP44R4	RP44R3	RP44R2	RP44R1	RP44R0	0000
RPOR7	067E	—	—	RP47R5	RP47R4	RP47R3	RP47R2	RP47R1	RP47R0	—	—	RP46R5	RP46R4	RP46R3	RP46R2	RP46R1	RP46R0	0000
RPOR8	0680	—	—	RP49R5	RP49R4	RP49R3	RP49R2	RP49R1	RP49R0	—	—	RP48R5	RP48R4	RP48R3	RP48R2	RP48R1	RP48R0	0000
RPOR9	0682	—	—	RP51R5	RP51R4	RP51R3	RP51R2	RP51R1	RP51R0	—	—	RP50R5	RP50R4	RP50R3	RP50R2	RP50R1	RP50R0	0000
RPOR10	0684	—	—	RP53R5	RP53R4	RP53R3	RP53R2	RP53R1	RP53R0	—	—	RP52R5	RP52R4	RP52R3	RP52R2	RP52R1	RP52R0	0000
RPOR11	0686	—	—	RP55R5	RP55R4	RP55R3	RP55R2	RP55R1	RP55R0	—	—	RP54R5	RP54R4	RP54R3	RP54R2	RP54R1	RP54R0	0000
RPOR12	0688	—	—	RP57R5	RP57R4	RP57R3	RP57R2	RP57R1	RP57R0	—	—	RP56R5	RP56R4	RP56R3	RP56R2	RP56R1	RP56R0	0000
RPOR13	068A	—	—	RP59R5	RP59R4	RP59R3	RP59R2	RP59R1	RP59R0	—	—	RP58R5	RP58R4	RP58R3	RP58R2	RP58R1	RP58R0	0000
RPOR14	068C	—	—	RP61R5	RP61R4	RP61R3	RP61R2	RP61R1	RP61R0	—	—	RP60R5	RP60R4	RP60R3	RP60R2	RP60R1	RP60R0	0000
RPOR16	0690	—	—	RP177R5	RP177R4	RP177R3	RP177R2	RP177R1	RP177R0	—	—	RP176R5	RP176R4	RP176R3	RP176R2	RP176R1	RP176R0	0000
RPOR17	0692	—	—	RP179R5	RP179R4	RP179R3	RP179R2	RP179R1	RP179R0	—	—	RP178R5	RP178R4	RP178R3	RP178R2	RP178R1	RP178R0	0000
RPOR18	0694	—	—	RP181R5	RP181R4	RP181R3	RP181R2	RP181R1	RP181R0	—	—	RP180R5	RP180R4	RP180R3	RP180R2	RP180R1	RP180R0	0000

图注： **— =** 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-19： dsPIC33EPXXGS506器件的外设引脚选择输出寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
RPOR0	0670	—	—	RP33R5	RP33R4	RP33R3	RP33R2	RP33R1	RP33R0	—	—	RP32R5	RP32R4	RP32R3	RP32R2	RP32R1	RP32R0	0000
RPOR1	0672	—	—	RP35R5	RP35R4	RP35R3	RP35R2	RP35R1	RP35R0	—	—	RP34R5	RP34R4	RP34R3	RP34R2	RP34R1	RP34R0	0000
RPOR2	0674	—	—	RP37R5	RP37R4	RP37R3	RP37R2	RP37R1	RP37R0	—	—	RP36R5	RP36R4	RP36R3	RP36R2	RP36R1	RP36R0	0000
RPOR3	0676	—	—	RP39R5	RP39R4	RP39R3	RP39R2	RP39R1	RP39R0	—	—	RP38R5	RP38R4	RP38R3	RP38R2	RP38R1	RP38R0	0000
RPOR4	0678	—	—	RP41R5	RP41R4	RP41R3	RP41R2	RP41R1	RP41R0	—	—	RP40R5	RP40R4	RP40R3	RP40R2	RP40R1	RP40R0	0000
RPOR5	067A	—	—	RP43R5	RP43R4	RP43R3	RP43R2	RP43R1	RP43R0	—	—	RP42R5	RP42R4	RP42R3	RP42R2	RP42R1	RP42R0	0000
RPOR6	067C	—	—	RP45R5	RP45R4	RP45R3	RP45R2	RP45R1	RP45R0	—	—	RP44R5	RP44R4	RP44R3	RP44R2	RP44R1	RP44R0	0000
RPOR7	067E	—	—	RP47R5	RP47R4	RP47R3	RP47R2	RP47R1	RP47R0	—	—	RP46R5	RP46R4	RP46R3	RP46R2	RP46R1	RP46R0	0000
RPOR8	0680	—	—	RP49R5	RP49R4	RP49R3	RP49R2	RP49R1	RP49R0	—	—	RP48R5	RP48R4	RP48R3	RP48R2	RP48R1	RP48R0	0000
RPOR9	0682	—	—	RP51R5	RP51R4	RP51R3	RP51R2	RP51R1	RP51R0	—	—	RP50R5	RP50R4	RP50R3	RP50R2	RP50R1	RP50R0	0000
RPOR10	0684	—	—	RP53R5	RP53R4	RP53R3	RP53R2	RP53R1	RP53R0	—	—	RP52R5	RP52R4	RP52R3	RP52R2	RP52R1	RP52R0	0000
RPOR11	0686	—	—	RP55R5	RP55R4	RP55R3	RP55R2	RP55R1	RP55R0	—	—	RP54R5	RP54R4	RP54R3	RP54R2	RP54R1	RP54R0	0000
RPOR12	0688	—	—	RP57R5	RP57R4	RP57R3	RP57R2	RP57R1	RP57R0	—	—	RP56R5	RP56R4	RP56R3	RP56R2	RP56R1	RP56R0	0000
RPOR13	068A	—	—	RP59R5	RP59R4	RP59R3	RP59R2	RP59R1	RP59R0	—	—	RP58R5	RP58R4	RP58R3	RP58R2	RP58R1	RP58R0	0000
RPOR14	068C	—	—	RP61R5	RP61R4	RP61R3	RP61R2	RP61R1	RP61R0	—	—	RP60R5	RP60R4	RP60R3	RP60R2	RP60R1	RP60R0	0000
RPOR15	068E	—	—	RP63R5	RP63R4	RP63R3	RP63R2	RP63R1	RP63R0	—	—	RP62R5	RP62R4	RP62R3	RP62R2	RP62R1	RP62R0	0000
RPOR16	0690	—	—	RP177R5	RP177R4	RP177R3	RP177R2	RP177R1	RP177R0	—	—	RP176R5	RP176R4	RP176R3	RP176R2	RP176R1	RP176R0	0000
RPOR17	0692	—	—	RP179R5	RP179R4	RP179R3	RP179R2	RP179R1	RP179R0	—	—	RP178R5	RP178R4	RP178R3	RP178R2	RP178R1	RP178R0	0000
RPOR18	0694	—	—	RP181R5	RP181R4	RP181R3	RP181R2	RP181R1	RP181R0	—	—	RP180R5	RP180R4	RP180R3	RP180R2	RP180R1	RP180R0	0000

图注： — = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-20： 外设引脚选择输入寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
RPINR0	06A0	INT1R<7:0>								—	—	—	—	—	—	—	—	0000
RPINR1	06A2	—	—	—	—	—	—	—	—	INT2R<7:0>								0000
RPINR2	06A4	T1CKR<7:0>								—	—	—	—	—	—	—	—	0000
RPINR3	06A6	T3CKR7	T3CKR6	T3CKR5	T3CKR4	T3CKR3	T3CKR2	T3CKR1	T3CKR0	T2CKR7	T2CKR6	T2CKR5	T2CKR4	T2CKR3	T2CKR2	T2CKR1	T2CKR0	0000
RPINR7	06AE	IC2R7	IC2R6	IC2R5	IC2R4	IC2R3	IC2R2	IC2R1	IC2R0	IC1R7	IC1R6	IC1R5	IC1R4	IC1R3	IC1R2	IC1R1	IC1R0	0000
RPINR8	06B0	IC4R7	IC4R6	IC4R5	IC4R4	IC4R3	IC4R2	IC4R1	IC4R0	IC3R7	IC3R6	IC3R5	IC3R4	IC3R3	IC3R2	IC3R1	IC3R0	0000
RPINR11	06B6	—	—	—	—	—	—	—	—	OCFAR<7:0>								0000
RPINR12	06B8	FLT2R7	FLT2R6	FLT2R5	FLT2R4	FLT2R3	FLT2R2	FLT2R1	FLT2R0	FLT1R7	FLT1R6	FLT1R5	FLT1R4	FLT1R3	FLT1R2	FLT1R1	FLT1R0	0000
RPINR13	06BA	FLT4R7	FLT4R6	FLT4R5	FLT4R4	FLT4R3	FLT4R2	FLT4R1	FLT4R0	FLT3R7	FLT3R6	FLT3R5	FLT3R4	FLT3R3	FLT3R2	FLT3R1	FLT3R0	0000
RPINR18	06C4	U1CTSR7	U1CTSR6	U1CTSR5	U1CTSR4	U1CTSR3	U1CTSR2	U1CTSR1	U1CTS0	U1RXR7	U1RXR6	U1RXR5	U1RXR4	U1RXR3	U1RXR2	U1RXR1	U1RXR0	0000
RPINR19	06C6	U2CTSR7	U2CTSR6	U2CTSR5	U2CTSR4	U2CTSR3	U2CTSR2	U2CTSR1	U2CTSR0	U2RXR7	U2RXR6	U2RXR5	U2RXR4	U2RXR3	U2RXR2	U2RXR1	U2RXR0	0000
RPINR20	06C8	SCK1INR7	SCK1INR6	SCK1INR5	SCK1INR4	SCK1INR3	SCK1INR2	SCK1INR1	SCK1INR0	SDI1R7	SDI1R6	SDI1R5	SDI1R4	SDI1R3	SDI1R2	SDI1R1	SDI1R0	0000
RPINR21	06CA	—	—	—	—	—	—	—	—	SS1R<7:0>								0000
RPINR22	06CC	SCK2INR7	SCK2INR6	SCK2INR5	SCK2INR4	SCK2INR3	SCK2INR2	SCK2INR1	SCK2INR0	SDI2R7	SDI2R6	SDI2R5	SDI2R4	SDI2R3	SDI2R2	SDI2R1	SDI2R0	0000
RPINR23	06CE	—	—	—	—	—	—	—	—	SS2R<7:0>								0000
RPINR37	06EA	SYNCI1R<7:0>								—	—	—	—	—	—	—	—	0000
RPINR38	06EC	—	—	—	—	—	—	—	—	SYNCI2R<7:0>								0000
RPINR42	06F4	FLT6R7	FLT6R6	FLT6R5	FLT6R4	FLT6R3	FLT6R2	FLT6R1	FLT6R0	FLT5R7	FLT5R6	FLT5R5	FLT5R4	FLT5R3	FLT5R2	FLT5R1	FLT5R0	0000
RPINR43	06F6	FLT8R7	FLT8R6	FLT8R5	FLT8R4	FLT8R3	FLT8R2	FLT8R1	FLT8R0	FLT7R7	FLT7R6	FLT7R5	FLT7R4	FLT7R3	FLT7R2	FLT7R1	FLT7R0	0000

图注： **— =** 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-21： NVM寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
NVMCON	0728	WR	WREN	WRERR	NVMSIDL	SFTSWP	P2ACTIV	RPDF	URERR	—	—	—	—	NVMOP3	NVMOP2	NVMOP1	NVMOP0	0000
NVMADR	072A	NVMADR<15:0>																0000
NVMADRU	072C	—	—	—	—	—	—	—	—	NVMADR<23:16>								0000
NVMKEY	072E	—	—	—	—	—	—	—	—	NVMKEY<7:0>								0000
NVMSRCADR	0730	NVM源数据地址寄存器，低位字（NVMSRCADR<15:0>）																0000
NVMSRCADRH	0732	—	—	—	—	—	—	—	—	NVM源数据地址寄存器，高字节（NVMSRCADR<23:16>）								0000

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-22： 系统控制寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
RCON	0740	TRAPR	IOPUWR	—	—	VREGSF	—	CM	VREGS	EXTR	SWR	SWDTEN	WDTO	SLEEP	IDLE	BOR	POR	注1
OSCCON	0742	—	COSC2	COSC1	COSC0	—	NOSC2	NOSC1	NOSC0	CLKLOCK	IOLOCK	LOCK	—	CF	—	—	OSWEN	注2
CLKDIV	0744	ROI	DOZE2	DOZE1	DOZE0	DOZEN	FRCDIV2	FRCDIV1	FRCDIV0	PLLPOST1	PLLPOST0	—	PLLPRE4	PLLPRE3	PLLPRE2	PLLPRE1	PLLPRE0	3040
PLLFBD	0746	—	—	—	—	—	—	—	PLLDIV<8:0>									0030
OSCTUN	0748	—	—	—	—	—	—	—	—	—	—	TUN<5:0>						0000
LFSR	074C	—	LFSR<14:0>															0000
REFOCON	074E	ROON	—	ROSSLP	ROSEL	RODIV3	RODIV2	RODIV1	RODIV0	—	—	—	—	—	—	—	—	0000
ACLKCON	0750	ENAPLL	APLLCK	SELACLK	—	—	APSTSCLR2	APSTSCLR1	APSTSCLR0	ASRCSEL	FRCSEL	—	—	—	—	—	—	2740

图注： — = 未实现，读为0。复位值以十六进制显示。

注 1： RCON寄存器的复位值取决于复位类型。

2： OSCCON寄存器的复位值取决于配置熔丝。

© 2015-2018 Microchip Technology Inc.

表4-23： PMD寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
PMD1	0760	T5MD	T4MD	T3MD	T2MD	T1MD	—	PWMMD	—	I2C1MD	U2MD	U1MD	SPI2MD	SPI1MD	—	—	ADCMD	0000
PMD2	0762	—	—	—	—	IC4MD	IC3MD	IC2MD	IC1MD	—	—	—	—	OC4MD	OC3MD	OC2MD	OC1MD	0000
PMD3	0764	—	—	—	—	—	CMPMD	—	—	—	—	—	—	—	—	I2C2MD	—	0000
PMD4	0766	—	—	—	—	—	—	—	—	—	—	—	—	REFOMD	—	—	—	0000
PMD6	076A	—	—	—	PWM5MD	PWM4MD	PWM3MD	PWM2MD	PWM1MD	—	—	—	—	—	—	—	—	0000
PMD7	076C	—	—	—	—	CMP4MD	CMP3MD	CMP2MD	CMP1MD	—	—	—	—	—	—	PGA1MD	—	0000
PMD8	076E	—	—	—	—	—	PGA2MD	ABGMD	—	—	—	—	—	—	—	CCSMD	—	0000

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-24： 恒流源寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
ISRCCON	0500	ISRCEN	—	—	—	—	OUTSEL2	OUTSEL1	OUTSEL0	—	—	ISRCCAL5	ISRCCAL4	ISRCCAL3	ISRCCAL2	ISRCCAL1	ISRCCAL0	0000

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-25： 可编程增益放大器寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
PGA1CON	0504	PGAEN	PGAOEN	SELPI2	SELPI1	SELPI0	SELNI2	SELNI1	SELNI0	—	—	—	—	—	GAIN2	GAIN1	GAIN0	0000
PGA1CAL	0506	—	—	—	—	—	—	—	—	—	—	PGACAL<5:0>						0000
PGA2CON	0508	PGAEN	PGAOEN	SELPI2	SELPI1	SELPI0	SELNI2	SELNI1	SELNI0	—	—	—	—	—	GAIN2	GAIN1	GAIN0	0000
PGA2CAL	050A	—	—	—	—	—	—	—	—	—	—	PGACAL<5:0>						0000

图注： — = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-26： 模拟比较器寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
CMP1CON	0540	CMPON	—	CMPSIDL	HYSSEL1	HYSSEL0	FLTREN	FCLKSEL	DACOE	INSEL1	INSEL0	EXTREF	HYSPOL	CMPSTAT	ALTINP	CMPPOL	RANGE	0000
CMP1DAC	0542	—	—	—	—	CMREF<11:0>												0000
CMP2CON	0544	CMPON	—	CMPSIDL	HYSSEL1	HYSSEL0	FLTREN	FCLKSEL	DACOE	INSEL1	INSEL0	EXTREF	HYSPOL	CMPSTAT	ALTINP	CMPPOL	RANGE	0000
CMP2DAC	0546	—	—	—	—	CMREF<11:0>												0000
CMP3CON	0548	CMPON	—	CMPSIDL	HYSSEL1	HYSSEL0	FLTREN	FCLKSEL	DACOE	INSEL1	INSEL0	EXTREF	HYSPOL	CMPSTAT	ALTINP	CMPPOL	RANGE	0000
CMP3DAC	054A	—	—	—	—	CMREF<11:0>												0000
CMP4CON	054C	CMPON	—	CMPSIDL	HYSSEL1	HYSSEL0	FLTREN	FCLKSEL	DACOE	INSEL1	INSEL0	EXTREF	HYSPOL	CMPSTAT	ALTINP	CMPPOL	RANGE	0000
CMP4DAC	054E	—	—	—	—	CMREF<11:0>												0000

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-27： JTAG接口寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
JDATAH	0FF0	—	—	—	—	JDATAH<11:0>												xxxx
JDATAL	0FF2	JDATAL<15:0>																0000

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-28： dsPIC33EPXXGS502器件的PORTA寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TRISA	0E00	—	—	—	—	—	—	—	—	—	—	—	TRISA<4:0>					001F
PORTA	0E02	—	—	—	—	—	—	—	—	—	—	—	RA<4:0>					0000
LATA	0E04	—	—	—	—	—	—	—	—	—	—	—	LATA<4:0>					0000
ODCA	0E06	—	—	—	—	—	—	—	—	—	—	—	ODCA<4:0>					0000
CNENA	0E08	—	—	—	—	—	—	—	—	—	—	—	CNIEA<4:0>					0000
CNPUA	0E0A	—	—	—	—	—	—	—	—	—	—	—	CNPUA<4:0>					0000
CNPDA	0E0C	—	—	—	—	—	—	—	—	—	—	—	CNPDA<4:0>					0000
ANSELA	0E0E	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSA<2:0>			0007

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-29： dsPIC33EPXXGS502器件的PORTB寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TRISB	0E10	TRISB<15:0>																FFFF
PORTB	0E12	RB<15:0>																xxxx
LATB	0E14	LATB<15:0>																xxxx
ODCB	0E16	ODCB<15:0>																0000
CNENB	0E18	CNIEB<15:0>																0000
CNPUB	0E1A	CNPUB<15:0>																0000
CNPDB	0E1C	CNPDB<15:0>																0000
ANSELB	0E1E	—	—	—	—	—	ANSB<10:9>		—	ANSB<7:0>								06FF

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-30： dsPIC33EPXXGS504/505器件的PORTA寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TRISA	0E00	—	—	—	—	—	—	—	—	—	—	—	TRISA<4:0>					001F
PORTA	0E02	—	—	—	—	—	—	—	—	—	—	—	RA<4:0>					0000
LATA	0E04	—	—	—	—	—	—	—	—	—	—	—	LATA<4:0>					0000
ODCA	0E06	—	—	—	—	—	—	—	—	—	—	—	ODCA<4:0>					0000
CNENA	0E08	—	—	—	—	—	—	—	—	—	—	—	CNIEA<4:0>					0000
CNPUA	0E0A	—	—	—	—	—	—	—	—	—	—	—	CNPUA<4:0>					0000
CNPDA	0E0C	—	—	—	—	—	—	—	—	—	—	—	CNPDA<4:0>					0000
ANSELA	0E0E	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSA<2:0>			0007

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-31： dsPIC33EPXXGS504/505器件的PORTB寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TRISB	0E10	TRISB<15:0>																FFFF
PORTB	0E12	RB<15:0>																xxxx
LATB	0E14	LATB<15:0>																xxxx
ODCB	0E16	ODCB<15:0>																0000
CNENB	0E18	CNIEB<15:0>																0000
CNPUB	0E1A	CNPUB<15:0>																0000
CNPDB	0E1C	CNPDB<15:0>																0000
ANSELB	0E1E	—	—	—	—	—	ANSB<10:9>		—	ANSB<7:5>			—	ANSB<3:0>				06EF

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

表4-32： dsPIC33EPXXGS504/505器件的PORTC寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TRISC	0E20	—	—	TRISC<13:0>														3FFF
PORTC	0E22	—	—	RC<13:0>														xxxx
LATC	0E24	—	—	LATC<13:0>														xxxx
ODCC	0E26	—	—	ODCC<13:0>														0000
CNENC	0E28	—	—	CNIEC<13:0>														0000
CNPUC	0E2A	—	—	CNPUC<13:0>														0000
CNPDC	0E2C	—	—	CNPDC<13:0>														0000
ANSELC	0E2E	—	—	—	ANSC<12:9>				—	—	ANSC<6:4>			—	ANSC<2:0>			1E77

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-33： dsPIC33EPXXGS506器件的PORTA寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TRISA	0E00	—	—	—	—	—	—	—	—	—	—	—	TRISA<4:0>					001F
PORTA	0E02	—	—	—	—	—	—	—	—	—	—	—	RA<4:0>					0000
LATA	0E04	—	—	—	—	—	—	—	—	—	—	—	LATA<4:0>					0000
ODCA	0E06	—	—	—	—	—	—	—	—	—	—	—	ODCA<4:0>					0000
CNENA	0E08	—	—	—	—	—	—	—	—	—	—	—	CNIEA<4:0>					0000
CNPUA	0E0A	—	—	—	—	—	—	—	—	—	—	—	CNPUA<4:0>					0000
CNPDA	0E0C	—	—	—	—	—	—	—	—	—	—	—	CNPDA<4:0>					0000
ANSELA	0E0E	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSA<2:0>			0007

图注： — = 未实现，读为0。复位值以十六进制显示。

表4-34： dsPIC33EPXXGS506器件的PORTB寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TRISB	0E10	TRISB<15:0>																FFFF
PORTB	0E12	RB<15:0>																xxxx
LATB	0E14	LATB<15:0>																xxxx
ODCB	0E16	ODCB<15:0>																0000
CNENB	0E18	CNIEB<15:0>																0000
CNPUB	0E1A	CNPUB<15:0>																0000
CNPDB	0E1C	CNPDB<15:0>																0000
ANSELB	0E1E	—	—	—	—	—	ANSB<10:9>		—	ANSB<7:5>			—	ANSB<3:0>				06EF

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

表4-35： dsPIC33EPXXGS506器件的PORTC寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TRISC	0E20	TRISC<15:0>																FFFF
PORTC	0E22	RC<15:0>																xxxx
LATC	0E24	LATC<15:0>																xxxx
ODCC	0E26	ODCC<15:0>																0000
CNENC	0E28	CNIEC<15:0>																0000
CNPUC	0E2A	CNPUC<15:0>																0000
CNPDC	0E2C	CNPDC<15:0>																0000
ANSELC	0E2E	—	—	—	ANSC<12:9>				—	—	ANSC<6:4>			—	ANSC<2:0>			1E77

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

表4-36： dsPIC33EPXXGS506器件的PORTD寄存器映射

SFR名称	地址	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	所有复位时的状态
TRISD	0E30	TRISD<15:0>																FFFF
PORTD	0E32	RD<15:0>																xxxx
LATD	0E34	LATD<15:0>																xxxx
ODCD	0E36	ODCD<15:0>																0000
CNEND	0E38	CNIED<15:0>																0000
CNPUD	0E3A	CNPUD<15:0>																0000
CNPDD	0E3C	CNPDD<15:0>																0000
ANSELD	0E3E	—	—	ANSD13	—	—	—	—	—	ANSD7	—	—	—	—	ANSD2	—	—	6084

图注： x = 复位时的未知值；— = 未实现，读为0。复位值以十六进制显示。

© 2015-2018 Microchip Technology Inc.

4.5.1 分页存储器方案

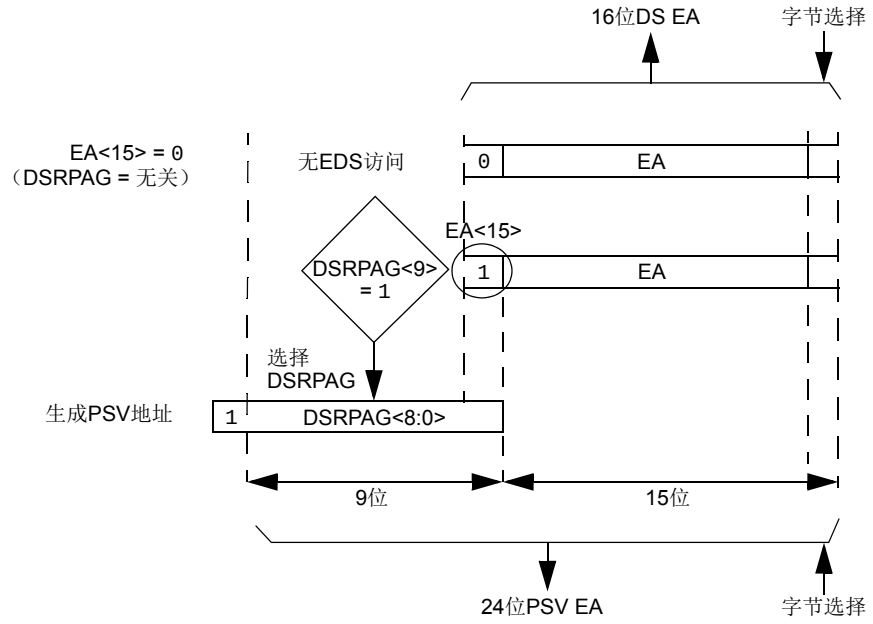
dsPIC33EPXXGS50X架构通过分页方案扩展可用数据空间，分页方案支持使用MOV指令以线性方式（对有效地址（EA）执行前修改或后修改）来访问可用数据空间。基本数据空间的高半地址部分与数据空间页（DSRPAG）寄存器配合使用，构成程序空间可视性（PSV）地址。

数据空间页（DSRPAG）寄存器位于SFR空间中。图4-9给出了PSV地址的构成。当DSRPAG<9> = 1且基址位EA<15> = 1时，DSRPAG<8:0>位与EA<14:0>相连构成24位PSV读地址。

通过分页存储器方案可以访问PSV存储区中的多个32 KB窗口。数据空间页（DSRPAG）寄存器与数据空间地址高半部分组合使用时，最多可以提供8 MB的PSV地址空间。分页数据存储空间如图4-10所示。

DSRPAG为0x200或更大时，可以访问程序空间（PS）。仅支持使用DSRPAG对PS执行读操作。

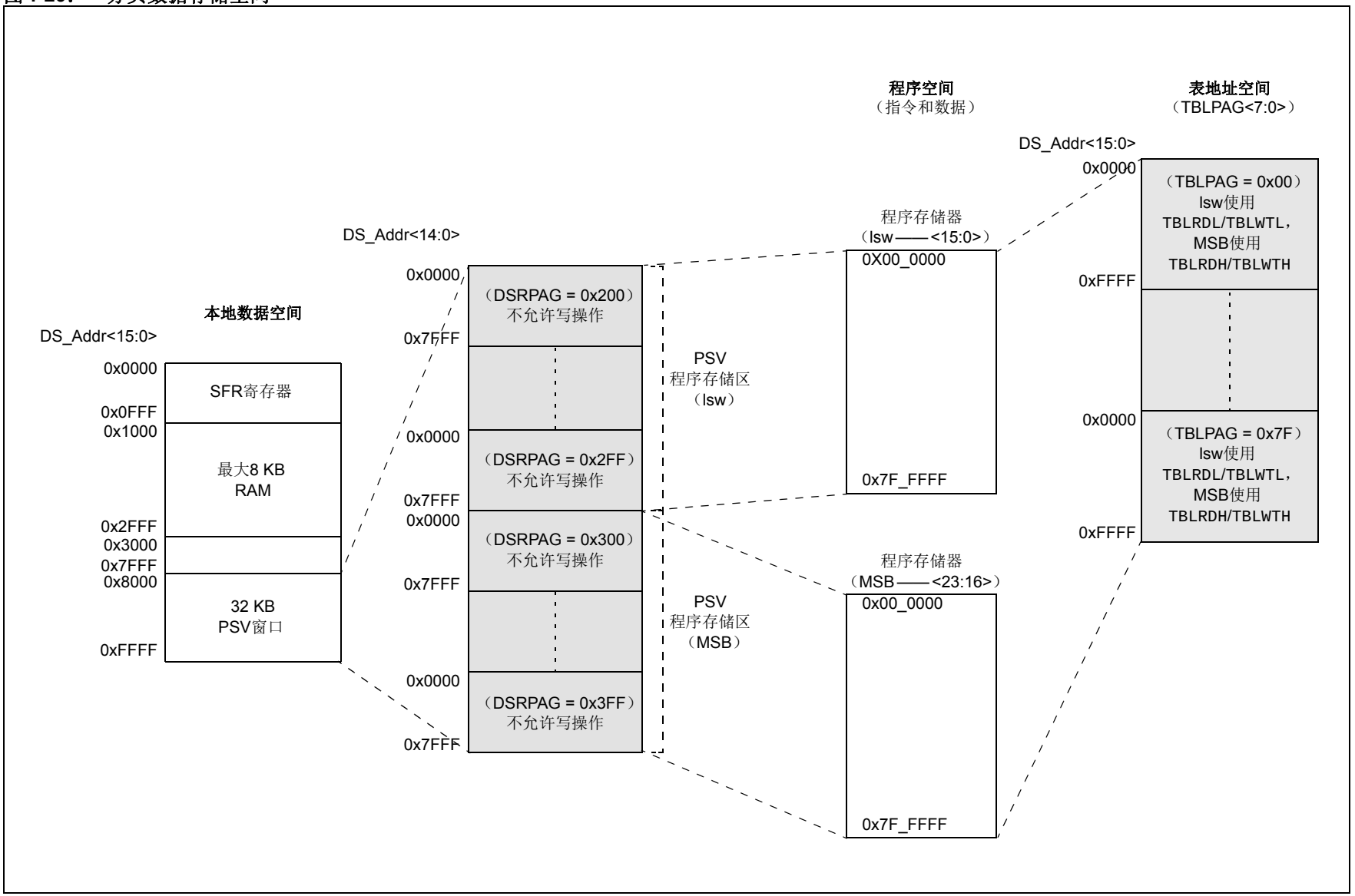
图4-9： 程序空间可视性（PSV）的读地址生成方式



注： 当DSRPAG = 0x000时，DS读访问会强制产生地址错误陷阱。

© 2015-2018 Microchip Technology Inc.

图4-10： 分页数据存储空间



© 2015-2018 Microchip Technology Inc.

发生PSV页上溢或下溢时，EA<15>会由于寄存器间接EA计算而清零。在以下情况下，PSV页中的EA会在页边界处发生上溢或下溢：

- 初始地址（在修改之前）寻址PSV页
- EA计算使用执行前修改或执行后修改的寄存器间接寻址模式；但是，这不包括寄存器偏移量寻址

通常在检测到上溢时，DSRPAG寄存器会递增，EA<15>位会置1，以使基址保持在PSV窗口内。当检测到下溢时，DSRPAG寄存器会递减，EA<15>位会置1，以使基址保持在PSV窗口内。这可以产生线性的PSV地址空间，但仅限使用寄存器间接寻址模式时。

在进入和退出Page 0和PSV空间的边界时，会出现上述操作的例外情形。表4-37列出了不同边界处上溢和下溢情形的影响。

在以下情形中，发生上溢或下溢时，EA<15>位会置1，DSRPAG不会发生修改；因此，EA会折回到当前页的起始位置：

- 带寄存器偏移量的寄存器间接寻址
- 模寻址
- 位反转寻址

表4-37： PAGE 0和PSV空间边界处的上溢和下溢情形(2,3,4)

O/U, R/W	操作	之前			之后		
		DSxPAG	DS EA<15>	页说明	DSxPAG	DS EA<15>	页说明
O，读	[++Wn]或[Wn++]	DSRPAG = 0x2FF	1	PSV：最后一个lsw页	DSRPAG = 0x300	1	PSV：第一个MSB页
O，读		DSRPAG = 0x3FF	1	PSV：最后一个MSB页	DSRPAG = 0x3FF	0	见**注1**
U，读	[--Wn]或[Wn--]	DSRPAG = 0x001	1	PSV页	DSRPAG = 0x001	0	见**注1**
U，读		DSRPAG = 0x200	1	PSV：第一个lsw页	DSRPAG = 0x200	0	见**注1**
U，读		DSRPAG = 0x300	1	PSV：第一个MSB页	DSRPAG = 0x2FF	1	PSV：最后一个lsw页

图注： O = 上溢，U = 下溢，R = 读，W = 写

注 1： 寄存器间接寻址现在寻址基本数据空间（0x0000-0x7FFF）中的某个存储单元。

2： DSRPAG = 0x000时的EDS访问会产生地址错误陷阱。

3： 仅支持使用DSRPAG对PS执行读操作。

4： 偏移量很大时，不支持伪线性寻址。

© 2015-2018 Microchip Technology Inc.

4.5.2 扩展X数据空间

无论数据空间页寄存器的内容如何，总是可以访问介于0x0000和0x7FFF之间的基本地址空间低地址单元。它可以通过寄存器间接寻址指令进行间接寻址。它可以视为位于默认的EDS Page 0中（即，EDS地址范围0x000000至0x007FFF，并且对于该地址范围，基址位EA<15> = 0）。但是，Page 0不能通过基本数据空间高32 KB（0x8000至0xFFFF）结合DSRPAG = 0x00来进行访问。因此在复位时，DSRPAG会被初始化为0x001。

注 1： DSRPAG不应用于访问Page 0。DSRPAG设置为0x000时进行EDS访问会产生地址错误陷阱。

2： 用软件清零DSRPAG没有任何作用。

其余PSV页只能使用DSRPAG寄存器结合基本地址空间高32 KB（0x8000至0xFFFF）进行访问，并且此时基址位EA<15> = 1。

4.5.3 软件堆栈

W15寄存器用作专用软件堆栈指针（Software Stack Pointer，SSP），由异常处理、子程序调用和返回自动修改；但是，W15可以被任何指令以与所有其他W寄存器相同的方式引用。这样就简化了堆栈指针的读、写和操作（例如，创建堆栈帧）。

注： 为了防止不对齐的堆栈访问，W15<0>被硬件固定设置为0。

所有复位均将W15初始化为0x1000。该地址确保在所有dsPIC33EPXXGS50X器件中，SSP将指向有效的RAM并允许不可屏蔽陷阱异常使用堆栈。这些可能在SSP被用户软件初始化之前发生。在初始化期间，可以将SSP再编程以指向数据空间内的任何存储单元。

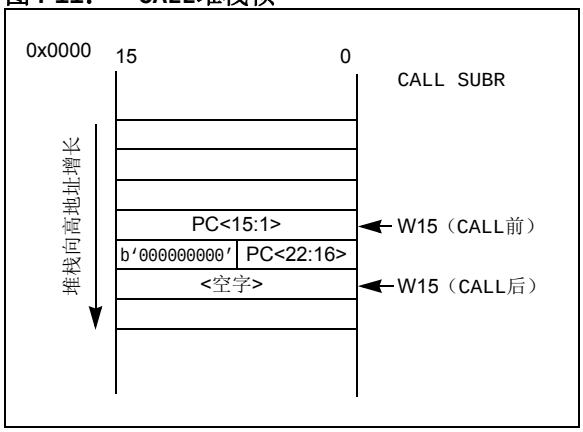
软件堆栈指针总是指向第一个可用的空字并从低地址到高地址填充软件堆栈。图4-11显示了它如何在弹出堆栈（读）时预递减，以及在压入堆栈（写）时后递增。

当PC压入堆栈时，PC<15:0>被压入第一个可用的堆栈字，然后PC<22:16>被压入第二个可用的堆栈单元。对于任何CALL指令执行期间的PC压栈，压栈前PC的MSB被零扩展，如图4-11所示。异常处理期间，PC的MSB与CPU状态寄存器SR的低8位组合在一起。这样就能在中断处理期间自动保存SRL的内容。

注 1： 为了维持系统堆栈指针（W15）一致性，W15永远不会受（EDS）分页影响，因此被限制在地址范围0x0000至0xFFFF。当W14用作堆栈帧指针时（SFA = 1），这同样适用于W14。

2： 由于堆栈可置于X和Y空间中并能访问这两个空间，因此在使用堆栈、特别是涉及到C语言开发环境中的局部自动变量时必须小心。

图4-11： CALL堆栈帧



4.6 指令寻址模式

表4-38给出了基本的寻址模式，这些寻址模式经过优化可以支持各指令的具体功能。MAC类指令中提供的寻址模式与其他指令类型中的寻址模式有所不同。

4.6.1 文件寄存器指令

大多数文件寄存器指令使用一个13位地址字段（f）来直接寻址数据存储器中的前8192字节（Near数据空间）。大多数文件寄存器指令使用工作寄存器W0，W0在这些指令中表示为WREG。目标寄存器通常是同一个文件寄存器或WREG（MUL指令除外，它将结果写入寄存器或寄存器对）。使用MOV指令能够获得更大的灵活性，可以访问整个数据空间。

4.6.2 MCU指令

三操作数MCU指令的形式是：

操作数3 = 操作数1<功能>操作数2

其中，操作数1始终是工作寄存器（即，寻址模式只能是寄存器直接寻址），称为Wb。操作数2可以是一个W寄存器，取自数据存储器，或为一个5位立即数。结果可以保存在W寄存器或数据存储单元中。MCU指令支持以下寻址模式：

- 寄存器直接寻址
- 寄存器间接寻址
- 执行后修改的寄存器间接寻址
- 执行前修改的寄存器间接寻址
- 5位或10位立即数寻址

注： 并非所有指令都支持上述所有的寻址模式。各条指令可能支持这些寻址模式中的某些模式。

表4-38： 支持的基本寻址模式

寻址模式	说明
文件寄存器直接寻址	明确指定文件寄存器的地址。
寄存器直接寻址	直接访问寄存器的内容。
寄存器间接寻址	Wn的内容形成有效地址（Effective Address，EA）。
执行后修改的寄存器间接寻址	Wn的内容形成EA。然后用一个常量值来修改Wn（递增或递减）。
执行前修改的寄存器间接寻址	先用一个有符号常量值修改Wn（递增或递减），再由此时的Wn内容形成EA。
带寄存器偏移量的寄存器间接寻址（寄存器变址寻址）	Wn和Wb的和形成EA。
带立即数偏移量的寄存器间接寻址	Wn和立即数的和形成EA。

© 2015-2018 Microchip Technology Inc.

4.6.3 传送指令和累加器指令

与其他指令相比，传送指令和DSP累加器类指令提供了更为灵活的寻址模式。除了大多数MCU指令支持的寻址模式以外，传送指令和累加器指令还支持带寄存器偏移量的寄存器间接寻址模式，这也称为寄存器变址寻址模式。

注： 对于MOV指令，指令中指定的寻址模式对于源寄存器和目标寄存器EA，可以是不同的。然而，4位Wb（寄存器偏移量）字段为源寄存器和目标寄存器所共用（但通常只由其中之一使用）。

概括地说，传送指令和累加器指令支持以下寻址模式：

- 寄存器直接寻址
- 寄存器间接寻址
- 执行后修改的寄存器间接寻址
- 执行前修改的寄存器间接寻址
- 带寄存器偏移量的寄存器间接寻址（变址寻址）
- 带立即数偏移量的寄存器间接寻址
- 8位立即数寻址
- 16位立即数寻址

注： 并非所有指令都支持上述所有的寻址模式。各条指令可能支持这些寻址模式中的某些模式。

4.6.4 MAC指令

双源操作数DSP指令（CLR、ED、EDAC、MAC、MPY、MPY.N、MOVSAC和MSC），也称为MAC指令，它们使用一组简化的寻址模式，允许用户应用程序通过寄存器间接寻址表有效地对数据指针进行操作。

双源操作数预取寄存器必须是集合{W8，W9，W10，W11}的成员。对于数据读取操作，W8和W9始终用于X RAGU，而W10和W11始终用于Y AGU。从而，产生的有效地址（无论是在修改之前还是之后），对于W8和W9必须是X数据空间中的有效地址，对于W10和W11则必须是Y数据空间中的有效地址。

注： 带寄存器偏移量的寄存器间接寻址模式仅可用于W9（在X空间中）和W11（在Y空间中）。

概括地说，MAC类指令支持以下寻址模式：

- 寄存器间接寻址
- 执行后修改（修改量为2）的寄存器间接寻址
- 执行后修改（修改量为4）的寄存器间接寻址
- 执行后修改（修改量为6）的寄存器间接寻址
- 带寄存器偏移量的寄存器间接寻址（变址寻址）

4.6.5 其他指令

除了上述的各种寻址模式之外，一些指令使用各种长度的立即数常量。例如，BRA（跳转）指令使用16位有符号立即数来直接指定跳转的目标，而DISI指令则使用一个14位无符号立即数字段。在一些指令中，例如ULNK，操作数或结果的存储位置已经暗含在操作码中。某些操作，例如NOP，没有任何操作数。

4.7 模寻址

模寻址模式是一种使用硬件来自动支持循环数据缓冲区的方法。目的是在执行紧密循环代码时（这在许多DSP算法中很典型），不需要用软件来执行数据地址边界检查。

可以在数据空间或程序空间中进行模寻址（因为这两种空间的数据指针机制本质上是相同的）。X数据空间（也提供指向程序空间的指针）和Y数据空间中都可支持一个循环缓冲区。模寻址可以对任何W寄存器指针进行操作。然而，最好不要将W14或W15用于模寻址，因为这两个寄存器分别用作堆栈帧指针和堆栈指针。

一般来说，任何特定的循环缓冲区只能配置为单向操作，因为根据缓冲区的方向，对缓冲区起始地址（对于递增缓冲区）或结束地址（对于递减缓冲区）有一定限制。

使用限制的惟一例外是那些长度为2的幂的缓冲区。这些缓冲区满足起始和结束地址判据，它们可以双向操作（即，在低地址边界和高地址边界上都将进行地址边界检查）。

4.7.1 起始地址和结束地址

模寻址机制要求指定起始地址和结束地址，并将它们装入16位模缓冲区地址寄存器：XMODSRT、XMODEND、YMODSRT和YMODEND（见表4-2）。

注： Y空间模寻址的EA计算使用字长度的数据（每个EA的LSb始终清零）。

循环缓冲区的长度不直接指定。它由相应的起始地址和结束地址之差决定。循环缓冲区的最大可能长度为32K字（64 KB）。

4.7.2 W地址寄存器选择

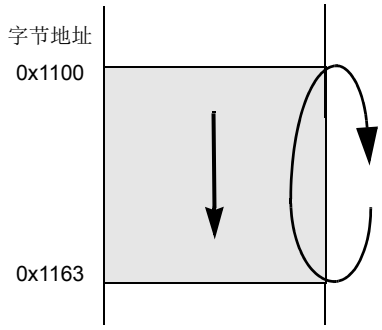
模寻址和位反转寻址控制寄存器MODCON<15:0>包含使能标志以及指定W地址寄存器的W寄存器字段。XWM和YWM字段选择对哪些寄存器进行模寻址：

- 如果XWM = 1111，则禁止X RAGU和X WAGU模寻址
- 如果YWM = 1111，则禁止Y AGU模寻址

要进行模寻址的X地址空间指针W寄存器（XWM）存储在MODCON<3:0>中（见表4-2）。当XWM设置为除1111之外的任何值且XMODEN位（MODCON<15>）置1时，X数据空间的模寻址被使能。

要进行模寻址的Y地址空间指针W寄存器（YWM）存储在MODCON<7:4>中。当YWM设置为除1111之外的任何值且YMODEN位（MODCON<14>）置1时，Y数据空间的模寻址被使能。

图4-12： 模寻址操作示例




```
MOV     #0x1100, W0
MOV     W0, XMODSRT     ;set modulo start address
MOV     #0x1163, W0
MOV     W0, MODEND      ;set modulo end address
MOV     #0x8001, W0
MOV     W0, MODCON      ;enable W1, X AGU for modulo

MOV     #0x0000, W0     ;W0 holds buffer fill value

MOV     #0x1110, W1     ;point W1 to buffer

DO      AGAIN, #0x31    ;fill the 50 buffer locations
MOV     W0, [W1++]      ;fill the next location
AGAIN:  INC W0, W0      ;increment the fill value
```


© 2015-2018 Microchip Technology Inc.

4.7.3 模寻址的应用

模寻址可以应用于与任何W寄存器相关的有效地址（EA）计算中。地址边界检查功能检查地址是否等于：

- 上边界地址（对于递增缓冲区）
- 下边界地址（对于递减缓冲区）

重要的是要意识到，地址边界检查功能不仅会检查地址是否正好在地址边界上，而且会检查地址是否大于上边界地址（对于递增缓冲区）、或小于下边界地址（对于递减缓冲区）。因此，地址变化可能会越过边界，但仍然可以正确调整。

注： 只有在使用执行前修改或执行后修改寻址模式来计算有效地址时，模修正有效地址才被写回寄存器。如果使用了地址偏移量（例如，[W7 + W2]），会进行模地址修正，但寄存器的内容保持不变。

4.8 位反转寻址

位反转寻址模式用来简化基2 FFT算法的数据重新排序。它为X AGU所支持，仅限于数据写入。

地址修改量可以是常量或寄存器的内容，可视为将其位顺序反转。源地址和目标地址仍然是正常的顺序。于是，惟一需要反转的操作数就是地址修改量。

4.8.1 位反转寻址的实现

只有满足下列所有条件，才能使能位反转寻址模式：

- MODCON寄存器中BWMx位（W寄存器选择）的值是除1111以外的任何值（不能使用位反转寻址访问堆栈）
- XBREV寄存器中的BREN位置1
- 使用的寻址模式是预递增或后递增的寄存器间接寻址模式

如果位反转缓冲区的长度为$M = 2^N$字节，则数据缓冲区起始地址的最后“N”位必须为零。

XB<14:0>是位反转地址修改量或“中心点”（pivot point），通常是一个常量。对于FFT计算，其值等于FFT数据缓冲区长度的一半。

注： 所有位反转 EA 的计算都使用字长度数据（每个EA的LSb始终清零）。为了产生兼容（字节）地址，要相应地调整XB的值。

使能位反转寻址时，仅对预递增或后递增的寄存器间接寻址、且仅对字长度数据写，才会进行位反转寻址。对于任何其他寻址模式或对于字节长度数据，不会进行位反转寻址，而是生成正常的地址。在进行位反转寻址时，W地址指针将始终加上地址修改量（XB），与寄存器间接寻址模式相关的偏移量将被忽略。此外，由于要求是字长度数据，EA的LSb被忽略（且始终清零）。

注： 可以使用同一个W寄存器同时使能模寻址和位反转寻址，但当使能时，对于数据写操作位反转寻址总是优先。

如果已通过将BREN位（XBREV<15>）置1使能了位反转寻址，那么，在写XBREV寄存器之后，不应立即进行要使用被指定为位反转指针的W寄存器的间接读操作。

图4-13： 位反转寻址示例

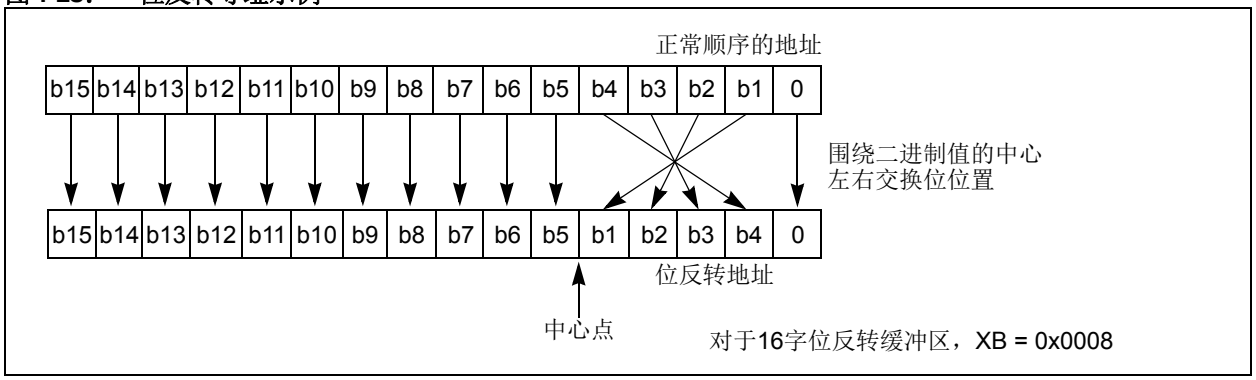


表4-39： 位反转寻址序列（16项）

正常地址					位反转地址				
A3	**A2**	**A1**	**A0**	**十进制**	**A3**	**A2**	**A1**	**A0**	**十进制**
0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	1	0	0	0	8
0	0	1	0	2	0	1	0	0	4
0	0	1	1	3	1	1	0	0	12
0	1	0	0	4	0	0	1	0	2
0	1	0	1	5	1	0	1	0	10
0	1	1	0	6	0	1	1	0	6
0	1	1	1	7	1	1	1	0	14
1	0	0	0	8	0	0	0	1	1
1	0	0	1	9	1	0	0	1	9
1	0	1	0	10	0	1	0	1	5
1	0	1	1	11	1	1	0	1	13
1	1	0	0	12	0	0	1	1	3
1	1	0	1	13	1	0	1	1	11
1	1	1	0	14	0	1	1	1	7
1	1	1	1	15	1	1	1	1	15

© 2015-2018 Microchip Technology Inc.

4.9 程序存储空间与数据存储空间的接口

dsPIC33EPXXGS50X系列架构采用24位宽的程序空间（PS）和16位宽的数据空间（DS）。该架构也是一种改进型哈佛结构，这意味着数据也能存放在程序空间内。要成功使用该数据，在访问数据时必须确保这两种存储空间中的信息是对齐的。

除了正常执行外，dsPIC33EPXXGS50X系列器件的架构还提供了两种可在操作过程中访问程序空间的方法：

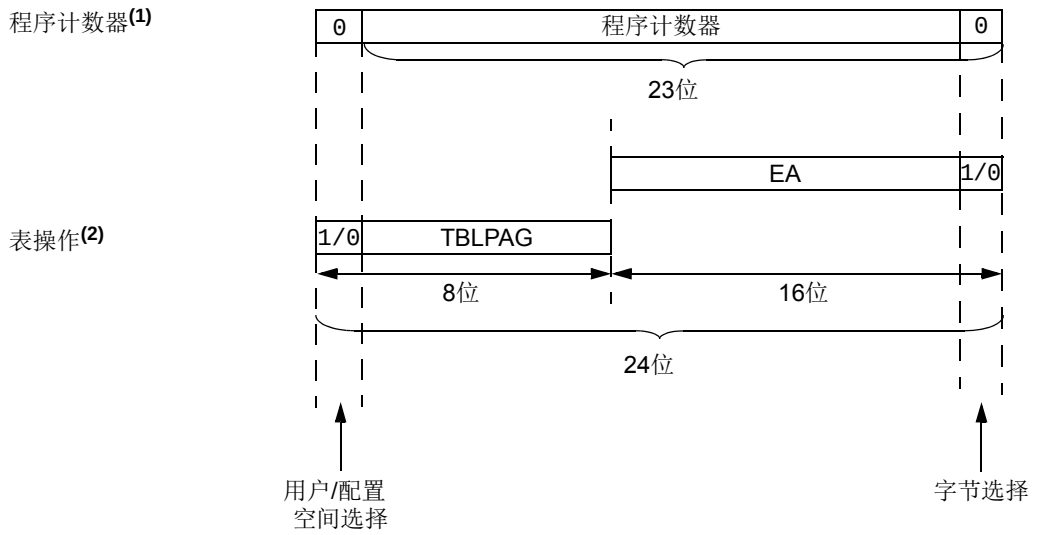
- 使用表指令访问程序空间中任意位置的各个字节或字
- 将程序空间的一部分重映射到数据空间（程序空间可视性）

表指令允许应用程序读写程序存储器的一小块区域。这一功能对于访问需要定期更新的数据表来说非常理想。也可通过表操作访问一个程序字的所有字节。重映射方法允许应用程序访问一大块数据，但只限于读操作，它非常适合于在一个大的静态数据表中进行查找。通过这一方法应用程序只能访问程序字的低位字。

表4-40： 程序空间地址构成

访问类型	访问空间	程序空间地址				
		<23>	<22:16>	<15>	<14:1>	<0>
指令访问（代码执行）	用户	0	PC<22:1>			0
		0xxx xxxx xxxx xxxx xxxx xxx0				
TBLRD/TBLWT（读/写字节或字）	用户	TBLPAG<7:0>		数据EA<15:0>		
		0xxx xxxx		xxxx xxxx xxxx xxxx		
	配置	TBLPAG<7:0>		数据EA<15:0>		
		1xxx xxxx		xxxx xxxx xxxx xxxx		

图4-14： 访问程序空间内数据的地址生成方式



注 1： 程序空间地址的最低有效位（Least Significant bit，LSb）始终固定为0，从而确保程序空间和数据空间中的数据是字对齐的。

2： 表操作不要求字对齐。允许对配置存储空间执行表读操作。

4.9.1 使用表指令访问程序存储器中的数据

TBLRDL和TBLWTL指令提供了直接读或写程序空间内任何地址的低位字的方法，无需通过数据空间。TBLRDH和TBLWTH指令是可以将一个程序空间字的最高8位作为数据读写的惟一方法。

对于每个连续的24位程序字，PC的递增量为2。这使得程序存储器地址能够直接映射到数据空间地址。于是，程序存储器可以看作是两个16位字宽的地址空间，它们并排放置，具有相同的地址范围。TBLRDL和TBLWTL访问存有最低有效数据字的空间，而TBLRDH和TBLWTH则访问存有最高数据字节的空间。

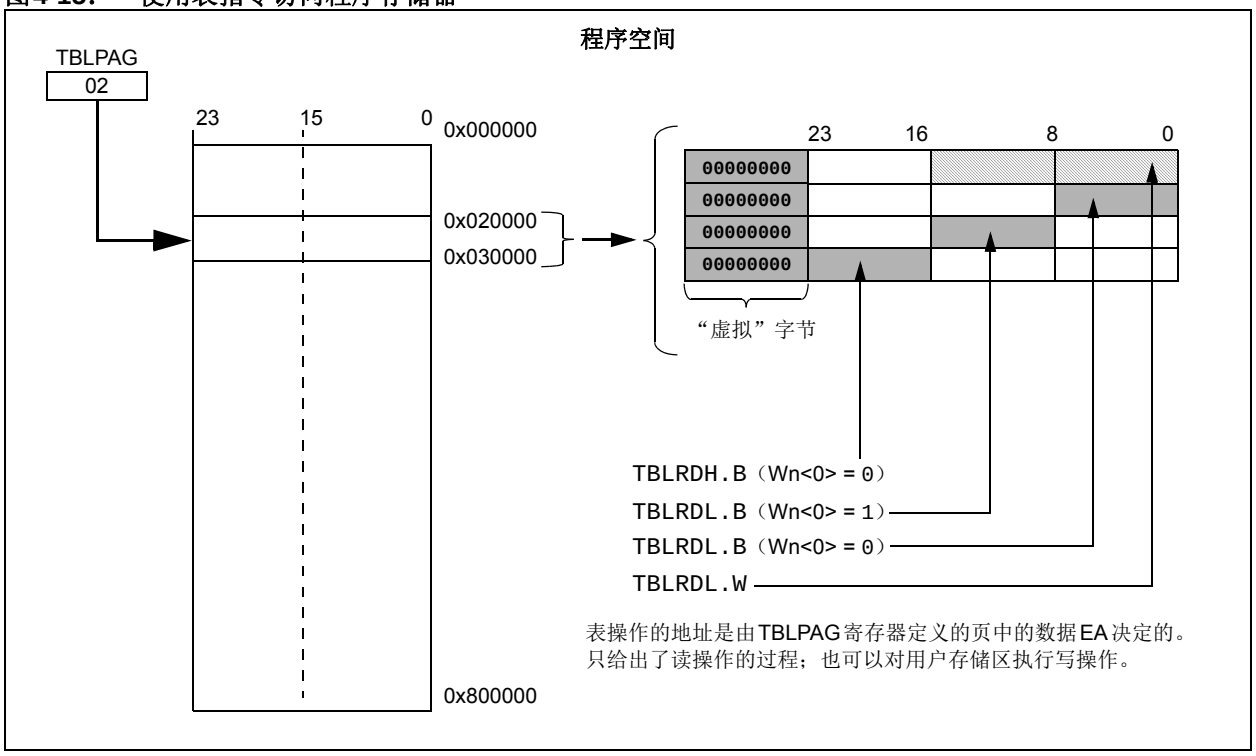
提供了两条表指令来对程序空间执行字节或字（16位）长度的数据读写。读和写都可以采用字节或字操作的形式。

- TBLRDL（表读低位字）：
  - 在字模式下，该指令将程序空间地址中的低位字（P<15:0>）映射到数据地址（D<15:0>）中
  - 在字节模式下，低位程序字的高字节或低字节被映射到数据地址的低字节中。当字节选择位为1时映射高字节；当字节选择位为0时映射低字节。
- TBLRDH（表读高位字）：
  - 在字模式下，该指令将程序地址中的整个高位字（P<23:16>）映射到数据地址中。“虚拟”字节（D<15:8>）始终为0。
  - 在字节模式下，该指令将程序字的高字节或低字节映射到数据地址的D<7:0>中，就如同TBLRDL指令。当选择最高“虚拟”字节（字节选择位 = 1）时，数据将始终为全0。

表指令TBLWTH和TBLWTL以类似的方式向程序空间地址写入各字节或字。**第5.0节“闪存程序存储器”**对这两条指令的详细操作给出了说明。

对于所有的表操作，要访问程序存储空间的哪个区域是由表页寄存器（TBLPAG）决定的。TBLPAG可寻址器件的整个程序存储空间，包括用户存储空间和配置空间。当TBLPAG<7> = 0时，表页位于用户存储空间中。当TBLPAG<7> = 1时，表页位于配置存储空间中。

图4-15： 使用表指令访问程序存储器



© 2015-2018 Microchip Technology Inc.

5.0 闪存程序存储器

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“双分区闪存程序存储器”**（DS70005156），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

dsPIC33EPXXGS50X系列器件包含用于存储和执行应用代码的内部闪存程序存储器。在整个VDD范围内，正常操作期间，该存储器都是可读写、可擦除的。

可采用三种方式对闪存进行编程：

- 在线串行编程（ICSP）功能
- 增强型在线串行编程（增强型ICSP）
- 运行时自编程（Run-Time Self-Programming，RTSP）

ICSP允许在最终的应用电路中对dsPIC33EPXXGS50X系列器件进行串行编程。只需要使用5根线就可以完成编程，它们分别是编程时钟线（PGECx）、编程数据线（PGEDx）、电源线（VDD）、地线（VSS）和主复位线（MCLR）。这允许用户在生产电路板时使用未编程器件，而仅在产品交付之前才对器件进行编程，从而可以使用最新版本的固件或者定制固件进行编程。

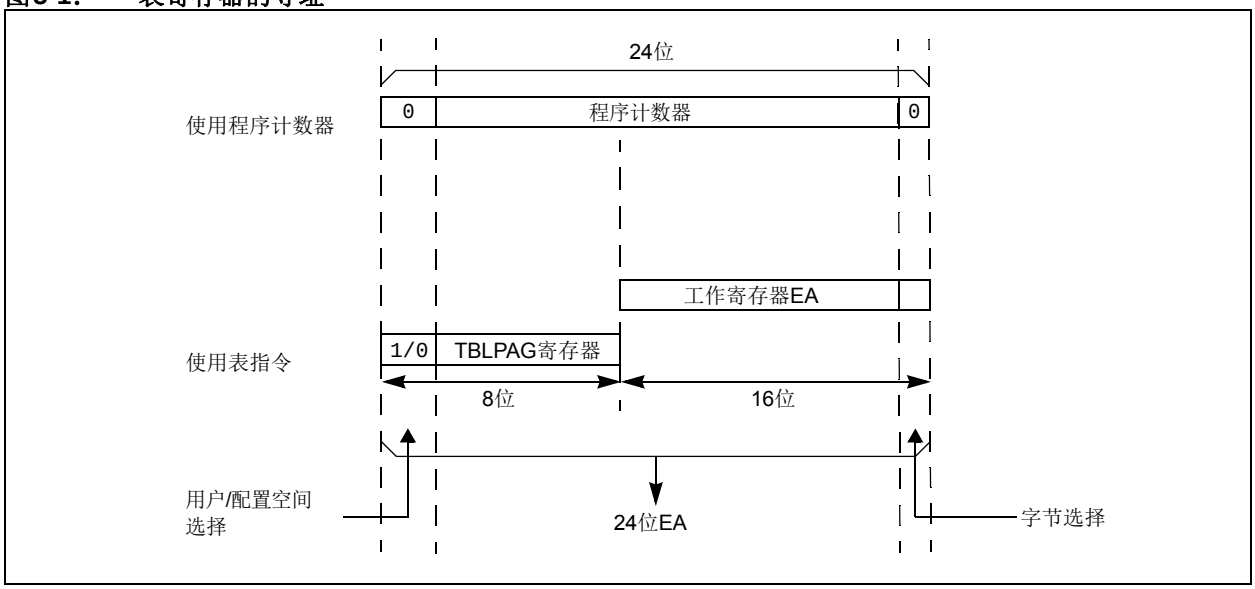
增强型在线串行编程使用被称为编程执行程序的片上自举程序来管理编程过程。编程执行程序可以使用SPI数据帧格式擦除、编程和校验程序存储器。有关增强型ICSP的更多信息，请参见器件编程规范。

使用TBLRD（表读）和TBLWT（表写）指令来实现RTSP。通过RTSP，用户应用程序可以按一次写入单个程序存储字的方式写入程序存储数据，以及按块或“页”（512条指令，1536字节）的方式擦除程序存储器。

5.1 表指令和闪存编程

闪存的所有编程都是通过表读和表写指令完成的，与使用的编程方法无关。这些指令允许器件在正常工作模式下从数据存储器直接读写程序存储空间。程序存储器中24位目标地址由TBLPAG寄存器的bit<7:0>和表指令中指定W寄存器中的有效地址（EA）组成，如图5-1所示。TBLRDL和TBLWTL指令用于读或写程序存储器的bit<15:0>。TBLRDL和TBLWTL能以字或字节模式访问程序存储器。TBLRDH和TBLWTH指令用于读或写程序存储器的bit<23:16>。TBLRDH和TBLWTH同样能以字或字节模式访问程序存储器。

图5-1： 表寄存器的寻址



5.2 RTSP工作原理

dsPIC33EPXXGS50X系列闪存程序存储器阵列是由64条指令或192字节的行组成的。RTSP允许用户应用程序一次擦除由8行（512条指令）组成的一个存储器页，以及一次编程一行。也可以一次编程两条指令。

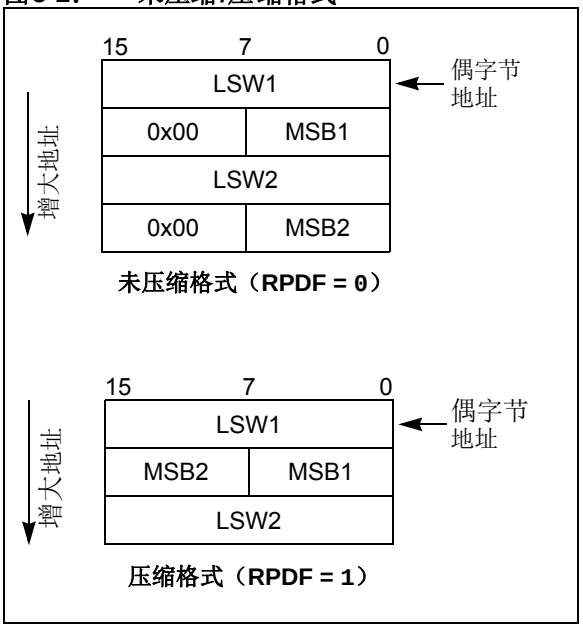
页擦除和单行写入块都是边沿对齐的，从程序存储器起始地址开始，分别到1536字节边界和192字节边界。**第26.0节“电气特性”**中的图26-14列出了典型的擦除和编程时间。

通过将192个字节装入数据存储器，然后将该行第一个字节的地址装入NVMSRCADR寄存器来执行行编程。写操作启动后，器件将自动装入写锁存器并递增NVMSRCADR和NVMADR(U)寄存器，直到编程完所有字节。RPDF位（NVMCON<9>）用于选择RAM中已存储数据的格式为压缩还是未压缩。关于数据格式，请参见图5-2。压缩数据会将第二个字的高字节用于第二条指令的MSB，这样有助于减少所需RAM的量。

RTSP字编程的基本过程是使用TBLWTL和TBLWTH指令将两个24位指令装入位于配置存储器空间的写锁存器。关于写锁存器的地址，请参见图4-1至图4-4。通过解锁和设置NVMCON寄存器中的控制位来执行编程。

所有擦除和编程操作均可选择使用NVM中断来发出已成功完成操作的信号。例如，当在双分区模式下对非活动分区执行闪存写操作时（其中CPU保持运行），需要等待至接收到NVM中断信号之后才能编程闪存程序存储器的下一个块。

图5-2： 未压缩/压缩格式



5.3 编程操作

在RTSP模式下，对内部闪存进行编程或擦除需要执行完整的编程序列。处理器暂停（等待）直到编程操作完成。将WR位（NVMCON<15>）置1启动操作，当操作完成时WR位会自动清零。

5.3.1 闪存程序存储器的编程算法

编程器每次可以对闪存程序存储器的两个相邻字（24位x 2）进行编程，即每隔一个字地址边界（0x000000、0x000004和0x000008等）。为此，需要先擦除包含用户希望更改存储单元的地址的页。为防止意外操作，必须向NVMKEY写入启动序列，用于允许执行任何擦除或编程操作。在执行编程命令后，用户应用程序必须等待一段编程时间，直到编程操作完成。编程序列启动后紧跟的两条指令应该为NOP指令。

© 2015-2018 Microchip Technology Inc.

5.4 双分区闪存配置

对于在双分区闪存程序存储器模式下工作的dsPIC33EP64GS50X器件，无需暂停处理器即可对非活动分区进行擦除和编程。可以使用**第5.2节“RTSP工作原理”**所述的编程算法对非活动分区闪存进行编程和擦除。除页擦除选项外，还可通过配置NVMCON寄存器中的NVMOP<3:0>位来擦除整个非活动分区闪存。

注 1： 待装入非活动分区的应用软件将采用活动分区的地址。自举程序固件需要使地址偏移0x400000，才能对非活动分区执行写操作。

5.4.1 闪存分区交换

引导序列号用于在启动时确定活动分区，该序列号在FBTSEQ配置寄存器位中进行编码。与大多数仅利用程序存储器低16位的配置寄存器不同，FBTSEQ是24位配置字。引导序列号（BSEQ）是12位值，在FBTSEQ中存储两次。位FBTSEQ<11:0>中存储实际值，而位FBTSEQ<23:12>中存储其反码值。器件复位时，将读取序列号，其中序列号较小的分区将成为活动分区。如果其中一个引导序列号无效，则器件将选择引导序列号有效的分区，如果两个序列号均无效，则会默认选择分区1。更多信息，请参见**第23.0节“特殊功能”**。

BOOTSWP指令提供了一种备选的分区交换方法（软交换），无需器件复位即可交换活动分区与非活动分区。BOOTSWP指令必须后跟一条GOTO指令。BOOTSWP指令用于交换活动分区与非活动分区，PC向量指向当前活动分区中的GOTO指令所指定的存储单元。

请务必注意：执行软交换序列时应暂时禁止中断；分区交换后，所有已使能的外设将保持使能状态，所有已允许的中断将保持允许状态。此外，RAM和堆栈在分区交换后也将保持先前的状态。因此，建议让使用软交换的应用程序跳转到将重新初始化器件的程序中，以确保固件按预期运行。配置寄存器在软交换期间不起作用。

为确保操作的可靠性，执行BOOTSWP指令时，必须按如下步骤执行NVM解锁序列：

1. 向NVMKEY写入0x55。
2. 向NVMKEY写入0xAA。
3. 执行BOOTSWP指令。

如果未执行解锁序列，BOOTSWP指令将作为强制NOP指令执行，接着将执行BOOTSWP指令后的GOTO指令，使PC跳转到当前活动分区中的相应存储单元。

NVMCON寄存器中的SFTSWP和P2ACTIV位用于确定活动分区和非活动分区是否已成功交换以及当前的活动分区。在BOOTSWP和GOTO指令后，应轮询SFTSWP位以验证是否已发生分区交换，之后应将该位清零，以便执行下一次分区交换事件。

5.4.2 双分区模式

在双分区模式下工作时，dsPIC33EP64GS50X系列器件可以选择使两个分区具有自定义的安全段，如图23-4所示。器件也可在受保护双分区模式下工作，其中分区1将受到永久擦除/写保护。受保护双分区模式可用作“出厂默认”模式，该模式在分区1中存储了故障保护备份映像。

dsPIC33EP64GS50X系列器件也可在特权双分区模式下工作，该模式下可实现附加安全保护，从而为使用多方软件的器件提供知识产权保护。在特权双分区模式下，两个分区均将对BSLIM寄存器施加额外的限制。这样可防止更改引导段和通用段的大小，从而确保两个段均不会发生变化。

5.5 闪存资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

5.5.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

5.6 控制寄存器

有五个SFR用于写入和擦除闪存程序存储器：NVMCON、NVMKEY、NVMADR、NVMADRU和NVMSRCADR/H。

NVMCON寄存器（寄存器5-1）用于选择要执行的操作（页擦除、字/行编程和非活动分区擦除）、启动编程或擦除周期以及确定双分区模式下的活动分区。

NVMKEY（寄存器5-4）是一个只写寄存器，用于写保护。要启动编程或擦除序列，用户应用程序必须将0x55和0xAA连续写入NVMKEY寄存器。

有两个NVM地址寄存器：NVMADRU和NVMADR。这两个寄存器组合在一起时，构成要进行编程操作的选定字/行的24位有效地址（EA），或者要进行擦除操作的选定页的24位有效地址（EA）。NVMADRU寄存器用于保存EA的高8位，而NVMADR寄存器用于保存EA的低16位。

对于行编程操作，要写入闪存程序存储器的数据将写入位于由NVMSRCADR寄存器定义的地址（行编程数据中第一个元素的位置）处的数据存储空间（RAM）。

© 2015-2018 Microchip Technology Inc.

寄存器5-1：　NVMCON：非易失性存储器（NVM）控制寄存器

R/SO-0(1)	R/W-0(1)	R/W-0(1)	R/W-0	R/C-0	R-0	R/W-0	R/C-0
WR	WREN	WRERR	NVMSIDL(2)	SFTSWP(6)	P2ACTIV(6)	RPDF	URERR
bit 15							bit 8

U-0	U-0	U-0	U-0	R/W-0(1)	R/W-0(1)	R/W-0(1)	R/W-0(1)
—	—	—	—	NVMOP3(3,4)	NVMOP2(3,4)	NVMOP1(3,4)	NVMOP0(3,4)
bit 7							bit 0

图注：	C = 可清零位	SO = 只可置1位	
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15　**WR：**写控制位(1)
1 = 启动闪存编程或擦除操作；该操作是自定时的，一旦操作完成，该位即由硬件清零
0 = 编程或擦除操作完成，并处于停止状态

bit 14　**WREN：**写使能位(1)
1 = 使能闪存编程/擦除操作
0 = 禁止闪存编程/擦除操作

bit 13　**WRERR：**写序列错误标志位(1)
1 = 试图执行不合法的编程或擦除序列，或者发生终止（试图将WR位置1时自动置1该位）
0 = 编程或擦除操作正常完成

bit 12　**NVMSIDL：**NVM空闲模式停止控制位(2)
1 = 在空闲模式下闪存稳压器进入待机模式
0 = 在空闲模式下闪存稳压器继续工作

bit 11　**SFTSWP：**分区软交换状态位(6)
1 = 已通过BOOTSWP指令成功完成分区交换（软交换）
0 = 等待通过BOOTSWP指令成功完成分区交换，或者器件复位将基于FBTSEQ确定活动分区

bit 10　**P2ACTIV：**分区2活动状态位(6)
1 = 分区2闪存映射到活动区域
0 = 分区1闪存映射到活动区域

bit 9　**RPDF：**行编程数据格式位
1 = 要存储在RAM中的行数据采用压缩格式
0 = 要存储在RAM中的行数据采用未压缩格式

注 1： 这些位只能在POR时复位。
2： 如果该位置1，会进一步降低功耗（IIDLE），并且当退出空闲模式后、闪存开始工作之前会有一段延时（TVREG）。
3： NVMOP<3:0>的所有其他组合均未实现。
4： 在任意NVM操作正在进行时，PWRSAV指令的执行会被忽略。
5： 在执行该操作期间，会对4字边界上两个相邻的字编程。
6： 仅适用于在双分区模式下工作的dsPIC33EP64GS50X器件。对于所有其他器件，该位保留。
7： 具体引导模式取决于编程数据的bit<1:0>：
11 = 单分区闪存模式
10 = 双分区闪存模式
01 = 受保护双分区闪存模式
00 = 保留

寄存器5-1：　NVMCON：非易失性存储器（NVM）控制寄存器（续）

bit 8　**URERR：**行编程数据不足错误位
1 = 表示行编程操作已终止
0 = 未检测到数据不足错误

bit 7-4　**未实现：**读为0

bit 3-0　**NVMOP<3:0>：**NVM操作选择位(1,3,4)
1111 = 保留
1110 = 用户存储区批量擦除操作
1010 = 保留
1001 = 保留
1000 = 在双分区闪存模式下进行引导存储区双字编程操作(7)
0101 = 保留
0100 = 非活动分区存储器擦除操作
0011 = 存储器页擦除操作
0010 = 存储器行编程操作
0001 = 存储器双字编程操作(5)
0000 = 保留

注 1： 这些位只能在POR时复位。
2： 如果该位置1，会进一步降低功耗（IIDLE），并且当退出空闲模式后、闪存开始工作之前会有一段延时（TVREG）。
3： NVMOP<3:0>的所有其他组合均未实现。
4： 在任意NVM操作正在进行时，PWRSAV指令的执行会被忽略。
5： 在执行该操作期间，会对4字边界上两个相邻的字编程。
6： 仅适用于在双分区模式下工作的dsPIC33EP64GS50X器件。对于所有其他器件，该位保留。
7： 具体引导模式取决于编程数据的bit<1:0>：
11 = 单分区闪存模式
10 = 双分区闪存模式
01 = 受保护双分区闪存模式
00 = 保留

© 2015-2018 Microchip Technology Inc.

寄存器5-2： NVMADR：非易失性存储器低位字地址寄存器

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
NVMADR<15:8>							
bit 15							bit 8

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
NVMADR<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **NVMADR<15:0>：**非易失性存储器低位字写地址位
选择闪存程序存储器中要进行编程或擦除的存储单元的低16位。用户应用程序可以读写该寄存器。

寄存器5-3： NVMADRU：非易失性存储器高位字地址寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
NVMADRU<23:16>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **未实现：**读为0
bit 7-0 **NVMADRU<23:16>：**非易失性存储器高字节写地址位
选择闪存程序存储器中要进行编程或擦除的存储单元的高8位。用户应用程序可以读写该寄存器。

寄存器5-4： NVMKEY：非易失性存储器密钥寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
NVMKEY<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **未实现：**读为0

bit 7-0 **NVMKEY<7:0>：**NVM密钥寄存器位（只写）

寄存器5-5： NVMSRCADR：NVM源数据地址寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMSRCADR<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMSRCADR<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **NVMSRCADR<15:0>：**NVM源数据地址位
待编程到闪存中的数据的RAM地址（将NVMOP<3:0>位设置为行编程时）。

© 2015-2018 Microchip Technology Inc.

6.0 复位

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24 系列参考手册》中的**“复位”**（DS70602），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

复位模块结合了所有复位源并控制器件的主复位信号SYSRST。下面列出了器件的复位源：

- POR：上电复位
- BOR：欠压复位
- MCLR：主复位引脚复位
- SWR：RESET指令
- WDTO：看门狗定时器超时复位
- CM：配置不匹配复位
- TRAPR：陷阱冲突复位
- IOPUWR：非法条件器件复位
  - 非法操作码复位
  - 未初始化的W寄存器复位
  - 安全性复位

图6-1给出了复位模块的简化框图。

任何有效的复位源都将使SYSRST信号有效。在系统复位时，一些与CPU和外设相关的寄存器被强制为已知的复位状态，而有一些寄存器不受影响。

注： 如需了解寄存器复位状态的信息，请参见本手册中的特定外设章节或**第4.0节“存储器构成”**。

任何类型的器件复位都会将RCON寄存器中相应的状态位置1，以指示复位类型（见寄存器6-1）。

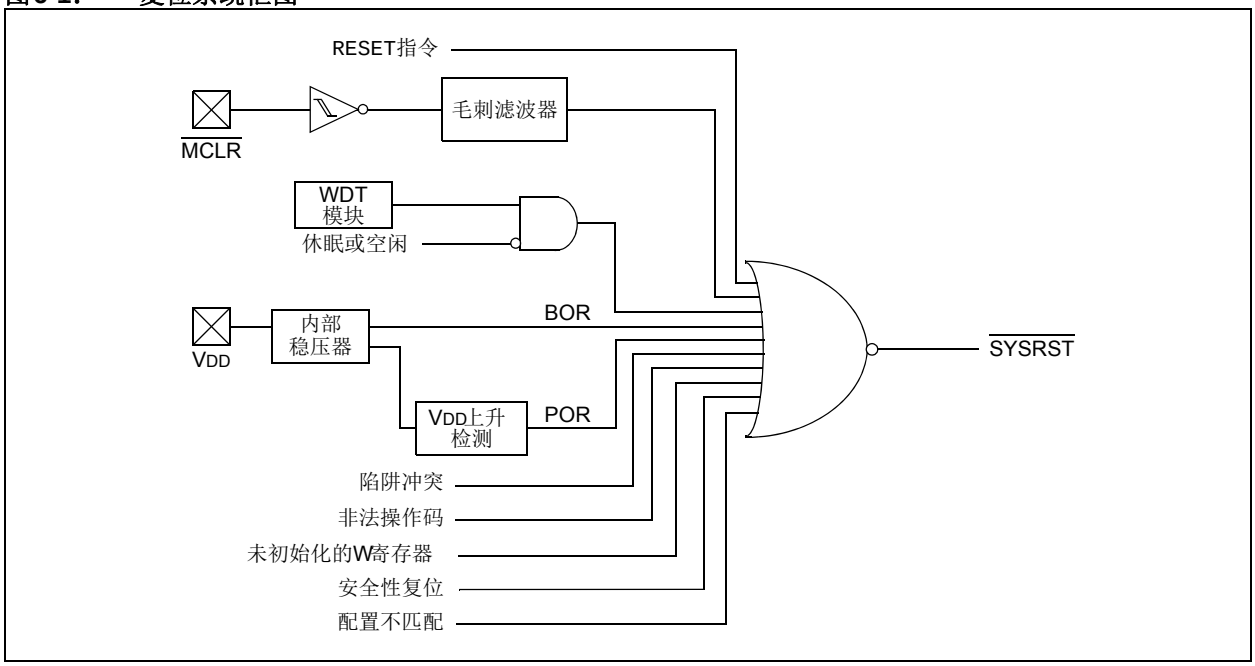
POR将清零除BOR和POR位（RCON<1:0>）之外的所有位，BOR和POR位在POR时被置1。用户应用程序可在代码执行过程中的任何时间置1或清零任何位。RCON寄存器中的位仅用作状态位。用软件将某个复位状态位置1不会导致器件发生复位。

RCON寄存器还包含与看门狗定时器和器件节能状态相关的其他位。本手册的其他章节中将讨论这些位的功能。

注： RCON寄存器中的状态位应该在被读取后清零，这样在器件复位后RCON寄存器的下一个值才有意义。

在所有类型的复位中，默认时钟源由FOSCSEL配置寄存器中的FNOSC<2:0>位决定。复位时，FNOSCx位的值装入NOSC<2:0>（OSCCON<10:8>）位，从而初始化系统时钟。

图6-1： 复位系统框图



6.1 复位资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

6.1.1 主要资源

- 《dsPIC33/PIC24系列参考手册》中的**“复位”**（DS70602）
- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

© 2015-2018 Microchip Technology Inc.

寄存器6-1：　RCON：复位控制寄存器(1)

R/W-0	R/W-0	U-0	U-0	R/W-0	U-0	R/W-0	R/W-0
TRAPR	IOPUWR	—	—	VREGSF	—	CM	VREGS
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1
EXTR	SWR	SWDTEN(2)	WDTO	SLEEP	IDLE	BOR	POR
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15　**TRAPR：**陷阱复位标志位
1 = 发生了陷阱冲突复位
0 = 未发生陷阱冲突复位

bit 14　**IOPUWR：**非法操作码或访问未初始化的W寄存器复位标志位
1 = 检测到非法操作码、非法地址模式或将未初始化的W寄存器用作地址指针而导致复位
0 = 未发生非法操作码或未初始化的W寄存器复位

bit 13-12　**未实现：**读为0

bit 11　**VREGSF：**休眠模式下闪存稳压器待机位
1 = 在休眠模式下闪存稳压器继续工作
0 = 在休眠模式下闪存稳压器进入待机模式

bit 10　**未实现：**读为0

bit 9　**CM：**配置不匹配标志位
1 = 发生了配置不匹配复位
0 = 未发生配置不匹配复位

bit 8　**VREGS：**休眠模式下稳压器待机位
1 = 在休眠模式下稳压器继续工作
0 = 在休眠模式下稳压器进入待机模式

bit 7　**EXTR：**外部复位（$\overline{\text{MCLR}}$）引脚位
1 = 发生了主复位（引脚）复位
0 = 未发生主复位（引脚）复位

bit 6　**SWR：**软件RESET（指令）标志位
1 = 执行了RESET指令
0 = 未执行RESET指令

bit 5　**SWDTEN：**软件使能/禁止WDT位(2)
1 = 使能WDT
0 = 禁止WDT

bit 4　**WDTO：**看门狗定时器超时标志位
1 = 发生了WDT超时
0 = 未发生WDT超时

注 1： 所有复位状态位都可以用软件置1或清零。用软件将这些位中的某一位置1不会导致器件复位。
2： 如果WDTEN<1:0>配置位为11（未编程），则WDT总是使能，而与SWDTEN位的设置无关。

寄存器6-1： RCON：复位控制寄存器(1)（续）

bit 3 **SLEEP**：从休眠模式唤醒标志位
1 = 器件处于休眠模式
0 = 器件不处于休眠模式

bit 2 **IDLE**：从空闲模式唤醒标志位
1 = 器件处于空闲模式
0 = 器件不处于空闲模式

bit 1 **BOR**：欠压复位标志位
1 = 发生了欠压复位
0 = 未发生欠压复位

bit 0 **POR**：上电复位标志位
1 = 发生了上电复位
0 = 未发生上电复位

注 1： 所有复位状态位都可以用软件置1或清零。用软件将这些位中的某一位置1不会导致器件复位。
2： 如果WDTEN<1:0>配置位为11（未编程），则WDT总是使能，而与SWDTEN位的设置无关。

© 2015-2018 Microchip Technology Inc.

7.0 中断控制器

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“中断”**（DS70000600），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

dsPIC33EPXXGS50X系列中断控制器将诸多外设中断请求信号缩减为一个送往dsPIC33EPXXGS50X系列CPU的中断请求信号。

中断控制器具有以下特性：

- 6个处理器异常和软件陷阱
- 7个可由用户选择的优先级
- 中断向量表（Interrupt Vector Table，IVT），其中每个中断或异常源对应惟一的向量
- 在指定的用户优先级内具有固定的优先级
- 固定的中断进入和返回延时
- 用于支持调试功能的备用中断向量表（Alternate Interrupt Vector Table，AIVT）

7.1 中断向量表

dsPIC33EPXXGS50X系列的中断向量表（IVT）（如图7-1所示）位于程序存储器中，起始单元地址是000004h。IVT包含6个不可屏蔽陷阱向量和最多246个中断源。一般来说，每个中断源都有自己的中断向量。每个中断向量都包含一个24位宽的地址。每个中断向量单元中编程的值是其相关的中断服务程序（Interrupt Service Routine，ISR）的起始地址。

中断向量根据其自然优先级区分优先顺序。自然优先级与中断向量在向量表中的位置有关。一般来说，较低地址的中断向量具有较高的自然优先级。例如，与向量0相关的中断比任何其他向量地址的中断具有更高的自然优先级。

7.1.1 备用中断向量表

只有定义了引导段并已使能AIVT时，备用中断向量表（AIVT）（如图7-2所示）才可用。要使能备用中断向量表，必须编程FSEC寄存器中的配置位AIVTDIS并将AIVTEN位置1（INTCON2<8> = 1）。使能AIVT时，所有中断和异常处理都将使用备用向量，而非默认向量。AIVT从引导段最后一页的起始处（由BSLIM<12:0>定义）开始。该页的另一半为不再可用的空间。引导段必须至少具有2页以使能AIVT。

注： 尽管必须使能引导段才能使能AIVT，但应用代码无需位于引导段内部。AIVT（和IVT）将禁止引导段代码保护。

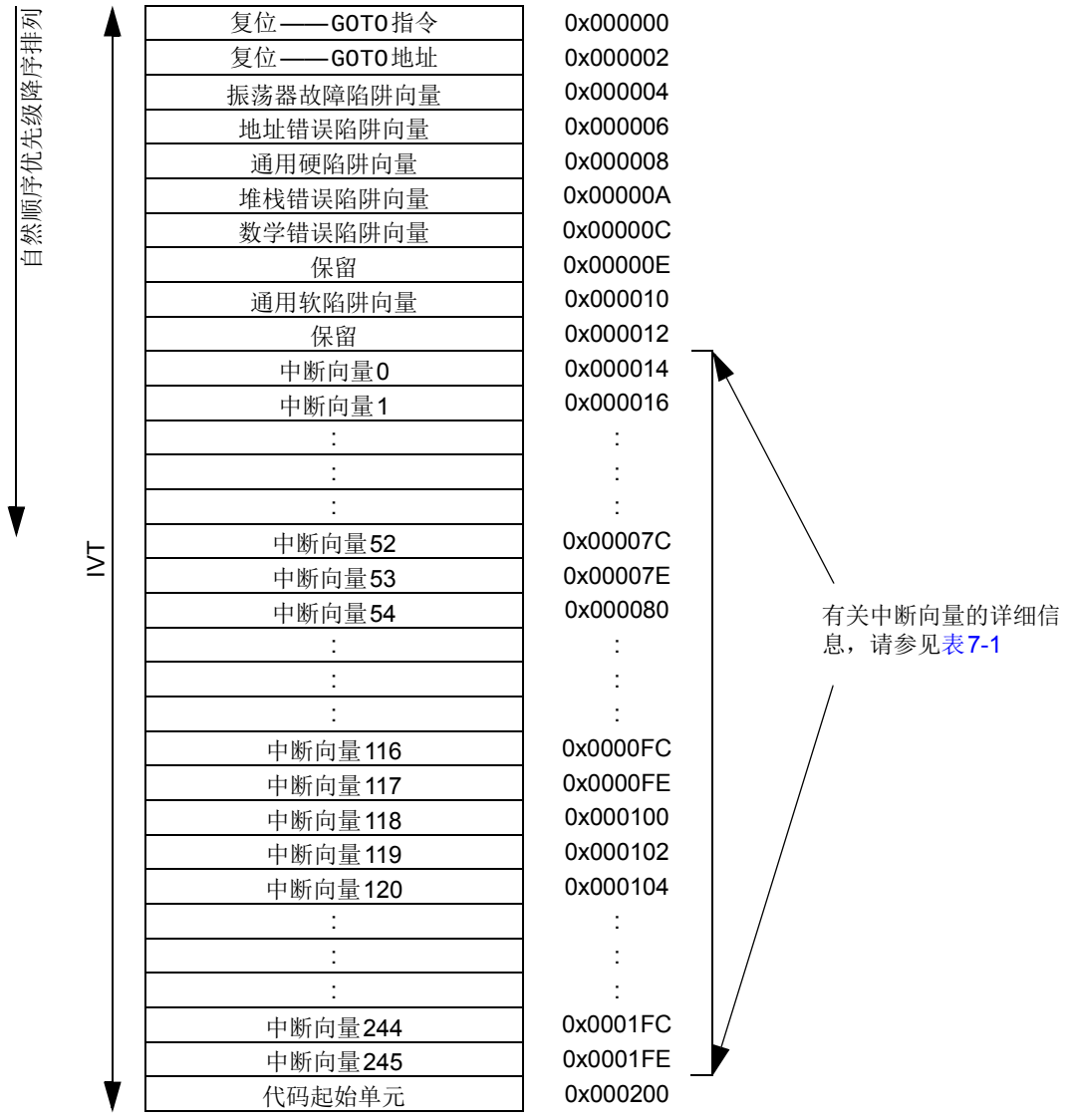
AIVT通过提供一种不需要将中断向量再编程就可以在应用程序和支持环境之间切换的方法，来支持调试功能。此特性也支持运行时在不同应用程序之间切换以便评估各种不同的软件算法。

7.2 复位过程

器件复位不是真正的异常，因为复位过程中并不涉及到中断控制器。作为对复位的响应，dsPIC33EPXXGS50X系列器件清零其寄存器，强制PC为零。然后器件从地址0x000000处开始执行程序。用户可以在复位地址处编程一条GOTO指令，将程序执行重定向到相应的启动程序。

注： 应使用包含RESET指令的默认中断处理程序的地址编程IVT中所有未实现或未使用的向量单元。

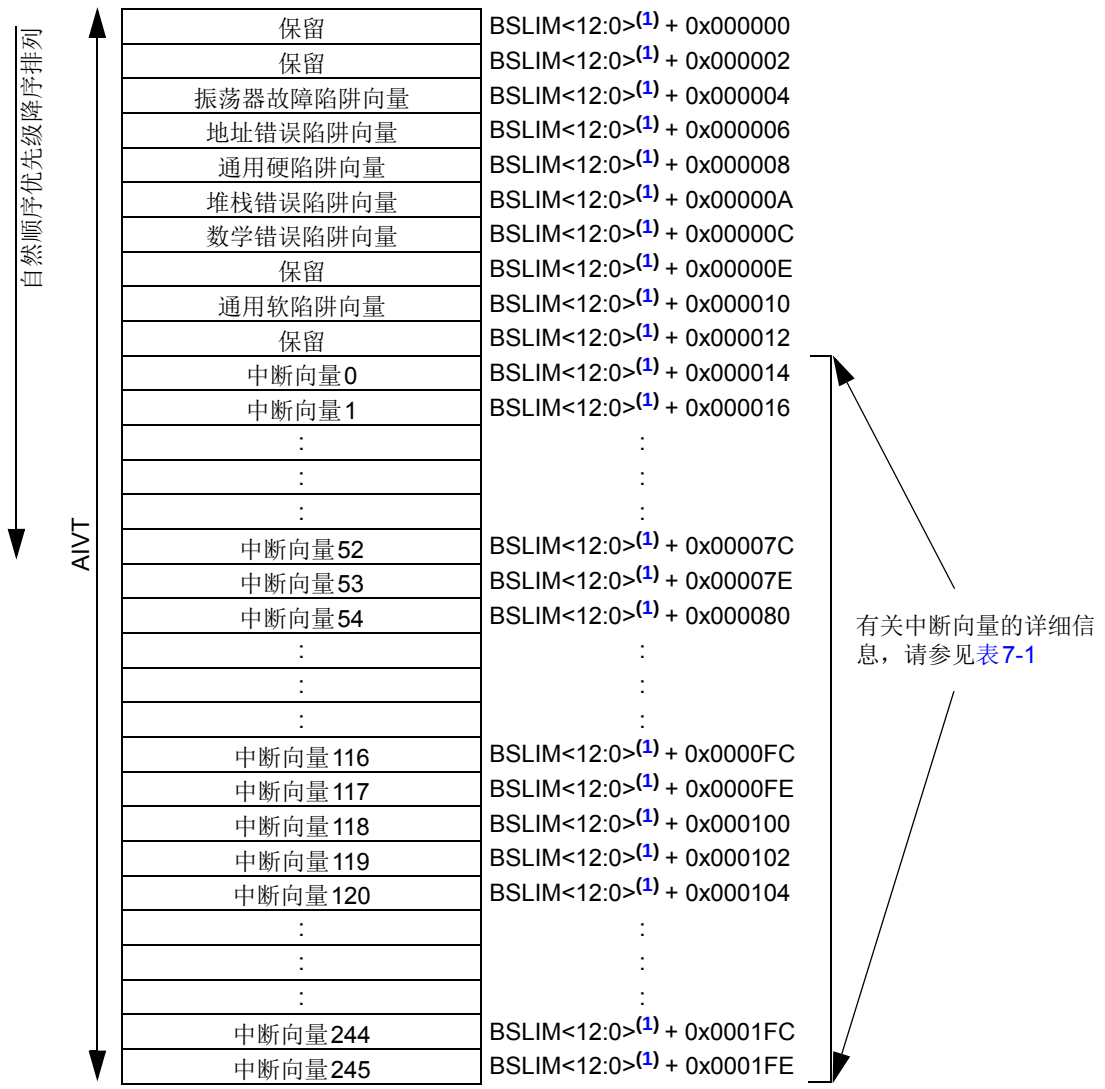
图7-1： dsPIC33EPXXGS50X系列中断向量表



注： 在双分区模式下，每个分区都有专用的中断向量表。

© 2015-2018 Microchip Technology Inc.

图7-2： dsPIC33EPXXGS50X备用中断向量表(2)



注 1： 地址取决于BSLIM<12:0>定义的引导段的大小。[($\overline{\text{BSLIM<12:0>}}$ – 1) x 0x400] + 偏移量。

2： 在双分区模式下，每个分区都有专用的备用中断向量表（如果使能）。

表7-1： 中断向量详细信息

中断源	向量编号	IRQ编号	IVT地址	中断位的位置		
				标志	允许	优先级
最高自然顺序优先级						
INT0——外部中断0	8	0	0x000014	IFS0<0>	IEC0<0>	IPC0<2:0>
IC1——输入捕捉1	9	1	0x000016	IFS0<1>	IEC0<1>	IPC0<6:4>
OC1——输出比较1	10	2	0x000018	IFS0<2>	IEC0<2>	IPC0<10:8>
T1——Timer1	11	3	0x00001A	IFS0<3>	IEC0<3>	IPC0<14:12>
保留	12	4	0x00001C	—	—	—
IC2——输入捕捉2	13	5	0x00001E	IFS0<5>	IEC0<5>	IPC1<6:4>
OC2——输出比较2	14	6	0x000020	IFS0<6>	IEC0<6>	IPC1<10:8>
T2——Timer2	15	7	0x000022	IFS0<7>	IEC0<7>	IPC1<14:12>
T3——Timer3	16	8	0x000024	IFS0<8>	IEC0<8>	IPC2<2:0>
SPI1E——SPI1错误	17	9	0x000026	IFS0<9>	IEC0<9>	IPC2<6:4>
SPI1——SPI1传输完成	18	10	0x000028	IFS0<10>	IEC0<10>	IPC2<10:8>
U1RX——UART1接收器	19	11	0x00002A	IFS0<11>	IEC0<11>	IPC2<14:12>
U1TX——UART1发送器	20	12	0x00002C	IFS0<12>	IEC0<12>	IPC3<2:0>
ADC——ADC全局转换完成	21	13	0x00002E	IFS0<13>	IEC0<13>	IPC3<6:4>
保留	22	14	0x000030	—	—	—
NVM——NVM写完成	23	15	0x000032	IFS0<15>	IEC0<15>	IPC3<14:12>
SI2C1——I2C1从事件	24	16	0x000034	IFS1<0>	IEC1<0>	IPC4<2:0>
MI2C1——2C1主事件	25	17	0x000036	IFS1<1>	IEC1<1>	IPC4<6:4>
CMP1——模拟比较器1中断	26	18	0x000038	IFS1<2>	IEC1<2>	IPC4<10:8>
CN——输入电平变化中断	27	19	0x00003A	IFS1<3>	IEC1<3>	IPC4<14:12>
INT1——外部中断1	28	20	0x00003C	IFS1<4>	IEC1<4>	IPC5<2:0>
保留	29-32	21-24	0x00003E-0x000044	—	—	—
OC3——输出比较3	33	25	0x000046	IFS1<9>	IEC1<9>	IPC6<6:4>
OC4——输出比较4	34	26	0x000048	IFS1<10>	IEC1<10>	IPC6<10:8>
T4——Timer4	35	27	0x00004A	IFS1<11>	IEC1<11>	IPC6<14:12>
T5——Timer5	36	28	0x00004C	IFS1<12>	IEC1<12>	IPC7<2:0>
INT2——外部中断2	37	29	0x00004E	IFS1<13>	IEC1<13>	IPC7<6:4>
U2RX——UART2接收器	38	30	0x000050	IFS1<14>	IEC1<14>	IPC7<10:8>
U2TX——UART2发送器	39	31	0x000052	IFS1<15>	IEC1<15>	IPC7<14:12>
SPI2E——SPI2错误	40	32	0x000054	IFS2<0>	IEC2<0>	IPC8<2:0>
SPI2——SPI2传输完成	41	33	0x000056	IFS2<1>	IEC2<1>	IPC8<6:4>
保留	42-44	34-36	0x000058-0x00005C	—	—	—
IC3——输入捕捉3	45	37	0x00005E	IFS2<5>	IEC2<5>	IPC9<6:4>
IC4——输入捕捉4	46	38	0x000060	IFS2<6>	IEC2<6>	IPC9<10:8>
保留	47-56	39-48	0x000062-0x000074	—	—	—
SI2C2——I2C2从事件	57	49	0x000076	IFS3<1>	IEC3<1>	IPC12<6:4>
MI2C2——I2C2主事件	58	50	0x000078	IFS3<2>	IEC3<2>	IPC12<10:8>
保留	59-61	51-53	0x00007A-0x00007E	—	—	—
INT4——外部中断4	62	54	0x000080	IFS3<6>	IEC3<6>	IPC13<10:8>
保留	63-64	55-54	0x000082-0x000084	—	—	—
PSEM——PWM特殊事件匹配	65	57	0x000086	IFS3<9>	IEC3<9>	IPC14<6:4>
保留	66-72	58-64	0x000088-0x000094	—	—	—
U1E——UART1错误中断	73	65	0x000096	IFS4<1>	IEC4<1>	IPC16<6:4>
U2E——UART2错误中断	74	66	0x000098	IFS4<2>	IEC4<2>	IPC16<10:8>
保留	75-80	67-72	0x00009A-0x0000A4	—	—	—

© 2015-2018 Microchip Technology Inc.

表7-1： 中断向量详细信息 （续）

中断源	向量编号	IRQ编号	IVT地址	中断位的位置		
				标志	允许	优先级
PWM辅助特殊事件匹配	81	73	0x0000A6	IFS4<9>	IEC4<9>	IPC18<6:4>
保留	82-101	74-93	0x0000A8-0x0000CE	—	—	—
PWM1——PWM1中断	102	94	0x0000D0	IFS5<14>	IEC5<14>	IPC23<10:8>
PWM2——PWM2中断	103	95	0x0000D2	IFS5<15>	IEC5<15>	IPC23<14:12>
PWM3——PWM3中断	104	96	0x0000D4	IFS6<0>	IEC6<0>	IPC24<2:0>
PWM4——PWM4中断	105	97	0x0000D6	IFS6<1>	IEC6<1>	IPC24<6:4>
PWM5——PWM5中断	106	98	0x0000D8	IFS6<2>	IEC6<2>	IPC24<10:8>
保留	106-110	99-102	0x0000DA-0x0000E0	—	—	—
CMP2——模拟比较器2中断	111	103	0x0000E2	IFS6<7>	IEC6<7>	IPC25<14:12>
CMP3——模拟比较器3中断	112	104	0x0000E4	IFS6<8>	IEC6<8>	IPC26<2:0>
CMP4——模拟比较器4中断	113	105	0x0000E6	IFS6<9>	IEC6<9>	IPC26<6:4>
保留	114-117	106-109	0x0000E8-0x0000EE	—	—	—
AN0转换完成	118	110	0x0000F0	IFS6<14>	IEC6<14>	IPC27<10:8>
AN1转换完成	119	111	0x0000F2	IFS6<15>	IEC6<15>	IPC27<14:12>
AN2转换完成	120	112	0x0000F4	IFS7<0>	IEC7<0>	IPC28<2:0>
AN3转换完成	121	113	0x0000F6	IFS7<1>	IEC7<1>	IPC28<6:4>
AN4转换完成	122	114	0x0000F8	IFS7<2>	IEC7<2>	IPC28<10:8>
AN5转换完成	123	115	0x0000FA	IFS7<3>	IEC7<3>	IPC28<14:12>
AN6转换完成	124	116	0x0000FC	IFS7<4>	IEC7<4>	IPC29<2:0>
AN7转换完成	125	117	0x0000FE	IFS7<5>	IEC7<5>	IPC29<6:4>
保留	126-149	118-141	0x000100-0x00012E	—	—	—
ICD——ICD应用	150	142	0x000130	IFS8<14>	IEC8<14>	IPC35<10:8>
JTAG——JTAG编程	151	143	0x000132	IFS8<15>	IEC8<15>	IPC35<14:12>
保留	152-158	144-150	0x000134-0x000140	—	—	—
AN8转换完成	159	151	0x000142	IFS9<7>	IEC9<7>	IPC37<14:12>
AN9转换完成	160	152	0x000144	IFS9<8>	IEC9<8>	IPC38<2:0>
AN10转换完成	161	153	0x000146	IFS9<9>	IEC9<9>	IPC38<6:4>
AN11转换完成	162	154	0x000148	IFS9<10>	IEC9<10>	IPC38<10:8>
AN12转换完成	163	155	0x00014A	IFS9<11>	IEC9<11>	IPC38<14:12>
AN13转换完成	164	156	0x00014C	IFS9<12>	IEC9<12>	IPC39<2:0>
AN14转换完成	165	157	0x00014E	IFS9<13>	IEC9<13>	IPC39<6:4>
AN15转换完成	166	158	0x000150	IFS9<14>	IEC9<14>	IPC39<10:8>
AN16转换完成	167	159	0x000152	IFS9<15>	IEC9<15>	IPC39<14:12>
AN17转换完成	168	160	0x000154	IFS10<0>	IEC10<0>	IPC40<2:0>
AN18转换完成	169	161	0x000156	IFS10<1>	IEC10<1>	IPC40<6:4>
AN19转换完成	170	162	0x000158	IFS10<2>	IEC10<2>	IPC40<10:8>
AN20转换完成	171	163	0x00015A	IFS10<3>	IEC10<3>	IPC40<14:12>
AN21转换完成	172	164	0x00015C	IFS10<4>	IEC10<4>	IPC41<2:0>
保留	173-180	165-172	0x00015C-0x00016C	—	—	—
I2C1——I2C1总线冲突	181	173	0x00016E	IFS10<13>	IEC10<13>	IPC43<6:4>
I2C2——I2C2总线冲突	182	174	0x000170	IFS10<14>	IEC10<14>	IPC43<10:8>
保留	183-184	175-176	0x000172-0x000174	—	—	—
ADCMP0——ADC数字比较器0	185	177	0x000176	IFS11<1>	IEC11<1>	IPC44<6:4>
ADCMP1——ADC数字比较器1	186	178	0x000178	IFS11<2>	IEC11<2>	IPC44<10:8>
ADFLTR0——ADC滤波器0	187	179	0x00017A	IFS11<3>	IEC11<3>	IPC44<14:12>
ADFLTR1——ADC滤波器1	188	180	0x00017C	IFS11<4>	IEC11<4>	IPC45<2:0>
保留	189-253	181-245	0x00017E-0x0001FE	—	—	—

7.3 中断资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

7.3.1 主要资源

- 《dsPIC33/PIC24系列参考手册》中的**“中断”**（DS70000600）
- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

7.4 中断控制和状态寄存器

dsPIC33EPXXGS50X系列器件实现了以下用于中断控制器的寄存器：

- INTCON1
- INTCON2
- INTCON3
- INTCON4
- INTTREG

7.4.1 INTCON1至INTCON4

INTCON1、INTCON2、INTCON3和INTCON4控制全局中断控制功能。

INTCON1包含中断嵌套禁止位（NSTDIS）以及处理器陷阱源的控制和状态标志。

INTCON2寄存器控制外部中断请求信号行为，还包含全局中断允许（Global Interrupt Enable，GIE）位和备用中断向量表使能（Alternate Interrupt Vector Table Enable，AIVTEN）位。

INTCON3包含附属PLL和DO堆栈溢出状态陷阱源的状态标志。

INTCON4寄存器包含软件生成的硬陷阱（Software Generated Hard Trap，SGHT）状态位。

7.4.2 IFSx

IFSx寄存器维护所有中断请求标志。每个中断源都具有一个中断标志状态位，该状态位由相应的外设中断或外部中断信号置1，通过软件进行清零。

7.4.3 IECx

IECx寄存器维护所有中断允许位。这些控制位用于单独允许外设中断或外部信号中断。

7.4.4 IPCx

IPCx寄存器用于设置每个中断源的中断优先级（Interrupt Priority Level，IPL）。可以为每个用户中断源分配7个优先级之一。

7.4.5 INTTREG

INTTREG寄存器包含相关的中断向量编号和新的CPU中断优先级，分别锁存在INTTREG寄存器中的向量编号（VECNUM<7:0>）和中断优先级（ILR<3:0>）位域中。新的中断优先级是等待处理中断的优先级。

中断源按表7-1中的顺序分配给IFSx、IECx和IPCx寄存器。例如，INT0（外部中断0）向量编号为8、自然顺序优先级为0。所以INT0IF位在IFS0<0>中，INT0IE位在IEC0<0>中，INT0IP<2:0>位在IPC0的第一个位置（IPC0<2:0>）中。

7.4.6 状态/控制寄存器

尽管这些寄存器不是中断控制硬件的特定组成部分，但其中两个CPU控制寄存器包含控制中断功能的位。关于这些寄存器的详细信息，请参见。《dsPIC33/PIC24系列参考手册》中的**“CPU”**一章（DS70359）。

- CPU状态寄存器SR包含IPL<2:0>位（SR<7:5>）。这些位指示当前CPU中断优先级。用户软件可以通过写IPLx位来更改当前CPU中断优先级。
- CORCON寄存器包含IPL3位，这个位与IPL<2:0>位一起指示当前CPU优先级。IPL3是只读位，所以用户软件不能屏蔽陷阱事件。

下面各页中的寄存器7-3至寄存器7-7介绍了所有中断寄存器。

© 2015-2018 Microchip Technology Inc.

寄存器7-1：　SR：CPU状态寄存器(1)

R/W-0	R/W-0	R/W-0	R/W-0	R/C-0	R/C-0	R-0	R/W-0
OA	OB	SA	SB	OAB	SAB	DA	DC
bit 15							bit 8

R/W-0(3)	R/W-0(3)	R/W-0(3)	R-0	R/W-0	R/W-0	R/W-0	R/W-0
IPL2(2)	IPL1(2)	IPL0(2)	RA	N	OV	Z	C
bit 7							bit 0

图注：	C = 可清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 7-5　**IPL<2:0>：**CPU中断优先级状态位(2,3)

111 = CPU中断优先级为7（15）；禁止用户中断
110 = CPU中断优先级为6（14）
101 = CPU中断优先级为5（13）
100 = CPU中断优先级为4（12）
011 = CPU中断优先级为3（11）
010 = CPU中断优先级为2（10）
001 = CPU中断优先级为1（9）
000 = CPU中断优先级为0（8）

注 1： 如需了解整个寄存器的详细信息，请参见寄存器3-1。
2： IPL<2:0>位与IPL<3>位（CORCON<3>）组合形成CPU中断优先级。如果IPL<3> = 1，那么括号中的值表示IPL。当IPL<3> = 1时，禁止用户中断。
3： 当NSTDIS（INTCON1<15>）= 1时，IPL<2:0>状态位是只读的。

寄存器7-2： CORCON：内核控制寄存器(1)

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-0
VAR	—	US1	US0	EDT	DL2	DL1	DL0
bit 15							bit 8

R/W-0	R/W-0	R/W-1	R/W-0	R/C-0	R-0	R/W-0	R/W-0
SATA	SATB	SATDW	ACCSAT	IPL3(2)	SFA	RND	IF
bit 7							bit 0

图注：	C = 可清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **VAR**：可变异常处理延时控制位
1 = 使能可变异常处理延时
0 = 使能固定异常处理延时

bit 3 **IPL3**：CPU中断优先级状态位3(2)
1 = CPU中断优先级大于7
0 = CPU中断优先级等于或小于7

注 1： 如需了解整个寄存器的详细信息，请参见寄存器3-2。
2： IPL3位与IPL<2:0>位（SR<7:5>）组合形成CPU中断优先级。

© 2015-2018 Microchip Technology Inc.

寄存器7-3： INTCON1：中断控制寄存器1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NSTDIS	OVAERR	OVBERR	COVAERR	COVBERR	OVATE	OVBTE	COVTE
bit 15							bit 8

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0
SFTACERR	DIV0ERR	—	MATHERR	ADDRERR	STKERR	OSCFAIL	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **NSTDIS：**中断嵌套禁止位
1 = 禁止中断嵌套
0 = 使能中断嵌套

bit 14 **OVAERR：**累加器A溢出陷阱标志位
1 = 陷阱由累加器A溢出引起
0 = 陷阱不是由累加器A溢出引起

bit 13 **OVBERR：**累加器B溢出陷阱标志位
1 = 陷阱由累加器B溢出引起
0 = 陷阱不是由累加器B溢出引起

bit 12 **COVAERR：**累加器A灾难性溢出陷阱标志位
1 = 陷阱由累加器A灾难性溢出引起
0 = 陷阱不是由累加器A灾难性溢出引起

bit 11 **COVBERR：**累加器B灾难性溢出陷阱标志位
1 = 陷阱由累加器B灾难性溢出引起
0 = 陷阱不是由累加器B灾难性溢出引起

bit 10 **OVATE：**累加器A溢出陷阱允许位
1 = 允许累加器A溢出陷阱
0 = 禁止陷阱

bit 9 **OVBTE：**累加器B溢出陷阱允许位
1 = 允许累加器B溢出陷阱
0 = 禁止陷阱

bit 8 **COVTE：**灾难性溢出陷阱允许位
1 = 允许累加器A或B的灾难性溢出陷阱
0 = 禁止陷阱

bit 7 **SFTACERR：**累加器移位错误状态位
1 = 数学错误陷阱由非法累加器移位引起
0 = 数学错误陷阱不是由非法累加器移位引起

bit 6 **DIV0ERR：**被零除错误状态位
1 = 数学错误陷阱由被零除引起
0 = 数学错误陷阱不是由被零除引起

bit 5 **未实现：**读为0

bit 4 **MATHERR：**数学错误状态位
1 = 发生了数学错误陷阱
0 = 未发生数学错误陷阱

bit 3 **ADDRERR：**地址错误陷阱状态位
1 = 发生了地址错误陷阱
0 = 未发生地址错误陷阱

寄存器7-3： INTCON1：中断控制寄存器1（续）

bit 2 **STKERR：**堆栈错误陷阱状态位
1 = 发生了堆栈错误陷阱
0 = 未发生堆栈错误陷阱

bit 1 **OSCFAIL：**振荡器故障陷阱状态位
1 = 发生了振荡器故障陷阱
0 = 未发生振荡器故障陷阱

bit 0 **未实现：**读为0

© 2015-2018 Microchip Technology Inc.

寄存器7-4： INTCON2：中断控制寄存器2

R/W-1	R/W-0	R/W-0	U-0	U-0	U-0	U-0	R/W-0
GIE	DISI	SWTRAP	—	—	—	—	AIVTEN
bit 15							bit 8

U-0	U-0	U-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	INT4EP	—	INT2EP	INT1EP	INT0EP
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **GIE：**全局中断允许位
1 = 允许中断并将相关的IE位置1
0 = 禁止中断，但仍然允许陷阱

bit 14 **DISI：**DISI指令状态位
1 = DISI指令有效
0 = DISI指令无效

bit 13 **SWTRAP：**软件陷阱状态位
1 = 允许软件陷阱
0 = 禁止软件陷阱

bit 12-9 **未实现：**读为0

bit 8 **AIVTEN：**备用中断向量表使能位
1 = 使用备用中断向量表
0 = 使用标准中断向量表

bit 7-5 **未实现：**读为0

bit 4 **INT4EP：**外部中断4边沿检测极性选择位
1 = 下降沿中断
0 = 上升沿中断

bit 3 **未实现：**读为0

bit 2 **INT2EP：**外部中断2边沿检测极性选择位
1 = 下降沿中断
0 = 上升沿中断

bit 1 **INT1EP：**外部中断1边沿检测极性选择位
1 = 下降沿中断
0 = 上升沿中断

bit 0 **INT0EP：**外部中断0边沿检测极性选择位
1 = 下降沿中断
0 = 上升沿中断

寄存器7-5： INTCON3：中断控制寄存器3

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
—	—	—	—	—	—	—	NAE
bit 15							bit 8

U-0	U-0	U-0	R/W-0	U-0	U-0	U-0	R/W-0
—	—	—	DOOVR	—	—	—	APLL
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-9 **未实现：**读为0

bit 8 **NAE：**NVM地址错误软陷阱状态位
1 = 发生了NVM地址错误软陷阱
0 = 未发生NVM地址错误软陷阱

bit 7-5 **未实现：**读为0

bit 4 **DOOVR：**DO堆栈溢出软陷阱状态位
1 = 发生了DO堆栈溢出软陷阱
0 = 未发生DO堆栈溢出软陷阱

bit 3-1 **未实现：**读为0

bit 0 **APLL：**附属PLL丢失锁定软陷阱状态位
1 = 发生了APLL锁定软陷阱
0 = 未发生APLL锁定软陷阱

寄存器7-6： INTCON4：中断控制寄存器4

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
—	—	—	—	—	—	—	SGHT
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-1 **未实现：**读为0

bit 0 **SGHT：**软件生成的硬陷阱状态位
1 = 发生了软件生成的硬陷阱
0 = 未发生软件生成的硬陷阱

© 2015-2018 Microchip Technology Inc.

寄存器7-7：　　INTTREG：中断控制和状态寄存器

U-0	U-0	U-0	U-0	R-0	R-0	R-0	R-0
—	—	—	—	ILR3	ILR2	ILR1	ILR0
bit 15							bit 8

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
VECNUM7	VECNUM6	VECNUM5	VECNUM4	VECNUM3	VECNUM2	VECNUM1	VECNUM0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-12　**未实现：**读为0

bit 11-8　**ILR<3:0>：**新的CPU中断优先级位
1111 = CPU中断优先级为15
•
•
•
0001 = CPU中断优先级为1
0000 = CPU中断优先级为0

bit 7-0　**VECNUM<7:0>：**待处理中断向量编号位
11111111 = 255，保留；不要使用
•
•
•
00001001 = 9，IC1——输入捕捉1
00001000 = 8，INT0——外部中断0
00000111 = 7，保留；不要使用
00000110 = 6，通用软陷阱
00000101 = 5，保留；不要使用
00000100 = 4，数学错误陷阱
00000011 = 3，堆栈错误陷阱
00000010 = 2，通用硬陷阱
00000001 = 1，地址错误陷阱
00000000 = 0，振荡器故障陷阱

注：

© 2015-2018 Microchip Technology Inc.

8.0 振荡器配置

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册中的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“振荡器模块”**（DS70005131），该文档可从Microchip网站（www.microchip.com）下载。

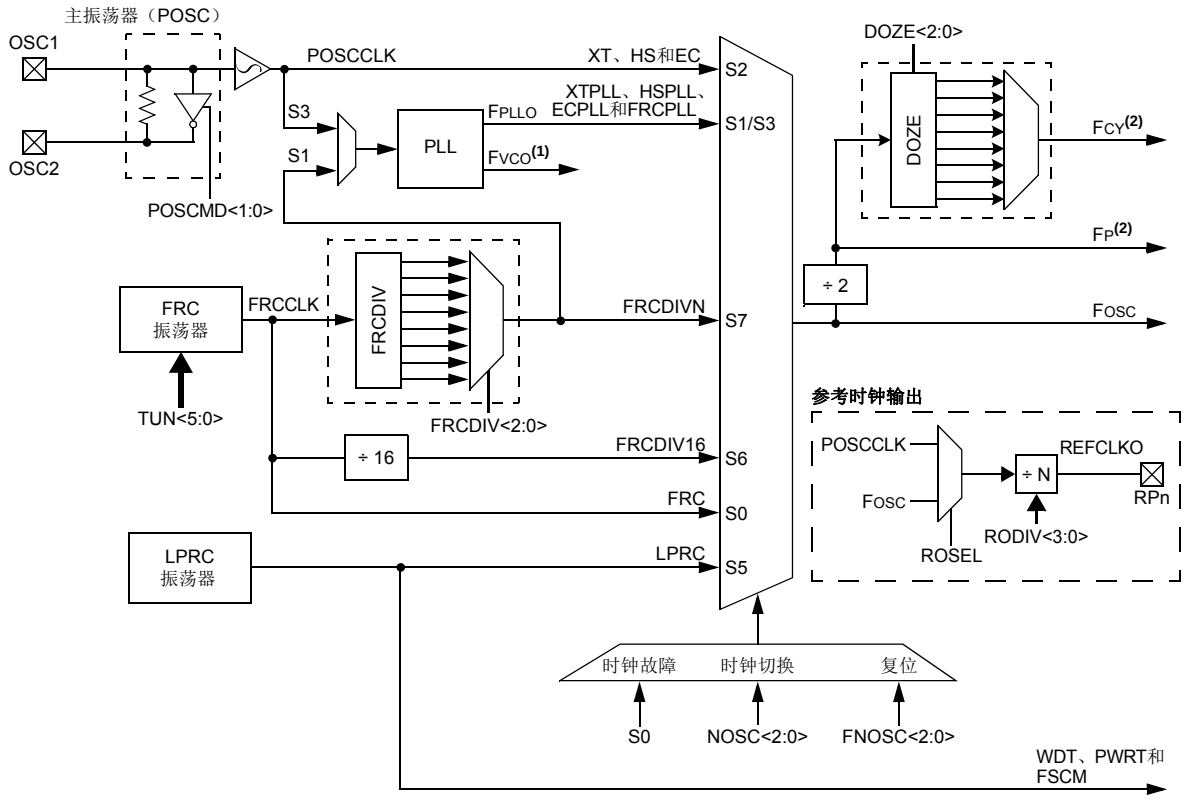
2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

dsPIC33EPXXGS50X系列振荡器系统提供：

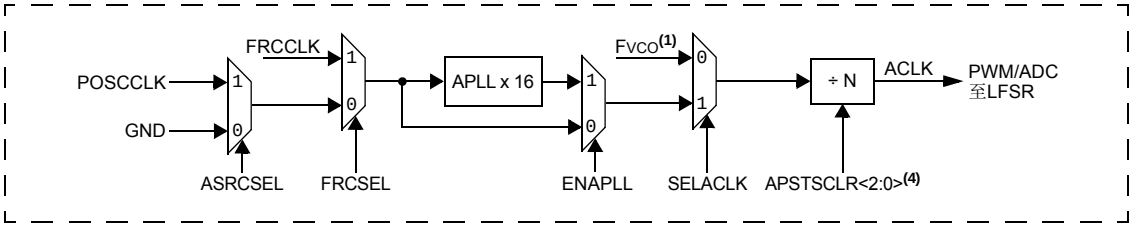
- 片上锁相环（Phase-Locked Loop，PLL），可基于选定的内部和外部振荡器源升高内部工作频率
- 在各种时钟源之间进行动态时钟切换
- 用于节省系统功耗的打盹模式
- 故障保护时钟监视器（FSCM），可检测时钟故障，并允许安全地恢复或关闭应用
- 用于时钟源选择的配置位
- 用于ADC和PWM的附属PLL

图8-1给出了振荡器系统的简化框图。

图8-1： 振荡器系统框图



附属时钟发生器电路框图



注 1： 有关FVCO信号源的信息，请参见图8-2。

2： FP指代所有外设的时钟源，而FCY（或MIPS）指代CPU的时钟源。在本文档中，FCY和FP互换使用（打盹模式除外）。所用打盹模式时钟分频比为1:1以外的值时，FP和FCY将不同。

3： 为了使PWM模块和ADC模块正常工作，附属时钟后分频比必须配置为1分频（APSTSCLR<2:0> = 111）。

© 2015-2018 Microchip Technology Inc.

8.1 CPU时钟系统

dsPIC33EPXXGS50X系列器件提供6种系统时钟选项：

- 快速RC（FRC）振荡器
- 带锁相环的FRC振荡器（FRCPLL）
- 带后分频器的FRC振荡器
- 主（XT、HS或EC）振荡器
- 带PLL的主振荡器
- 低功耗RC（LPRC）振荡器

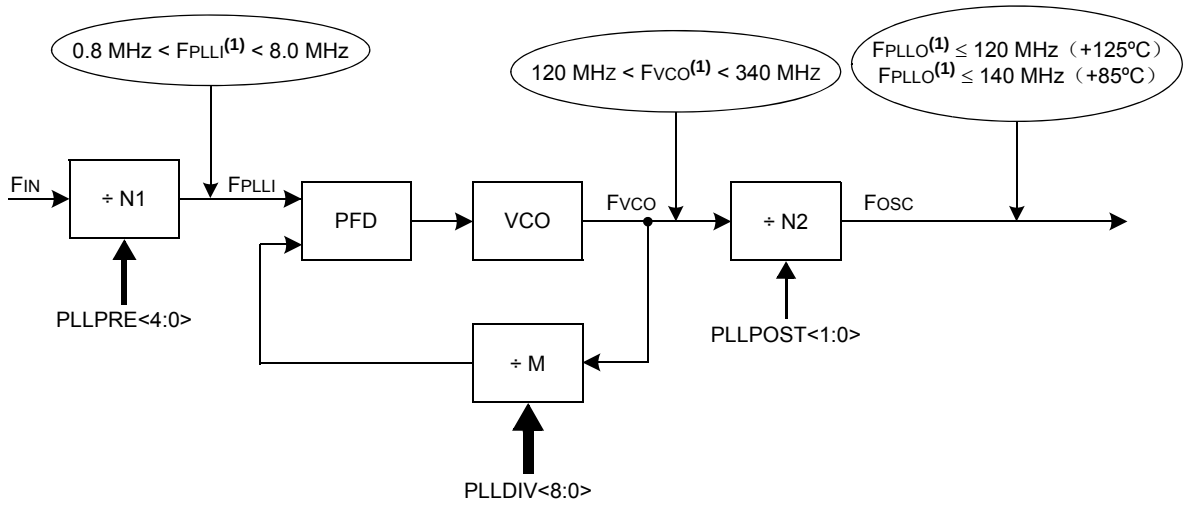
指令执行速度或器件工作频率FCY由公式8-1计算。

公式8-1： 器件工作频率

$$FCY = FOSC/2$$

图8-2给出了PLL模块的框图。公式8-2给出了输入频率（FIN）和输出频率（FPLLO）之间的关系。公式8-3给出了输入频率（FIN）和VCO频率（FVCO）之间的关系。

图8-2： PLL框图



注 1： 该频率范围必须始终得到满足。

公式8-2： FPLLO计算

$$FPLLO = FIN \times \left(\frac{M}{N1 \times N2}\right) = FIN \times \left(\frac{PLLDIV<8:0> + 2}{(PLLPRE<4:0> + 2) \times 2(PLLPOST<1:0> + 1)}\right)$$

其中：

$N1 = PLLPRE<4:0> + 2$

$N2 = 2 \text{ x } (PLLPOST<1:0> + 1)$

$M = PLLDIV<8:0> + 2$

公式8-3： FVCO计算

$$FVCO = FIN \times \left(\frac{M}{N1}\right) = FIN \times \left(\frac{PLLDIV<8:0> + 2}{(PLLPRE<4:0> + 2)}\right)$$

表8-1： 用于时钟选择的配置位值

振荡器模式	振荡器源	POSCMD<1:0>	FNOSC<2:0>	参见注
n分频快速RC振荡器（FRCDIVN）	内部	xx	111	1和2
16分频快速RC振荡器（FRCDIV16）	内部	xx	110	1
低功耗RC振荡器（LPRC）	内部	xx	101	1
带PLL的主振荡器（HS）（HSPLL）	主	10	011	
带PLL的主振荡器（XT）（XTPLL）	主	01	011	
带PLL的主振荡器（EC）（ECPLL）	主	00	011	1
主振荡器（HS）	主	10	010	
主振荡器（XT）	主	01	010	
主振荡器（EC）	主	00	010	1
带PLL的N分频快速RC振荡器（FRC）（FRCPLL）	内部	xx	001	1
快速RC振荡器（FRC）	内部	xx	000	1

注 1： OSC2引脚功能由OSCIOFNC配置位决定。

2： 这是未编程（已擦除）器件的默认振荡器模式。

8.2 附属时钟产生

附属时钟产生用于需要以与系统时钟无关的频率工作的外设，例如PWM或ADC。

可将主振荡器和内部FRC振荡器源与附属PLL（APLL）配合使用，以获取附属时钟。附属PLL具有固定的16x倍频因子。

附属时钟具有以下配置限制：

- 为了使 PWM 正常工作，必须将产生的附属时钟频率配置为120 MHz（见**第26.0节“电气特性”**中的参数OS56）。如果需要较低的频率，则应使用PWM输入时钟预分频比选择位（PCLKDIV<2:0>）。
- 要实现1.04 ns的PWM分辨率，附属时钟必须使用16x附属PLL（APLL）。所有其他时钟源的最小PWM分辨率为8 ns。
- 如果使用主PLL作为附属时钟的来源，则主PLL的最大工作速率应配置为30 MIPS或更低。

8.3 参考时钟产生

通过参考时钟输出逻辑，用户能够基于系统时钟或器件引脚上的晶振来输出时钟信号。用户应用程序可以指定范围较宽的时钟频率缩放比例来产生参考时钟输出。

8.4 振荡器资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

8.4.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

© 2015-2018 Microchip Technology Inc.

8.5 振荡器控制寄存器

寄存器8-1： OSCCON：振荡器控制寄存器(1)

U-0	R-0	R-0	R-0	U-0	R/W-y	R/W-y	R/W-y
—	COSC2	COSC1	COSC0	—	NOSC2(2)	NOSC1(2)	NOSC0(2)
bit 15							bit 8

R/W-0	R/W-0	R-0	U-0	R/W-0	U-0	U-0	R/W-0
CLKLOCK	IOLOCK	LOCK	—	CF(3)	—	—	OSWEN
bit 7							bit 0

图注：	y = 在POR时由配置位设置的值		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **未实现：** 读为0

bit 14-12 **COSC<2:0>：** 当前振荡器选择位（只读）
111 = n分频的快速RC振荡器（FRC）
110 = 16分频的快速RC振荡器（FRC）
101 = 低功耗RC振荡器（LPRC）
100 = 保留
011 = 带PLL的主振荡器（XT、HS和EC）
010 = 主振荡器（XT、HS和EC）
001 = 带PLL的N分频快速RC振荡器（FRC）（FRCPLL）
000 = 快速RC振荡器（FRC）

bit 11 **未实现：** 读为0

bit 10-8 **NOSC<2:0>：** 新振荡器选择位(2)
111 = n分频的快速RC振荡器（FRC）
110 = 16分频的快速RC振荡器（FRC）
101 = 低功耗RC振荡器（LPRC）
100 = 保留
011 = 带PLL的主振荡器（XT、HS和EC）
010 = 主振荡器（XT、HS和EC）
001 = 带PLL的N分频快速RC振荡器（FRC）（FRCPLL）
000 = 快速RC振荡器（FRC）

bit 7 **CLKLOCK：** 时钟锁定使能位
1 = 如果FCKSM0 = 1，则锁定时钟和PLL配置；如果FCKSM0 = 0，则可以修改时钟和PLL配置
0 = 不锁定时钟和PPL选择，可以修改配置

bit 6 **IOLOCK：** I/O锁定使能位
1 = 锁定I/O
0 = 不锁定I/O

bit 5 **LOCK：** PLL锁定状态位（只读）
1 = 指示PLL处于锁定状态，或PLL起振定时器延时结束
0 = 指示PLL处于失锁状态，起振定时器在进行延时或PLL被禁止

注 1： 对该寄存器进行写操作需要解锁序列。

2： 不允许直接在使能PLL的任何主振荡器模式和FRCPLL模式之间进行时钟切换（这指两者之间任意方向的时钟切换）。在这些情况下，应用必须首先切换到FRC模式将其作为两个PLL模式之间的过渡时钟源。

3： 该位只能用软件清零。用软件将该位置1（= 1）的效果与实际振荡器故障相同，将触发振荡器故障陷阱。

寄存器8-1：　　OSCCON：振荡器控制寄存器(1)（续）

bit 4	**未实现：**读为0
bit 3	**CF：**时钟故障检测位(3) 1 = FSCM已检测到时钟故障 0 = FSCM未检测到时钟故障
bit 2-1	**未实现：**读为0
bit 0	**OSWEN：**振荡器切换使能位 1 = 请求振荡器切换为由NOSC<2:0>位指定的选择 0 = 振荡器切换完成

注 1： 对该寄存器进行写操作需要解锁序列。

2： 不允许直接在使能PLL的任何主振荡器模式和FRCPLL模式之间进行时钟切换（这指两者之间任意方向的时钟切换）。在这些情况下，应用必须首先切换到FRC模式将其作为两个PLL模式之间的过渡时钟源。

3： 该位只能用软件清零。用软件将该位置1（= 1）的效果与实际振荡器故障相同，将触发振荡器故障陷阱。

© 2015-2018 Microchip Technology Inc.

寄存器8-2：　CLKDIV：时钟分频比寄存器

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
ROI	DOZE2(1)	DOZE1(1)	DOZE0(1)	DOZEN(2,3)	FRCDIV2	FRCDIV1	FRCDIV0
bit 15							bit 8

R/W-0	R/W-1	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PLLPOST1	PLLPOST0	—	PLLPRE4	PLLPRE3	PLLPRE2	PLLPRE1	PLLPRE0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15　**ROI：**中断恢复位
1 = 中断将清零DOZEN位，并且处理器时钟与外设时钟之间的频率比被设置为1:1
0 = 中断对DOZEN位没有影响

bit 14-12　**DOZE<2:0>：**处理器时钟分频比选择位(1)
111 = FCY被128分频
110 = FCY被64分频
101 = FCY被32分频
100 = FCY被16分频
011 = FCY被8分频（默认）
010 = FCY被4分频
001 = FCY被2分频
000 = FCY被1分频

bit 11　**DOZEN：**打盹模式使能位(2,3)
1 = DOZE<2:0>位域指定外设时钟与处理器时钟之间的频率比
0 = 处理器时钟与外设时钟之间的频率比被强制为1:1

bit 10-8　**FRCDIV<2:0>：**内部快速RC振荡器后分频比位
111 = FRC被256分频
110 = FRC被64分频
101 = FRC被32分频
100 = FRC被16分频
011 = FRC被8分频
010 = FRC被4分频
001 = FRC被2分频
000 = FRC被1分频（默认）

bit 7-6　**PLLPOST<1:0>：**PLL VCO输出分频比选择位（也表示为“N2”，PLL后分频比）
11 = 输出被8分频
10 = 保留
01 = 输出被4分频（默认）
00 = 输出被2分频

bit 5　**未实现：**读为0

注 1： 只有DOZEN位清零时，才能写入DOZE<2:0>位。如果DOZEN = 1，则对DOZE<2:0>的任何写操作都会被忽略。
2： 该位在ROI位置1和产生中断时清零。
3： 如果DOZE<2:0> = 000，则DOZEN位不能置1。如果DOZE<2:0> = 000，则用户软件将DOZEN位置1的任何尝试都会被忽略。

寄存器8-2： CLKDIV：时钟分频比寄存器 （续）

bit 4-0 **PLLPRE<4:0>**：PLL相位检测器输入分频比选择位（也表示为“N1”，PLL预分频比）
11111 = 输入被33分频
•
•
•
00001 = 输入被3分频
00000 = 输入被2分频（默认）

注 1： 只有DOZEN位清零时，才能写入DOZE<2:0>位。如果DOZEN = 1，则对DOZE<2:0>的任何写操作都会被忽略。
2： 该位在ROI位置1和产生中断时清零。
3： 如果DOZE<2:0> = 000，则DOZEN位不能置1。如果DOZE<2:0> = 000，则用户软件将DOZEN位置1的任何尝试都会被忽略。

寄存器8-3： PLLFBD：PLL反馈分频比寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
—	—	—	—	—	—	—	PLLDIV8
bit 15							bit 8

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
PLLDIV<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-9 **未实现**：读为0
bit 8-0 **PLLDIV<8:0>**：PLL反馈分频比位（也表示为“M”，PLL倍频比）
111111111 = 513
•
•
•
000110000 = 50（默认）
•
•
•
000000010 = 4
000000001 = 3
000000000 = 2

© 2015-2018 Microchip Technology Inc.

寄存器8-4： OSCTUN：FRC振荡器调节寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	TUN<5:0>					
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-6 **未实现：**读为0

bit 5-0 **TUN<5:0>：**FRC振荡器调节位

011111 = 最大频率偏差为1.457%（7.477 MHz）
011110 = 中心频率 + 1.41%（7.474 MHz）
•
•
•
000001 = 中心频率 + 0.047%（7.373 MHz）
000000 = 中心频率（标称值7.37 MHz）
111111 = 中心频率 – 0.047%（7.367 MHz）
•
•
•
100001 = 中心频率 – 1.457%（7.263 MHz）
100000 = 最小频率偏差为-1.5%（7.259 MHz）

注 1： 提供 OSCTUN 功能是为了帮助客户补偿在整个温度范围内温度对 FRC 频率的影响。频率调节步长是估计值，非特性值，也未经测试。

寄存器8-5： ACLKCON：附属时钟分频比控制寄存器

R/W-0	R-0	R/W-1	U-0	U-0	R/W-1	R/W-1	R/W-1
ENAPLL	APLLCK	SELACLK	—	—	APSTSCLR2	APSTSCLR1	APSTSCLR0
bit 15							bit 8

R/W-0	R/W-0	U-0	U-0	U-0	U-0	U-0	U-0
ASRCSEL	FRCSEL	—	—	—	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **ENAPLL：**附属PLL使能位
1 = 使能APLL
0 = 禁止APLL

bit 14 **APLLCK：**APLL锁定状态位（只读）
1 = 指示附属PLL处于锁定状态
0 = 指示附属PLL不处于锁定状态

bit 13 **SELACLK：**附属时钟分频器的附属时钟源选择位
1 = 附属振荡器为附属时钟分频器提供时钟源
0 = 主PLL（FVCO）为附属时钟分频器提供时钟源

bit 12-11 **未实现：**读为0

bit 10-8 **APSTSCLR<2:0>：**附属时钟输出分频比位
111 = 1分频
110 = 2分频
101 = 4分频
100 = 8分频
011 = 16分频
010 = 32分频
001 = 64分频
000 = 256分频

bit 7 **ASRCSEL：**附属时钟的参考时钟源选择位
1 = 主振荡器是时钟源
0 = 不选择任何时钟输入

bit 6 **FRCSEL：**附属PLL的参考时钟源选择位
1 = 为附属PLL选择FRC时钟
0 = 输入时钟源由ASRCSEL位的设置决定

bit 5-0 **未实现：**读为0

© 2015-2018 Microchip Technology Inc.

寄存器8-6：　REFOCON：参考振荡器控制寄存器

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ROON	—	ROSSLP	ROSEL	RODIV3(1)	RODIV2(1)	RODIV1(1)	RODIV0(1)
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15　**ROON：**参考振荡器输出使能位
1 = 在RPn引脚上使能参考振荡器输出(2)
0 = 禁止参考振荡器输出

bit 14　**未实现：**读为0

bit 13　**ROSSLP：**参考振荡器在休眠模式下运行情况位
1 = 参考振荡器输出在休眠模式下继续运行
0 = 参考振荡器输出在休眠模式下被禁止

bit 12　**ROSEL：**参考振荡器源选择位
1 = 晶振用作参考时钟
0 = 系统时钟用作参考时钟

bit 11-8　**RODIV<3:0>：**参考振荡器分频比位(1)
1111 = 参考时钟被32,768分频
1110 = 参考时钟被16,384分频
1101 = 参考时钟被8,192分频
1100 = 参考时钟被4,096分频
1011 = 参考时钟被2,048分频
1010 = 参考时钟被1,024分频
1001 = 参考时钟被512分频
1000 = 参考时钟被256分频
0111 = 参考时钟被128分频
0110 = 参考时钟被64分频
0101 = 参考时钟被32分频
0100 = 参考时钟被16分频
0011 = 参考时钟被8分频
0010 = 参考时钟被4分频
0001 = 参考时钟被2分频
0000 = 参考时钟

bit 7-0　**未实现：**读为0

注 1： 在写入这些位之前，必须先禁止参考振荡器输出（ROON = 0）。
2： 该引脚是可重映射的。有关详细信息，请参见**第10.4节“外设引脚选择（PPS）”**。

寄存器8-7：　　LFSR：线性反馈移位寄存器

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	LFSR<14:8>						
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
LFSR<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15　　**未实现：**读为0

bit 14-0　　**LFSR<14:0>：**伪随机数据位

© 2015-2018 Microchip Technology Inc.

9.0 节能特性

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“看门狗定时器和节能模式”**（DS70615），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

dsPIC33EPXXGS50X系列器件提供了管理功耗的功能，该功能是通过有选择地管理CPU和外设的时钟来实现的。一般来说，较低的时钟频率和减少时钟所驱动外设的数目可降低功耗。

dsPIC33EPXXGS50X系列器件可通过以下4种方式来管理功耗：

- 时钟频率
- 基于指令的休眠模式和空闲模式
- 软件控制的打盹模式
- 用软件有选择地进行外设控制

可以组合使用这些方法，从而在保证关键应用特性（如对于时序敏感的通信）的情况下有选择地调节应用的功耗。

9.1 时钟频率和时钟切换

dsPIC33EPXXGS50X系列器件的时钟频率范围较宽，用户可根据应用需要进行选择。如果未锁定系统时钟配置，用户只需更改NOSCx位（OSCCON<10:8>）即可选择低功耗或高精度振荡器。在工作期间更改系统时钟的过程以及相应的限制，已在**第8.0节“振荡器配置”**中进行了详细的讨论。

9.2 基于指令的节能模式

dsPIC33EPXXGS50X系列器件有两种特殊的节能模式，通过执行特殊的PWRSAV指令可以进入这两种模式。休眠模式下时钟停止工作并暂停所有代码执行。空闲模式下CPU暂停工作并暂停代码执行，但是允许外设模块继续工作。PWRSAV指令的汇编语法如例9-1所示。

注： SLEEP_MODE和IDLE_MODE是在所选器件的汇编包含文件中定义的常量。

在被允许的中断产生、WDT超时或器件复位时，器件会退出休眠和空闲模式。器件退出这两种模式的过程称为“唤醒”。

例9-1： PWRSAV指令语法

```
PWRSAV  #SLEEP_MODE    ; Put the device into Sleep mode
PWRSAV  #IDLE_MODE     ; Put the device into Idle mode
```

9.2.1 休眠模式

休眠模式具有以下特征：

- 系统时钟源关闭。如果使用了片上振荡器，也要关闭它。
- 如果没有I/O引脚拉出电流，则器件电流消耗将降至最低
- 因为系统时钟源被禁止，所以故障保护时钟监视器在休眠模式下不工作。
- 如果WDT被使能，则LPRC时钟将在休眠模式下继续运行。
- 如果WDT被使能，则它在进入休眠模式之前被自动清零。
- 有些器件功能或外设能在休眠模式下继续工作，包括I/O端口上的输入电平变化通知功能或使用外部时钟输入的外设等。
- 任何需要使用系统时钟源来工作的外设在休眠模式下将被禁止。

当发生以下任何事件时，器件将被从休眠模式唤醒：

- 产生任何已被单独允许的中断
- 任何形式的器件复位
- WDT超时

从休眠模式唤醒时，处理器将使用在进入休眠模式时处于工作状态的时钟源重新开始工作。

为了实现最佳的节能效果，可以通过清零VREGS（RCON<8>）和VREGSF（RCON<11>）位，将内部稳压器和闪存稳压器配置为在休眠模式下进入待机状态（默认配置）。

如果应用需要更快的唤醒速度，并且可以接受更高的电流要求，可以将VREGS（RCON<8>）和VREGSF（RCON<11>）位置1，使内部稳压器和闪存稳压器在休眠模式下保持工作状态。

9.2.2 空闲模式

空闲模式具有以下特征：

- CPU停止执行指令。
- WDT被自动清零。
- 系统时钟源保持工作状态。默认情况下，所有外设模块将继续使用系统时钟源正常工作，也可以有选择地禁止它们（见**第9.4节“外设模块禁止”**）。
- 如果WDT或FSCM被使能，则LPRC也将保持工作状态。

当发生以下任何事件时，器件将被从空闲模式唤醒：

- 产生任何已被单独允许的中断
- 任何器件复位
- WDT超时

从空闲模式唤醒时，重新为CPU提供时钟并开始执行指令（2-4个时钟周期后），且从PWRSAV指令之后的下一条指令或ISR中的第一条指令开始执行。

所有外设还都具有在进入空闲模式时停止工作的选项，以提高节能效果。该选项可在每个外设的控制寄存器中进行选择；例如，Timer1控制寄存器中的TSIDL位（T1CON<13>）。

9.2.3 在节能指令执行期间的中断

在执行PWRSAV指令时产生的任何中断都将延迟到进入休眠或空闲模式后才起作用，并导致器件从休眠或空闲模式唤醒。

© 2015-2018 Microchip Technology Inc.

9.3 打盹模式

更改时钟速度和使用某种节能模式是降低功耗的首选策略。在某些情况下可能不可行。例如，某些应用可能必须保持不间断的同步通信，即便在它不执行任何其他操作时也不例外。降低系统时钟速度可能会带来通信错误，而使用节能模式可能会完全停止通信。

打盹模式是另一种简单有效的节能方法，它可以在器件仍然执行代码的情况下降低功耗。在此模式下，系统时钟以相同的时钟源和相同的速度继续工作。外设模块时钟速度保持不变，但CPU时钟速度降低了。保持这两个时钟域同步，可以保持外设访问SFR的能力，同时CPU以较慢的速度执行代码。

通过将DOZEN位（CLKDIV<11>）置1使能打盹模式。外设与内核的时钟速度之比是由DOZE<2:0>位（CLKDIV<14:12>）决定的。有8种可能的配置，从1:1至1:128，其中1:1是默认设置。

在事件驱动的应用中，程序可以使用打盹模式有选择地降低功耗。这样就可以实现不间断地运行对时序敏感的功能（如同步通信），而CPU保持空闲等待事件调用中断服务程序。通过将ROI位（CLKDIV<15>）置1，可以使器件在产生中断时自动返回到全速CPU工作模式。默认情况下，中断事件对打盹模式工作没有影响。

9.4 外设模块禁止

外设模块禁止（Peripheral Module Disable，PMD）寄存器通过停止所有提供给模块的时钟源提供一种禁止外设模块的方法。当通过相应的PMD控制位禁止外设时，外设就进入了功耗最低的状态。与外设相关的控制和状态寄存器也会被禁止，因此写入这些寄存器不起作用，且读取值无效。

只有在PMD寄存器中的相应位被清零且特定的dsPIC® DSC器件支持某个外设时，才会使能相应的外设模块。如果外设存在于器件中，则默认情况下，它是通过PMD寄存器使能的。

注：	如果PMD位置1，则对应的模块将在一个指令周期的延时后被禁止。类似地，如果PMD位清零，则对应的模块将在一个指令周期的延时后被使能（假设已将模块控制寄存器配置为使能模块的工作）。

9.5 节能资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

9.5.1 主要资源

- 《dsPIC33/PIC24系列参考手册》中的**“看门狗定时器和节能模式”**（DS70615）
- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

寄存器9-1： PMD1：外设模块禁止控制寄存器1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	U-0
T5MD	T4MD	T3MD	T2MD	T1MD	—	PWMMD	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	R/W-0
I2C1MD	U2MD	U1MD	SPI2MD	SPI1MD	—	—	ADCMD
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **T5MD**：Timer5模块禁止位
1 = 禁止Timer5模块
0 = 使能Timer5模块

bit 14 **T4MD**：Timer4模块禁止位
1 = 禁止Timer4模块
0 = 使能Timer4模块

bit 13 **T3MD**：Timer3模块禁止位
1 = 禁止Timer3模块
0 = 使能Timer3模块

bit 12 **T2MD**：Timer2模块禁止位
1 = 禁止Timer2模块
0 = 使能Timer2模块

bit 11 **T1MD**：Timer1模块禁止位
1 = 禁止Timer1模块
0 = 使能Timer1模块

bit 10 **未实现**：读为0

bit 9 **PWMMD**：PWMx模块禁止位
1 = 禁止PWMx模块
0 = 使能PWMx模块

bit 8 **未实现**：读为0

bit 7 **I2C1MD**：I2C1模块禁止位
1 = 禁止I2C1模块
0 = 使能I2C1模块

bit 6 **U2MD**：UART2模块禁止位
1 = 禁止UART2模块
0 = 使能UART2模块

bit 5 **U1MD**：UART1模块禁止位
1 = 禁止UART1模块
0 = 使能UART1模块

bit 4 **SPI2MD**：SPI2模块禁止位
1 = 禁止SPI2模块
0 = 使能SPI2模块

bit 3 **SPI1MD**：SPI1模块禁止位
1 = 禁止SPI1模块
0 = 使能SPI1模块

bit 2-1 **未实现**：读为0

bit 0 **ADCMD**：ADC模块禁止位
1 = 禁止ADC模块
0 = 使能ADC模块

© 2015-2018 Microchip Technology Inc.

寄存器9-2： PMD2：外设模块禁止控制寄存器2

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	IC4MD	IC3MD	IC2MD	IC1MD
bit 15							bit 8

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	OC4MD	OC3MD	OC2MD	OC1MD
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-12 **未实现：**读为0

bit 11 **IC4MD：**输入捕捉4模块禁止位
1 = 禁止输入捕捉4模块
0 = 使能输入捕捉4模块

bit 10 **IC3MD：**输入捕捉3模块禁止位
1 = 禁止输入捕捉3模块
0 = 使能输入捕捉3模块

bit 9 **IC2MD：**输入捕捉2模块禁止位
1 = 禁止输入捕捉2模块
0 = 使能输入捕捉2模块

bit 8 **IC1MD：**输入捕捉1模块禁止位
1 = 禁止输入捕捉1模块
0 = 使能输入捕捉1模块

bit 7-4 **未实现：**读为0

bit 3 **OC4MD：**输出比较4模块禁止位
1 = 禁止输出比较4模块
0 = 使能输出比较4模块

bit 2 **OC3MD：**输出比较3模块禁止位
1 = 禁止输出比较3模块
0 = 使能输出比较3模块

bit 1 **OC2MD：**输出比较2模块禁止位
1 = 禁止输出比较2模块
0 = 使能输出比较2模块

bit 0 **OC1MD：**输出比较1模块禁止位
1 = 禁止输出比较1模块
0 = 使能输出比较1模块

寄存器9-3：　PMD3：外设模块禁止控制寄存器3

U-0	U-0	U-0	U-0	U-0	R/W-0	U-0	U-0
—	—	—	—	—	CMPMD	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	U-0
—	—	—	—	—	—	I2C2MD	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-11　**未实现：**读为0

bit 10　**CMPMD：**比较器模块禁止位
1 = 禁止比较器模块
0 = 使能比较器模块

bit 9-2　**未实现：**读为0

bit 1　**I2C2MD：**I2C2模块禁止位
1 = 禁止I2C2模块
0 = 使能I2C2模块

bit 0　**未实现：**读为0

寄存器9-4：　PMD4：外设模块禁止控制寄存器4

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	R/W-0	U-0	U-0	U-0
—	—	—	—	REFOMD	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-4　**未实现：**读为0

bit 3　**REFOMD：**参考时钟模块禁止位
1 = 禁止参考时钟模块
0 = 使能参考时钟模块

bit 2-0　**未实现：**读为0

© 2015-2018 Microchip Technology Inc.

寄存器9-5： PMD6：外设模块禁止控制寄存器6

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	PWM5MD	PWM4MD	PWM3MD	PWM2MD	PWM1MD
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-13 **未实现：**读为0

bit 12 **PWM5MD：**PWM5模块禁止位
1 = 禁止PWM5模块
0 = 使能PWM5模块

bit 11 **PWM4MD：**PWM4模块禁止位
1 = 禁止PWM4模块
0 = 使能PWM4模块

bit 10 **PWM3MD：**PWM3模块禁止位
1 = 禁止PWM3模块
0 = 使能PWM3模块

bit 9 **PWM2MD：**PWM2模块禁止位
1 = 禁止PWM2模块
0 = 使能PWM2模块

bit 8 **PWM1MD：**PWM1模块禁止位
1 = 禁止PWM1模块
0 = 使能PWM1模块

bit 7-0 **未实现：**读为0

寄存器9-6：　PMD7：外设模块禁止控制寄存器7

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	CMP4MD	CMP3MD	CMP2MD	CMP1MD
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	U-0
—	—	—	—	—	—	PGA1MD	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-12　**未实现：**读为0

bit 11　**CMP4MD：**CMP4模块禁止位
1 = 禁止CMP4模块
0 = 使能CMP4模块

bit 10　**CMP3MD：**CMP3模块禁止位
1 = 禁止CMP3模块
0 = 使能CMP3模块

bit 9　**CMP2MD：**CMP2模块禁止位
1 = 禁止CMP2模块
0 = 使能CMP2模块

bit 8　**CMP1MD：**CMP1模块禁止位
1 = 禁止CMP1模块
0 = 使能CMP1模块

bit 7-2　**未实现：**读为0

bit 1　**PGA1MD：**PGA1模块禁止位
1 = 禁止PGA1模块
0 = 使能PGA1模块

bit 0　**未实现：**读为0

© 2015-2018 Microchip Technology Inc.

寄存器9-7： PMD8：外设模块禁止控制寄存器8

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	U-0
—	—	—	—	—	PGA2MD	ABGMD	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	U-0
—	—	—	—	—	—	CCSMD	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-11 **未实现：**读为0

bit 10 **PGA2MD：**PGA2模块禁止位
1 = 禁止PGA2模块
0 = 使能PGA2模块

bit 9 **ABGMD：**带隙参考电压禁止位
1 = 禁止带隙参考电压
0 = 使能带隙参考电压

bit 8-2 **未实现：**读为0

bit 1 **CCSMD：**恒流源模块禁止位
1 = 禁止恒流源模块
0 = 使能恒流源模块

bit 0 **未实现：**读为0

注：

© 2015-2018 Microchip Technology Inc.

10.0 I/O端口

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本手册的补充信息，请参见《dsPIC33/PIC24 系列参考手册》中的**“I/O 端口”**（DS70000598），该文档可从 Microchip 网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

许多器件引脚由外设和并行I/O端口所共用。所有I/O输入端口都为施密特触发器输入，提高了抗噪声能力。

10.1 并行I/O（PIO）端口

与某个外设共用一个引脚的并行I/O端口通常服从于该外设。外设的输出缓冲器数据和控制信号提供给一对多路开关。这对多路开关用于选择I/O引脚的输出数据和控制信号是来自外设还是相应的端口。该逻辑电路同时会阻止“环通”（loop through，即一个端口的数字输出可以驱动共用同一个引脚的外设的输入）。图10-1显示了端口是如何与其他外设复用的以及与这些外设连接的相关I/O引脚。

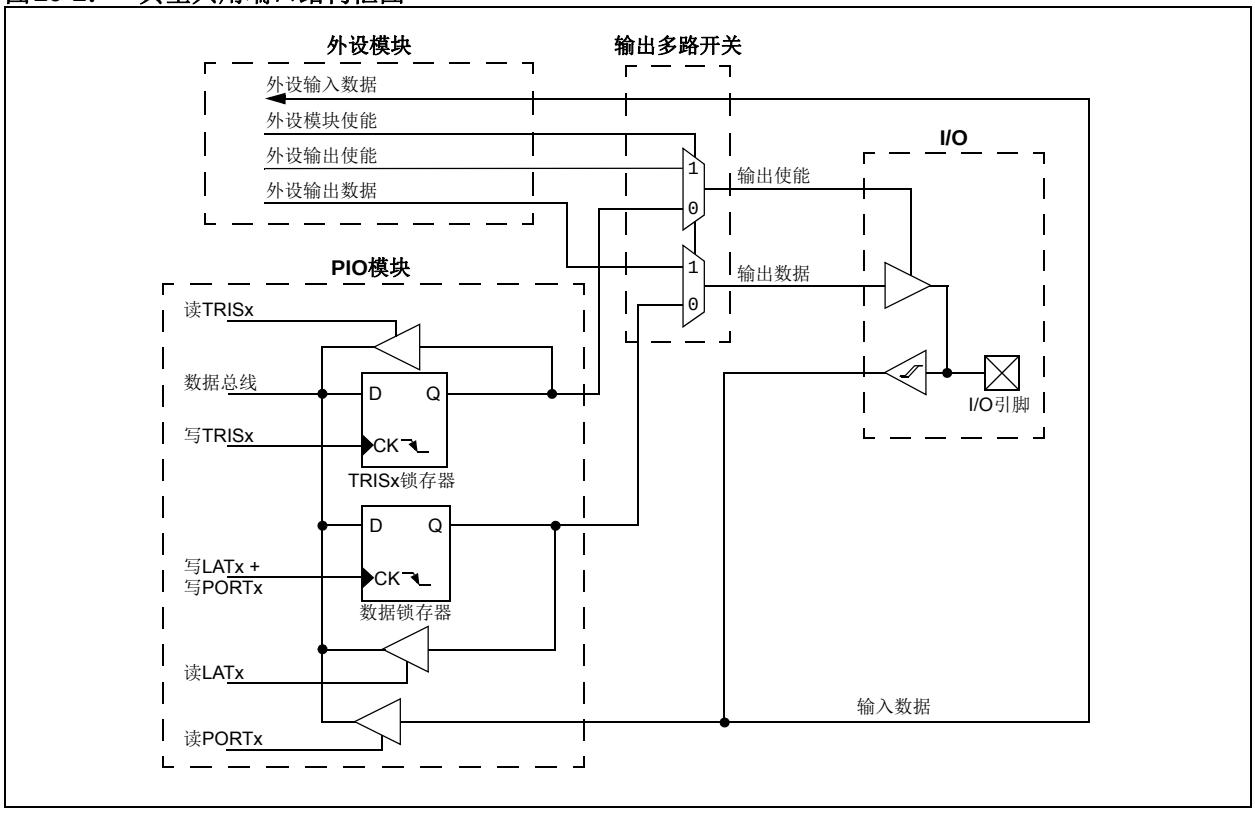
当外设使能，并且外设正在驱动相关引脚时，禁止将该引脚作为通用输出引脚。可以读该I/O引脚，但并行端口引脚的输出驱动器将被禁止。如果使能某外设但该外设没有驱动相应的引脚，则该引脚可由端口驱动。

所有端口引脚都有8个寄存器与其作为数字I/O时的操作直接相关。数据方向寄存器（TRISx）决定引脚是输入还是输出。如果数据方向位为1，则引脚为输入。复位后，所有端口引脚均定义为输入。读锁存器（LATx）时，读到的是锁存器中的值；写锁存器时，写入的是锁存器。读端口（PORTx）时，读到的是端口引脚的值；而写端口引脚时，写入的是锁存器。

对于特定器件无效的任何位及其相关的数据和控制寄存器都将被禁止。这意味着对应的LATx和TRISx寄存器以及端口引脚都将读为零。

当端口引脚与另一个外设共用或与定义为仅输入的功能共用时，它将被视为专用端口，因为没有任何其他的竞争输出源。

图10-1： 典型共用端口结构框图



10.1.1 漏极开路配置

除PORTx、LATx和TRISx寄存器用于数据控制外，端口引脚也可被单独地配置为数字输出或漏极开路输出。这是由与每个端口相关的漏极开路控制x寄存器ODCx控制的。将其中的任何位置1即可将相应的引脚配置为漏极开路输出。

这种漏极开路特性允许通过使用外部上拉电阻，产生除VDD之外的输出。任何引脚上允许的最大漏极开路电压与该特定引脚的最大VIH规范相同。

关于可用的5V耐压引脚，请参见**“引脚图”**部分。关于每个引脚的最大VIH规范，请参见表26-11。

10.2 配置模拟和数字端口引脚

ANSELx寄存器用于控制模拟端口引脚的操作。如果要将端口引脚用作模拟输入或输出，则相应的ANSELx和TRISx位必须置1。要将端口引脚用于数字模块（如定时器和UART等）的I/O功能，相应的ANSELx位必须清零。

ANSELx寄存器的默认值为0xFFFF。因此，在默认情况下，所有共用模拟功能的引脚都是模拟（非数字）引脚。

引脚I/O说明（见表1-1）中列出了模拟功能受ANSELx寄存器影响的引脚，其缓冲器类型为模拟。

如果TRISx位清零（输出），而ANSELx位置1，则会通过一个模拟外设（例如，ADC模块或比较器模块）转换数字输出电平（VOH或VOL）。

当读取PORTx寄存器时，所有配置为模拟输入通道的引脚均读为零（低电平）。

配置为数字输入的引脚将不会对模拟输入进行转换。对于任何定义为数字输入的引脚（包括ANx引脚），加在引脚上的模拟电压可能导致输入缓冲器消耗的电流超出器件规范。

10.2.1 I/O端口写/读时序

端口方向改变或端口写操作与同一端口的读操作之间需要间隔一个指令周期。通常该指令是NOP指令，如例10-1所示。

10.3 输入电平变化通知（ICN）

I/O端口的输入电平变化通知功能允许器件在选定输入引脚的状态变化（Change-Of-State，COS）时，向处理器发出中断请求。该特性可检测输入状态变化，即使在休眠模式下、禁止时钟时。每个I/O端口引脚都可以选择（使能）为在发生状态变化时产生中断请求。

有3个控制寄存器与每个I/O端口的ICN功能关联。CNENx寄存器包含每个输入引脚的ICN中断允许控制位。将其中任一位置1将允许相应引脚的ICN中断。

每个I/O引脚都有与之相连的一个弱上拉和一个弱下拉。上拉和下拉充当连接到该引脚的拉电流或灌电流源，当连接了按钮或键盘设备时，不再需要使用外部电阻。可使用包含每个引脚控制位的CNPUx和CNPDx寄存器分别使能各个上拉和下拉。将任一控制位置1均可使能相应引脚的弱上拉和/或弱下拉功能。

注： 当端口引脚被配置为数字输出时，输入电平变化通知引脚上的上拉和下拉应始终被禁止。

例10-1： 端口写/读示例

```
MOV    0xFF00, W0    ; Configure PORTB<15:8>
                     ; as inputs
MOV    W0, TRISB     ; and PORTB<7:0>
                     ; as outputs
NOP                  ; Delay 1 cycle
BTSS   PORTB, #13    ; Next Instruction
```


© 2015-2018 Microchip Technology Inc.

10.4 外设引脚选择（PPS）

通用器件的主要挑战是提供尽可能多的外设功能，同时将其与I/O引脚功能的冲突降到最小。在低引脚数器件上，这一挑战更为严峻。在需要多个外设复用一个引脚的应用中，要在应用程序代码中进行变通比较困难，换句话说彻底重新设计可能是惟一的选择。

外设引脚选择配置提供了这些选择的替代方法，使得用户可以在较宽的I/O引脚范围内选择和配置外设功能。通过增加特定器件上可用的引脚配置选项，用户可以让器件更好地适合他们的整个应用，而不必通过修改应用来适应器件。

外设引脚选择配置功能对固定的一部分数字I/O引脚进行操作。用户可以将大多数数字外设的输入和/或输出独立地映射到这些I/O引脚中的任何一个。一旦建立外设映射，就同时包含了硬件保护，以防止对外设映射的意外或错误更改。

10.4.1 可用的引脚

可用引脚的数目取决于特定器件及其引脚数。支持外设引脚选择功能的引脚在它们的引脚全称中包含标记“RPn”，其中“n”是可重映射的引脚编号。“RP”用于表示支持可重映射输入和输出功能的引脚。

10.4.2 可用的外设

外设引脚选择管理的外设都是仅数字功能的外设。这些外设包括一般串行通信（UART和SPI）、通用定时器时钟输入、与定时器相关的外设（输入捕捉和输出比较）以及电平变化中断输入。

相比较而言，一些仅数字功能的外设模块决不能使用外设引脚选择功能。这是因为这类外设功能需要特定端口上的特殊I/O电路，且不能很容易地连接到多个引脚。其中一个示例是I^2C模块。类似的要求排除了所有带模拟输入的模块，例如ADC转换器。

可重映射和不可重映射外设之间的主要差异在于可重映射外设与默认的I/O引脚无关。必须始终在使用外设前将其分配给特定的I/O引脚。相反，不可重映射外设始终使用默认引脚（假设该外设有效且与其他外设没有冲突）。

当给定I/O引脚上的可重映射外设有效时，它的优先级高于所有其他数字I/O和与该引脚相关的数字通信外设。优先级与被映射外设的类型无关。可重映射外设的优先级永远不会高于与该引脚相关的任何模拟功能。

10.4.3 控制外设引脚选择

外设引脚选择功能通过两组SFR控制：一组映射外设输入，另一组映射输出。由于输入和输出是单独控制的，因此可以不受限制地将特定外设的输入和输出（如果外设同时具有输入和输出）配置在任何可选择的功能引脚上。

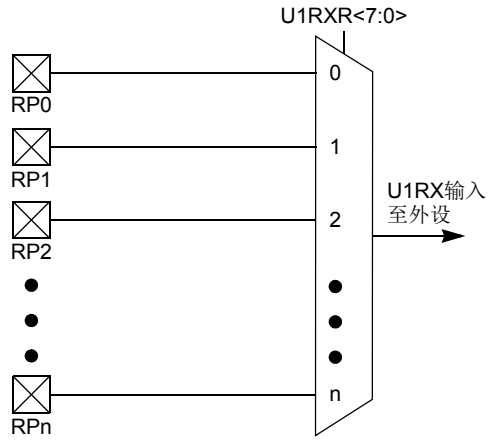
外设与外设可选择引脚之间的关系用两种不同的方式进行处理，这取决于被映射的是输入还是输出。

10.4.4 输入映射

外设引脚选择选项的输入在外设基础上进行映射。即，与外设相关的控制寄存器指示要映射到的引脚。RPINRx寄存器用于配置外设输入映射（见寄存器10-1至寄存器10-19）。每个寄存器包含8位位域组，每组都与可重映射外设之一相关。用适当的8位值编程给定外设的位域，会将具有对应值的RPn引脚映射到该外设。对于任何给定的器件，任何位域的值的有效范围与器件所支持的外设引脚选择的最大数目相对应。

例如，图10-2给出了U1RX输入的可重映射引脚选择。

图10-2： U1RX的可重映射输入



注： 对于仅用作输入的引脚，外设引脚选择功能的优先级并不高于TRISx设置。因此，将RPn引脚配置为输入时，也必须将TRISx寄存器中的相应位配置为输入（置为1）。

10.4.4.1 虚拟连接

dsPIC33EPXXGS50X器件支持六个虚拟RPn引脚（RP176-RP181），除引脚分配外，它们与所有其他RPn引脚的功能相同。这6个引脚位于器件内部，它们不与物理器件引脚连接。

这些引脚提供了一种简单方式来进行外设间的连接，而无需使用物理引脚。例如，模拟比较器的输出可以连接到RP176，同时可以将PWM故障输入配置到RP176。该配置使模拟比较器无需使用器件上的实际物理引脚就可以触发PWM故障。

© 2015-2018 Microchip Technology Inc.

表10-1： 可选择的输入源（将输入映射到功能）

输入名称(1)	功能名称	寄存器	配置位
外部中断1	INT1	RPINR0	INT1R<7:0>
外部中断2	INT2	RPINR1	INT2R<7:0>
Timer1外部时钟	T1CK	RPINR2	T1CKR<7:0>
Timer2外部时钟	T2CK	RPINR3	T2CKR<7:0>
Timer3外部时钟	T3CK	RPINR3	T3CKR<7:0>
输入捕捉1	IC1	RPINR7	IC1R<7:0>
输入捕捉2	IC2	RPINR7	IC2R<7:0>
输入捕捉3	IC3	RPINR8	IC3R<7:0>
输入捕捉4	IC4	RPINR8	IC4R<7:0>
输出比较故障A	OCFA	RPINR11	OCFAR<7:0>
PWM故障1	FLT1	RPINR12	FLT1R<7:0>
PWM故障2	FLT2	RPINR12	FLT2R<7:0>
PWM故障3	FLT3	RPINR13	FLT3R<7:0>
PWM故障4	FLT4	RPINR13	FLT4R<7:0>
UART1接收	U1RX	RPINR18	U1RXR<7:0>
UART1允许发送	$\overline{\text{U1CTS}}$	RPINR18	U1CTSR<7:0>
UART2接收	U2RX	RPINR19	U2RXR<7:0>
UART2允许发送	$\overline{\text{U2CTS}}$	RPINR19	U2CTSR<7:0>
SPI1数据输入	SDI1	RPINR20	SDI1R<7:0>
SPI1时钟输入	SCK1	RPINR20	SCK1R<7:0>
SPI1从选择	$\overline{\text{SS1}}$	RPINR21	SS1R<7:0>
SPI2数据输入	SDI2	RPINR22	SDI2R<7:0>
SPI2时钟输入	SCK2	RPINR22	SCK2R<7:0>
SPI2从选择	$\overline{\text{SS2}}$	RPINR23	SS2R<7:0>
PWM同步输入1	SYNCI1	RPINR37	SYNCI1R<7:0>
PWM同步输入2	SYNCI2	RPINR38	SYNCI2R<7:0>
PWM故障5	FLT5	RPINR42	FLT5R<7:0>
PWM故障6	FLT6	RPINR42	FLT6R<7:0>
PWM故障7	FLT7	RPINR43	FLT7R<7:0>
PWM故障8	FLT8	RPINR43	FLT8R<7:0>

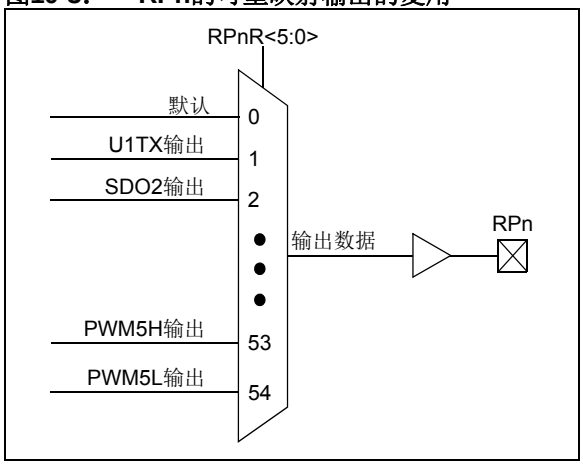
注 1： 除非另外声明，否则所有输入均使用施密特触发器输入缓冲器。

10.4.5 输出映射

与输入不同，外设引脚选择选项的输出在引脚基础上进行映射。在这种情况下，与特定引脚相关的控制寄存器指示要被映射的外设输出。RPORx寄存器用于控制输出映射。每个寄存器包含6位位域组，每组都与一个RPn引脚相关（见寄存器10-20至寄存器10-38）。位域的值与外设之一相对应，并且该外设的输出被映射到该引脚（见表10-2和图10-3）。

空输出与输出寄存器的复位值0相关。这样做可确保在默认情况下，可重映射输出保持与所有输出引脚之间的断开状态。

图10-3： RPn的可重映射输出的复用



10.4.5.1 映射限制

外设选择引脚的控制机制不局限于固定外设配置的小范围内。在任何外设映射SFR之间没有互锁或硬件强制的锁定。也就是说，任何或所有RPn引脚上的外设映射的任何组合都是可能的。这包括外设输入和输出到引脚的多对一或一对多映射。从配置角度来看，这种映射在技术上是可行的，但从电气角度来看可能不受支持。

© 2015-2018 Microchip Technology Inc.

表10-2： 可重映射引脚（RPn）的输出选择

功能	RPnR<5:0>	输出名称
默认端口	000000	RPn连接到默认引脚
U1TX	000001	RPn连接到UART1发送
$\overline{\text{U1RTS}}$	000010	RPn连接到UART1请求发送
U2TX	000011	RPn连接到UART2发送
$\overline{\text{U2RTS}}$	000100	RPn连接到UART2请求发送
SDO1	000101	RPn连接到SPI1数据输出
SCK1	000110	RPn连接到SPI1时钟输出
$\overline{\text{SS1}}$	000111	RPn连接到SPI1从选择
SDO2	001000	RPn连接到SPI2数据输出
SCK2	001001	RPn连接到SPI2时钟输出
$\overline{\text{SS2}}$	001010	RPn连接到SPI2从选择
OC1	010000	RPn连接到输出比较1输出
OC2	010001	RPn连接到输出比较2输出
OC3	010010	RPn连接到输出比较3输出
OC4	010011	RPn连接到输出比较4输出
ACMP1	011000	RPn连接到模拟比较器1输出
ACMP2	011001	RPn连接到模拟比较器2输出
ACMP3	011010	RPn连接到模拟比较器3输出
SYNCO1	101101	RPn连接到PWM主主控时基同步输出
SYNCO2	101110	RPn连接到PWM辅助主控时基同步输出
REFCLKO	110001	RPn连接到参考时钟输出
ACMP4	110010	RPn连接到模拟比较器4输出
PWM4H	110011	RPn连接到与PWM发生器4相关的PWM输出引脚
PWM4L	110100	RPn连接到与PWM发生器4相关的PWM输出引脚
PWM5H	110101	RPn连接到与PWM发生器5相关的PWM输出引脚
PWM5L	110110	RPn连接到与PWM发生器5相关的PWM输出引脚

10.5 I/O有用技巧

1. 在某些情况下，一些引脚（如表26-11的“注入电流”下所定义）与VDD和VSS之间存在内部保护二极管。“注入电流”一词也可称为“钳位电流”。在指定引脚上，在用户采取了足够外部限流措施的情况下，允许I/O引脚输入电压大于或小于数据手册中的绝对最大值（相对于电源VSS和VDD）。请注意，当用户应用对高端或低端内部输入钳位二极管进行正向偏置时，所产生的电流会注入内部钳位到VDD和VSS电源轨的器件，该电流可能影响ADC精度（4至6个计数）。
2. 在发生任何复位之后，与任意模拟输入引脚复用的I/O引脚（即ANx）默认情况下总是模拟引脚。因此，将某个引脚配置为模拟输入引脚时，将会自动禁止数字输入引脚缓冲器，如果尝试通过读取PORTx或LATx来读取数字输入电平，无论引脚上的数字逻辑电平为何，将总是返回0。要在共用ANx引脚上使用引脚作为数字I/O引脚，用户应用程序需要配置I/O端口模块中的模拟引脚配置寄存器（即ANSELx），方法是将对应于该I/O端口引脚的相应位设置为0。

注：	虽然在使能模拟功能时无法使用数字输入引脚，但在使能模拟功能的情况下可以使用数字I/O输出功能（TRISx = 0x0）。但建议不要这样做，特别是如果模拟输入连接到外部模拟电压源，这会在模拟信号和输出引脚驱动器之间产生信号争用。

3. 大多数I/O引脚具有多种功能。请参见本数据手册中的器件引脚图，分配给任意引脚的功能的优先级按照由从左到右阅读引脚名称的方式来指示。在命名约定中，最左侧功能名称的优先级高于其右侧的所有功能。例如：AN16/T2CK/T7CK/RC1；这表明在该示例中AN16的优先级最高，将优先于列表中其右侧的所有其他功能。即使已使能其右侧的那些其他功能，只要其左侧的任何功能已使能，右侧功能就不会起作用。该规则适用于对于给定引脚列出的所有功能。
4. 每个引脚都具有内部弱上拉电阻和弱下拉电阻，可分别使用CNPUx和CNPDx寄存器进行配置。由于具有这些电阻，在一些应用中可以不需要外部电阻。内部上拉最高可至~(VDD – 0.8)，而不是VDD。该值仍然高于CMOS和TTL器件的最小VIH。
5. 直接驱动LED时，I/O引脚的拉电流或灌电流可以高于VOH/IOH和VOL/IOL直流特性规范中规定的值。相应的IOH和IOL电流额定值只是为了使相应输出保持大于等于VOH和小于等于VOL电压。但对于LED，不同于外部连接器件的数字输入，它们不受相同的最小VIH/VIL电压限制。I/O引脚输出可以安全地灌入或拉出小于本数据手册**第26.0节“电气特性”**中的绝对最大值部分所列值的任何电流。例如：

   IOH = -8 mA且VDD = 3.3V时VOH = 2.4V

   任意8 mA I/O引脚的最大输出拉电流 = 12 mA。

   从技术上说，允许LED拉电流 < 12 mA。更多信息，请参见**第27.0节“器件直流和交流特性曲线图”**中的VOH/IOH图。

© 2015-2018 Microchip Technology Inc.

6. 外设引脚选择（PPS）引脚映射规则如下：
   a) 在任意时刻，给定引脚上只能有一个“输出”功能处于活动状态，无论它是专用还是可重映射功能（一个引脚，一个输出）。
   b) 可以将某个“可重映射输出”功能分配给多个引脚，并在外部将它们短接或连接在一起，以提高电流驱动能力。
   c) 如果在某个引脚上使能了任何“专用输出”功能，它将优先于任何可重映射“输出”功能。
   d) 如果在某个引脚上使能了任何“专用数字”（输入或输出）功能，则可以将任意数量的“输入”可重映射功能映射到同一引脚。
   e) 如果在某个给定引脚上使能了任何“专用模拟”功能，则将禁止任何一种“数字输入”，但用户可以审慎地使能单个“数字输出”并使之处于活动状态，前提是它不会与外部模拟输入信号发生信号争用。例如，可以使用ADC转换数字输出逻辑电平，或翻转比较器上的数字输出或ADC输入，前提是没有类似用于内置自检的外部模拟输入。
   f) 可以同时将任意数量的“输入”可重映射功能映射到相同引脚，包括映射到具有来自专用或可重映射“输出”的单个输出的任意引脚。
   g) TRISx寄存器*仅*控制数字I/O输出缓冲器。任何其他专用或可重映射的活动“输出”将自动改写TRISx设置。TRISx寄存器*不*控制数字逻辑“输入”缓冲器。可重映射数字“输入”不会自动改写TRISx设置，这意味着对于仅分配有可重映射输入功能的引脚，必须将TRISx位设置为输入。
   h) 发生任意复位之后，默认情况下将使能所有模拟引脚，并且引脚上相应的数字输入缓冲器会被禁止。只有模拟引脚选择x（ANSELx）寄存器会控制数字输入缓冲器，TRISx寄存器*不会*。为了使用某个引脚上的任何“数字输入”，用户必须使用模拟引脚选择x寄存器禁止相应引脚上的模拟功能，没有例外。

10.6 I/O端口资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

10.6.1 主要资源

- 《dsPIC33/PIC24 系列参考手册》中的**“I/O 端口”**（DS70000598）
- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24 系列参考手册》章节
- 开发工具

10.7 外设引脚选择寄存器

寄存器10-1： RPINR0：外设引脚选择输入寄存器0

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
INT1R7	INT1R6	INT1R5	INT1R4	INT1R3	INT1R2	INT1R1	INT1R0
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **INT1R<7:0>：**将外部中断1（INT1）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **未实现：**读为0

寄存器10-2： RPINR1：外设引脚选择输入寄存器1

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
INT2R7	INT2R6	INT2R5	INT2R4	INT2R3	INT2R2	INT2R1	INT2R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **未实现：**读为0

bit 7-0 **INT2R<7:0>：**将外部中断2（INT2）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

© 2015-2018 Microchip Technology Inc.

寄存器10-3： RPINR2：外设引脚选择输入寄存器2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T1CKR7	T1CKR6	T1CKR5	T1CKR4	T1CKR3	T1CKR2	T1CKR1	T1CKR0
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **T1CKR<7:0>**：将Timer1外部时钟（T1CK）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **未实现**：读为0

寄存器10-4： RPINR3：外设引脚选择输入寄存器3

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T3CKR7	T3CKR6	T3CKR5	T3CKR4	T3CKR3	T3CKR2	T3CKR1	T3CKR0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T2CKR7	T2CKR6	T2CKR5	T2CKR4	T2CKR3	T2CKR2	T2CKR1	T2CKR0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **T3CKR<7:0>**：将Timer3外部时钟（T3CK）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
0000001 = 输入连接到RP1
0000000 = 输入连接到Vss

bit 7-0 **T2CKR<7:0>**：将Timer2外部时钟（T2CK）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

© 2015-2018 Microchip Technology Inc.

寄存器10-5： RPINR7：外设引脚选择输入寄存器7

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IC2R7	IC2R6	IC2R5	IC2R4	IC2R3	IC2R2	IC2R1	IC2R0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IC1R7	IC1R6	IC1R5	IC1R4	IC1R3	IC1R2	IC1R1	IC1R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **IC2R<7:0>：**将输入捕捉2（IC2）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **IC1R<7:0>：**将输入捕捉1（IC1）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

寄存器10-6： RPINR8：外设引脚选择输入寄存器8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IC4R7	IC4R6	IC4R5	IC4R4	IC4R3	IC4R2	IC4R1	IC4R0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IC3R7	IC3R6	IC3R5	IC3R4	IC3R3	IC3R2	IC3R1	IC3R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **IC4R<7:0>：**将输入捕捉4（IC4）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **IC3R<7:0>：**将输入捕捉3（IC3）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

© 2015-2018 Microchip Technology Inc.

寄存器10-7： RPINR11：外设引脚选择输入寄存器11

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
OCFAR7	OCFAR6	OCFAR5	OCFAR4	OCFAR3	OCFAR2	OCFAR1	OCFAR0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **未实现：**读为0

bit 7-0 **OCFAR<7:0>：**将输出比较故障A（OCFA）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

寄存器10-8： RPINR12：外设引脚选择输入寄存器12

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLT2R7	FLT2R6	FLT2R5	FLT2R4	FLT2R3	FLT2R2	FLT2R1	FLT2R0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLT1R7	FLT1R6	FLT1R5	FLT1R4	FLT1R3	FLT1R2	FLT1R1	FLT1R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **FLT2R<7:0>**：将PWM故障2（FLT2）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **FLT1R<7:0>**：将PWM故障1（FLT1）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

© 2015-2018 Microchip Technology Inc.

寄存器10-9： RPINR13：外设引脚选择输入寄存器13

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLT4R7	FLT4R6	FLT4R5	FLT4R4	FLT4R3	FLT4R2	FLT4R1	FLT4R0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLT3R7	FLT3R6	FLT3R5	FLT3R4	FLT3R3	FLT3R2	FLT3R1	FLT3R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **FLT4R<7:0>：**将PWM故障4（FLT4）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **FLT3R<7:0>：**将PWM故障3（FLT3）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

寄存器10-10： RPINR18：外设引脚选择输入寄存器18

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
U1CTSR7	U1CTSR6	U1CTSR5	U1CTSR4	U1CTSR3	U1CTSR2	U1CTSR1	U1CTSR0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
U1RXR7	U1RXR6	U1RXR5	U1RXR4	U1RXR3	U1RXR2	U1RXR1	U1RXR0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **U1CTSR<7:0>**：将UART1允许发送（$\overline{\text{U1CTS}}$）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **U1RXR<7:0>**：将UART1接收（U1RX）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

© 2015-2018 Microchip Technology Inc.

寄存器10-11： RPINR19：外设引脚选择输入寄存器19

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
U2CTSR7	U2CTSR6	U2CTSR5	U2CTSR4	U2CTSR3	U2CTSR2	U2CTSR1	U2CTSR0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
U2RXR7	U2RXR6	U2RXR5	U2RXR4	U2RXR3	U2RXR2	U2RXR1	U2RXR0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **U2CTSR<7:0>：**将UART2允许发送（$\overline{\text{U2CTS}}$）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **U2RXR<7:0>：**将UART2接收（U2RX）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

寄存器10-12： RPINR20：外设引脚选择输入寄存器20

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SCK1INR7	SCK1INR6	SCK1INR5	SCK1INR4	SCK1INR3	SCK1INR2	SCK1INR1	SCK1INR0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SDI1R7	SDI1R6	SDI1R5	SDI1R4	SDI1R3	SDI1R2	SDI1R1	SDI1R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **SCK1INR<7:0>：**将SPI1时钟输入（SCK1）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **SDI1R<7:0>：**将SPI1数据输入（SDI1）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

© 2015-2018 Microchip Technology Inc.

寄存器10-13： RPINR21：外设引脚选择输入寄存器21

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SS1R7	SS1R6	SS1R5	SS1R4	SS1R3	SS1R2	SS1R1	SS1R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **未实现：**读为0

bit 7-0 **SS1R<7:0>：**将SPI1从选择（$\overline{SS1}$）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

寄存器10-14： RPINR22：外设引脚选择输入寄存器22

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SCK2INR7	SCK2INR6	SCK2INR5	SCK2INR4	SCK2INR3	SCK2INR2	SCK2INR1	SCK2INR0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SDI2R7	SDI2R6	SDI2R5	SDI2R4	SDI2R3	SDI2R2	SDI2R1	SDI2R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **SCK2INR<7:0>：**将SPI2时钟输入（SCK2）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **SDI2R<7:0>：**将SPI2数据输入（SDI2）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

© 2015-2018 Microchip Technology Inc.

寄存器10-15： RPINR23：外设引脚选择输入寄存器23

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SS2R7	SS2R6	SS2R5	SS2R4	SS2R3	SS2R2	SS2R1	SS2R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **未实现：**读为0

bit 7-0 **SS2R<7:0>：**将SPI2从选择（$\overline{SS2}$）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

寄存器10-16： RPINR37：外设引脚选择输入寄存器37

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SYNCI1R7	SYNCI1R6	SYNCI1R5	SYNCI1R4	SYNCI1R3	SYNCI1R2	SYNCI1R1	SYNCI1R0
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **SYNCI1R<7:0>：**将PWM同步输入1分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **未实现：**读为0

© 2015-2018 Microchip Technology Inc.

寄存器10-17： RPINR38：外设引脚选择输入寄存器38

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SYNCI2R7	SYNCI2R6	SYNCI2R5	SYNCI2R4	SYNCI2R3	SYNCI2R2	SYNCI2R1	SYNCI2R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **未实现：**读为0

bit 7-0 **SYNCI2R<7:0>：**将PWM同步输入2分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

寄存器10-18： RPINR42：外设引脚选择输入寄存器42

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLT6R7	FLT6R6	FLT6R5	FLT6R4	FLT6R3	FLT6R2	FLT6R1	FLT6R0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLT5R7	FLT5R6	FLT5R5	FLT5R4	FLT5R3	FLT5R2	FLT5R1	FLT5R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **FLT6R<7:0>**：将PWM故障6（FLT6）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **FLT5R<7:0>**：将PWM故障5（FLT5）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

© 2015-2018 Microchip Technology Inc.

寄存器10-19： RPINR43：外设引脚选择输入寄存器43

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLT8R7	FLT8R6	FLT8R5	FLT8R4	FLT8R3	FLT8R2	FLT8R1	FLT8R0
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLT7R7	FLT7R6	FLT7R5	FLT7R4	FLT7R3	FLT7R2	FLT7R1	FLT7R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **FLT8R<7:0>：**将PWM故障8（FLT8）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

bit 7-0 **FLT7R<7:0>：**将PWM故障7（FLT7）分配给对应RPn引脚的位

10110101 = 输入连接到RP181
10110100 = 输入连接到RP180
•
•
•
00000001 = 输入连接到RP1
00000000 = 输入连接到Vss

寄存器10-20： RPOR0：外设引脚选择输出寄存器0

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP33R5	RP33R4	RP33R3	RP33R2	RP33R1	RP33R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP32R5	RP32R4	RP32R3	RP32R2	RP32R1	RP32R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP33R<5:0>：**将外设输出功能分配给RP33输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP32R<5:0>：**将外设输出功能分配给RP32输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-21： RPOR1：外设引脚选择输出寄存器1

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP35R5	RP35R4	RP35R3	RP35R2	RP35R1	RP35R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP34R5	RP34R4	RP34R3	RP34R2	RP34R1	RP34R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP35R<5:0>：**将外设输出功能分配给RP35输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP34R<5:0>：**将外设输出功能分配给RP34输出引脚的位
（关于外设功能编号，请参见表10-2）

© 2015-2018 Microchip Technology Inc.

寄存器10-22： RPOR2：外设引脚选择输出寄存器2

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP37R5	RP37R4	RP37R3	RP37R2	RP37R1	RP37R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP36R5	RP36R4	RP36R3	RP36R2	RP36R1	RP36R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP37R<5:0>：**将外设输出功能分配给RP37输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP36R<5:0>：**将外设输出功能分配给RP36输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-23： RPOR3：外设引脚选择输出寄存器3

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP39R5	RP39R4	RP39R3	RP39R2	RP39R1	RP39R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP38R5	RP38R4	RP38R3	RP38R2	RP38R1	RP38R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP39R<5:0>：**将外设输出功能分配给RP39输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP38R<5:0>：**将外设输出功能分配给RP38输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-24： RPOR4：外设引脚选择输出寄存器4

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP41R5	RP41R4	RP41R3	RP41R2	RP41R1	RP41R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP40R5	RP40R4	RP40R3	RP40R2	RP40R1	RP40R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP41R<5:0>：**将外设输出功能分配给RP41输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP40R<5:0>：**将外设输出功能分配给RP40输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-25： RPOR5：外设引脚选择输出寄存器5

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP43R5	RP43R4	RP43R3	RP43R2	RP43R1	RP43R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP42R5	RP42R4	RP42R3	RP42R2	RP42R1	RP42R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP43R<5:0>：**将外设输出功能分配给RP43输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP42R<5:0>：**将外设输出功能分配给RP42输出引脚的位
（关于外设功能编号，请参见表10-2）

© 2015-2018 Microchip Technology Inc.

寄存器10-26： RPOR6：外设引脚选择输出寄存器6

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP45R5	RP45R4	RP45R3	RP45R2	RP45R1	RP45R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP44R5	RP44R4	RP44R3	RP44R2	RP44R1	RP44R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP45R<5:0>：**将外设输出功能分配给RP45输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP44R<5:0>：**将外设输出功能分配给RP44输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-27： RPOR7：外设引脚选择输出寄存器7

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP47R5	RP47R4	RP47R3	RP47R2	RP47R1	RP47R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP46R5	RP46R4	RP46R3	RP46R2	RP46R1	RP46R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP47R<5:0>：**将外设输出功能分配给RP47输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP46R<5:0>：**将外设输出功能分配给RP46输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-28： RPOR8：外设引脚选择输出寄存器8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP49R5	RP49R4	RP49R3	RP49R2	RP49R1	RP49R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP48R5	RP48R4	RP48R3	RP48R2	RP48R1	RP48R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP49R<5:0>：**将外设输出功能分配给RP49输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP48R<5:0>：**将外设输出功能分配给RP48输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-29： RPOR9：外设引脚选择输出寄存器9

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP51R5	RP51R4	RP51R3	RP51R2	RP51R1	RP51R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP50R5	RP50R4	RP50R3	RP50R2	RP50R1	RP50R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP51R<5:0>：**将外设输出功能分配给RP51输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP50R<5:0>：**将外设输出功能分配给RP50输出引脚的位
（关于外设功能编号，请参见表10-2）

© 2015-2018 Microchip Technology Inc.

寄存器10-30： RPOR10：外设引脚选择输出寄存器10

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP53R5	RP53R4	RP53R3	RP53R2	RP53R1	RP53R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP52R5	RP52R4	RP52R3	RP52R2	RP52R1	RP52R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP53R<5:0>：**将外设输出功能分配给RP53输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP52R<5:0>：**将外设输出功能分配给RP52输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-31： RPOR11：外设引脚选择输出寄存器11

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP55R5	RP55R4	RP55R3	RP55R2	RP55R1	RP55R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP54R5	RP54R4	RP54R3	RP54R2	RP54R1	RP54R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP55R<5:0>：**将外设输出功能分配给RP55输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP54R<5:0>：**将外设输出功能分配给RP54输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-32： RPOR12：外设引脚选择输出寄存器12

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP57R5	RP57R4	RP57R3	RP57R2	RP57R1	RP57R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP56R5	RP56R4	RP56R3	RP56R2	RP56R1	RP56R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP57R<5:0>：**将外设输出功能分配给RP57输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP56R<5:0>：**将外设输出功能分配给RP56输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-33： RPOR13：外设引脚选择输出寄存器13

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP59R5	RP59R4	RP59R3	RP59R2	RP59R1	RP59R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP58R5	RP58R4	RP58R3	RP58R2	RP58R1	RP58R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP59R<5:0>：**将外设输出功能分配给RP59输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP58R<5:0>：**将外设输出功能分配给RP58输出引脚的位
（关于外设功能编号，请参见表10-2）

© 2015-2018 Microchip Technology Inc.

寄存器10-34： RPOR14：外设引脚选择输出寄存器14

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP61R5	RP61R4	RP61R3	RP61R2	RP61R1	RP61R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP60R5	RP60R4	RP60R3	RP60R2	RP60R1	RP60R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP61R<5:0>：**将外设输出功能分配给RP61输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP60R<5:0>：**将外设输出功能分配给RP60输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-35： RPOR15：外设引脚选择输出寄存器15

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP63R5	RP63R4	RP63R3	RP63R2	RP63R1	RP63R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP62R5	RP62R4	RP62R3	RP62R2	RP62R1	RP62R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP63R<5:0>：**将外设输出功能分配给RP63输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP62R<5:0>：**将外设输出功能分配给RP62输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-36： RPOR16：外设引脚选择输出寄存器16

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP177R5	RP177R4	RP177R3	RP177R2	RP177R1	RP177R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP176R5	RP176R4	RP176R3	RP176R2	RP176R1	RP176R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP177R<5:0>：**将外设输出功能分配给RP177输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP176R<5:0>：**将外设输出功能分配给RP176输出引脚的位
（关于外设功能编号，请参见表10-2）

寄存器10-37： RPOR17：外设引脚选择输出寄存器17

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP179R5	RP179R4	RP179R3	RP179R2	RP179R1	RP179R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP178R5	RP178R4	RP178R3	RP178R2	RP178R1	RP178R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP179R<5:0>：**将外设输出功能分配给RP179输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP178R<5:0>：**将外设输出功能分配给RP178输出引脚的位
（关于外设功能编号，请参见表10-2）

© 2015-2018 Microchip Technology Inc.

寄存器10-38： RPOR18：外设引脚选择输出寄存器18

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP181R5	RP181R4	RP181R3	RP181R2	RP181R1	RP181R0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	RP180R5	RP180R4	RP180R3	RP180R2	RP180R1	RP180R0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-8 **RP181R<5:0>：**将外设输出功能分配给RP181输出引脚的位
（关于外设功能编号，请参见表10-2）

bit 7-6 **未实现：**读为0

bit 5-0 **RP180R<5:0>：**将外设输出功能分配给RP180输出引脚的位
（关于外设功能编号，请参见表10-2）

注：

© 2015-2018 Microchip Technology Inc.

11.0 TIMER1

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24 系列参考手册》中的**“定时器”**（DS70362），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

Timer1模块是一个16位定时器，可作为自由运行的间隔定时器/计数器。

Timer1模块具有不同于其他定时器的独特特性，如下：

- 可以依靠外部时钟源以异步计数器模式工作
- 可选择将外部时钟输入（T1CK）与内部器件时钟同步，时钟同步在预分频之后执行

图11-1给出了Timer1的框图。

Timer1模块可以工作于以下模式之一：

- 定时器模式
- 门控定时器模式
- 同步计数器模式
- 异步计数器模式

在定时器和门控定时器模式下，输入时钟来自于内部指令周期时钟（FCY）。在同步和异步计数器模式下，输入时钟来自于T1CK引脚上的外部时钟输入。

定时器模式由以下位决定：

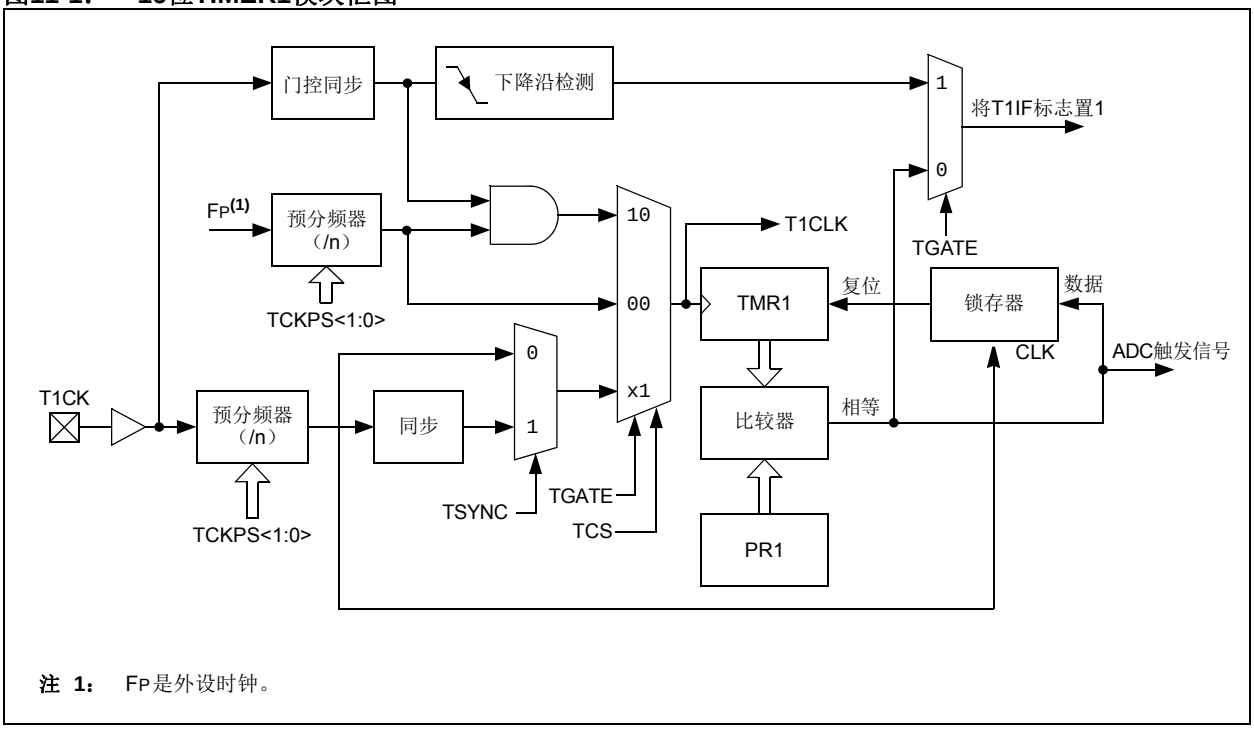
- 定时器时钟源控制位（TCS）：T1CON<1>
- 定时器同步控制位（TSYNC）：T1CON<2>
- 定时器门控控制位（TGATE）：T1CON<6>

表11-1给出了不同工作模式的定时器控制位的设置。

表11-1： 定时器模式设置

模式	TCS	TGATE	TSYNC
定时器	0	0	x
门控定时器	0	1	x
同步计数器	1	x	1
异步计数器	1	x	0

图11-1： 16位TIMER1模块框图



注 1： FP是外设时钟。

11.1 Timer1资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

11.1.1 主要资源

- 《dsPIC33/PIC24系列参考手册》中的**“定时器”**（DS70362）
- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

© 2015-2018 Microchip Technology Inc.

11.2 Timer1控制寄存器

寄存器11-1： T1CON：TIMER1控制寄存器

R/W-0	U-0	R/W-0	U-0	U-0	U-0	U-0	U-0
TON(1)	—	TSIDL	—	—	—	—	—
bit 15							bit 8

U-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	U-0
—	TGATE	TCKPS1	TCKPS0	—	TSYNC(1)	TCS(1)	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **TON：**Timer1使能位(1)
1 = 启动16位Timer1
0 = 停止16位Timer1

bit 14 **未实现：**读为0

bit 13 **TSIDL：**Timer1空闲模式停止位
1 = 当器件进入空闲模式时，模块停止工作
0 = 在空闲模式下模块继续工作

bit 12-7 **未实现：**读为0

bit 6 **TGATE：**Timer1门控时间累加使能位
当TCS = 1时：
该位被忽略。
当TCS = 0时：
1 = 使能门控时间累加
0 = 禁止门控时间累加

bit 5-4 **TCKPS<1:0>：**Timer1输入时钟预分频比选择位
11 = 1:256
10 = 1:64
01 = 1:8
00 = 1:1

bit 3 **未实现：**读为0

bit 2 **TSYNC：**Timer1外部时钟输入同步选择位(1)
当TCS = 1时：
1 = 同步外部时钟输入
0 = 不同步外部时钟输入
当TCS = 0时：
该位被忽略。

bit 1 **TCS：**Timer1时钟源选择位(1)
1 = 来自T1CK引脚的外部时钟（上升沿触发计数）
0 = 内部时钟（FP）

bit 0 **未实现：**读为0

注 1： 将Timer1使能为外部同步计数器模式（TCS = 1，TSYNC = 1，TON = 1）时，用户软件试图对TMR1寄存器进行的任何写操作都会被忽略。

注：

© 2015-2018 Microchip Technology Inc.

12.0 TIMER2/3和TIMER4/5

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“定时器”**（DS70362），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

Timer2/3和Timer4/5模块为32位定时器，也可被配置为4个具有可选工作模式的独立16位定时器。

作为32位定时器，Timer2/3和Timer4/5具有以下三种工作模式：

- 具有所有16位工作模式（异步计数器模式除外）的两个独立16位定时器（例如，Timer2和Timer3）
- 单个32位定时器
- 单个32位同步计数器

这些定时器还支持以下功能：

- 定时器门控操作
- 可选择的预分频比设置
- 空闲和休眠模式期间的定时器工作
- 在32位周期寄存器匹配时产生中断
- 输入捕捉和输出比较模块的时基（仅限Timer2和Timer3）

所有4个16位定时器都能单独用作同步定时器或计数器。它们也提供上文所列的功能，但事件触发功能除外，它仅由Timer2/3实现。通过设置T2CON、T3CON、T4CON和T5CON寄存器中的相应位来确定工作模式和使能特性。T2CON和T4CON的通用形式如寄存器12-1所示。T3CON和T5CON如寄存器12-2所示。

对于32位定时器/计数器操作，Timer2和Timer4是32位定时器的最低有效字（lsw）；Timer3和Timer5则是32位定时器的最高有效字（msw）。

注： 对于32位操作，T3CON和T5CON中的控制位将被忽略。设置和控制只使用T2CON和T4CON中的控制位。32位定时器模块采用Timer2和Timer4的时钟和门控输入，但中断由Timer3和Timer5中断标志产生。

图12-2给出了示例32位定时器对（Timer2/3和Timer4/5）的框图。

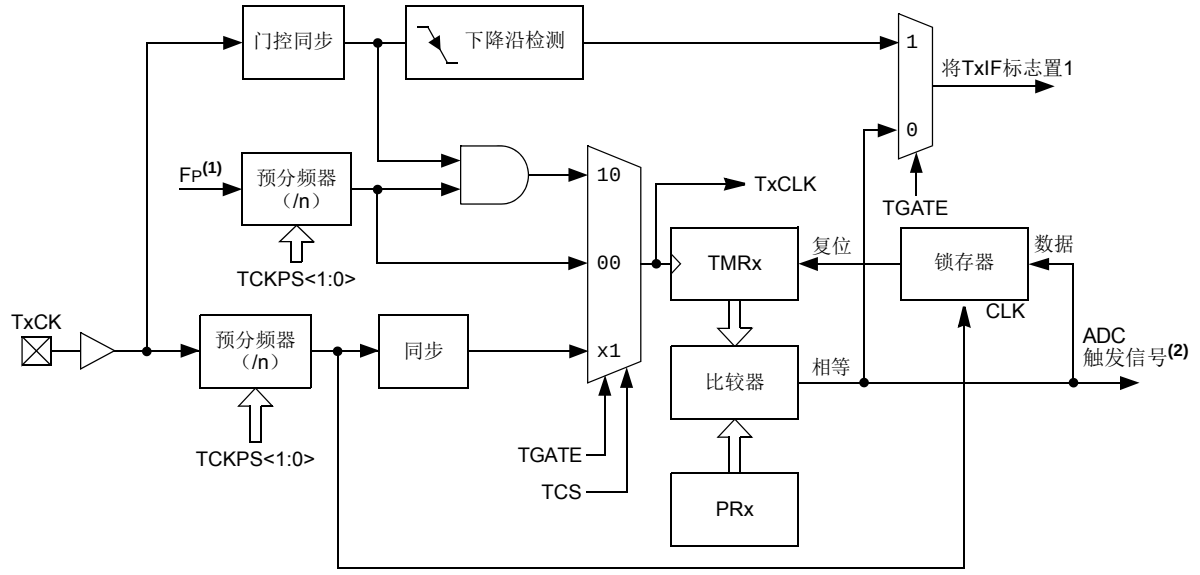
12.1 定时器资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

12.1.1 主要资源

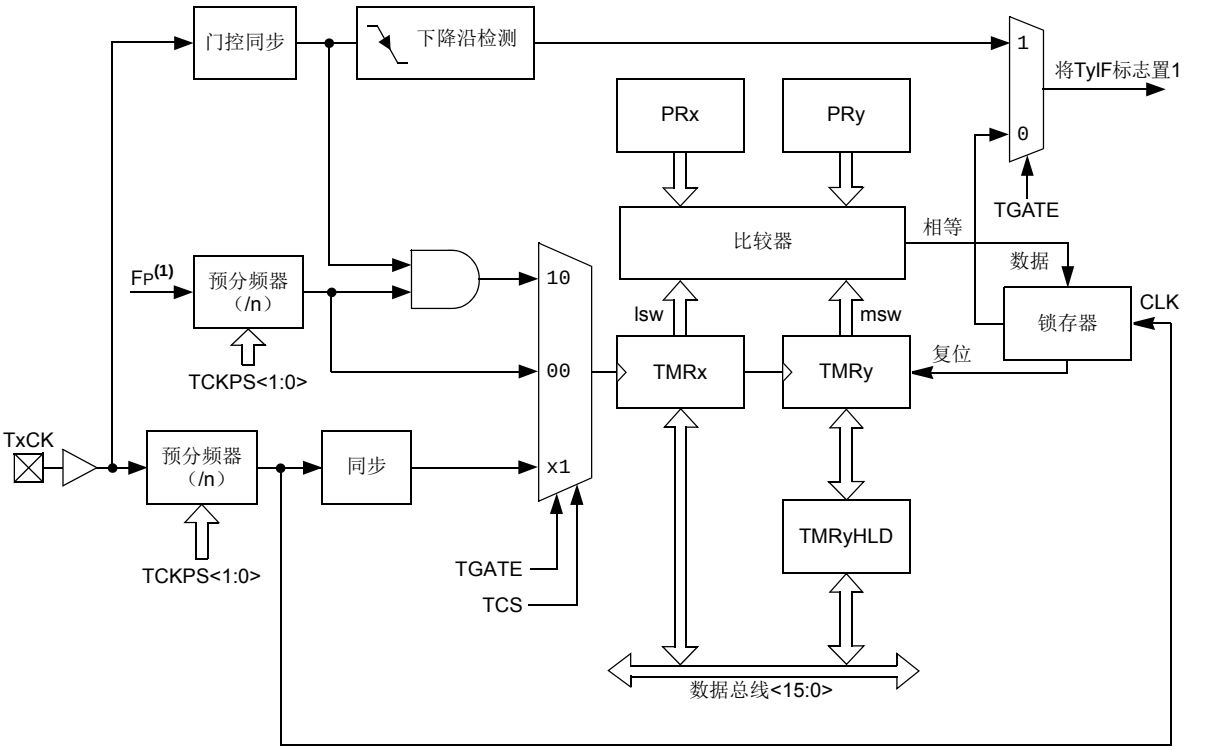
- 《dsPIC33/PIC24系列参考手册》中的**“定时器”**（DS70362）
- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

图12-1： TIMERx框图（x = 2至5）



注 1： FP是外设时钟。
2： ADC触发信号仅在TMR2上可用。

图12-2： B类/C类定时器对框图（32位定时器）



注 1： Timerx是B类定时器（x = 2和4）。
2： Timery是C类定时器（y = 3和5）。

© 2015-2018 Microchip Technology Inc.

12.2 定时器控制寄存器

寄存器12-1： TxCON：（TIMER2和TIMER4）控制寄存器

R/W-0	U-0	R/W-0	U-0	U-0	U-0	U-0	U-0
TON	—	TSIDL	—	—	—	—	—
bit 15							bit 8

U-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	U-0
—	TGATE	TCKPS1	TCKPS0	T32	—	TCS(1)	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **TON：**Timerx使能位
当T32 = 1时：
1 = 启动32位Timerx/y
0 = 停止32位Timerx/y
当T32 = 0时：
1 = 启动16位Timerx
0 = 停止16位Timerx

bit 14 **未实现：**读为0

bit 13 **TSIDL：**Timerx空闲模式停止位
1 = 当器件进入空闲模式时，模块停止工作
0 = 在空闲模式下模块继续工作

bit 12-7 **未实现：**读为0

bit 6 **TGATE：**Timerx门控时间累加使能位
当TCS = 1时：
该位被忽略。
当TCS = 0时：
1 = 使能门控时间累加
0 = 禁止门控时间累加

bit 5-4 **TCKPS<1:0>：**Timerx输入时钟预分频比选择位
11 = 1:256
10 = 1:64
01 = 1:8
00 = 1:1

bit 3 **T32：**32位定时器模式选择位
1 = Timerx和Timery形成一个32位定时器
0 = Timerx和Timery用作两个16位定时器

bit 2 **未实现：**读为0

bit 1 **TCS：**Timerx时钟源选择位(1)
1 = 来自TxCK引脚的外部时钟（上升沿触发计数）
0 = 内部时钟（FP）

bit 0 **未实现：**读为0

注 1： TxCK引脚并非在所有器件上都可用。关于可用引脚，请参见“引脚图”部分。

寄存器12-2： TyCON：（TIMER3和TIMER5）控制寄存器

R/W-0	U-0	R/W-0	U-0	U-0	U-0	U-0	U-0
TON(1)	—	TSIDL(2)	—	—	—	—	—
bit 15							bit 8

U-0	R/W-0	R/W-0	R/W-0	U-0	U-0	R/W-0	U-0
—	TGATE(1)	TCKPS1(1)	TCKPS0(1)	—	—	TCS(1,3)	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **TON：**Timery使能位(1)
1 = 启动16位Timery
0 = 停止16位Timery

bit 14 **未实现：**读为0

bit 13 **TSIDL：**Timery空闲模式停止位(2)
1 = 当器件进入空闲模式时，模块停止工作
0 = 在空闲模式下模块继续工作

bit 12-7 **未实现：**读为0

bit 6 **TGATE：**Timery门控时间累加使能位(1)
当TCS = 1时：
该位被忽略。
当TCS = 0时：
1 = 使能门控时间累加
0 = 禁止门控时间累加

bit 5-4 **TCKPS<1:0>：**Timery输入时钟预分频比选择位(1)
11 = 1:256
10 = 1:64
01 = 1:8
00 = 1:1

bit 3-2 **未实现：**读为0

bit 1 **TCS：**Timery时钟源选择位(1,3)
1 = 来自TyCK引脚的外部时钟（上升沿触发计数）
0 = 内部时钟（FP）

bit 0 **未实现：**读为0

注 1： 当使能32位操作（TxCON<3> = 1）时，这些位对Timery的操作没有影响；所有定时器功能都通过TxCON进行设置。

2： 当在Timerx控制寄存器中使能32位定时器操作（T32（TxCON<3>）= 1）时，TSIDL位必须清零以在空闲模式下运行32位定时器。

3： TyCK引脚并非在所有器件上都可用。关于可用引脚，请参见“引脚图”部分。

© 2015-2018 Microchip Technology Inc.

13.0 输入捕捉

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“带专用定时器的输入捕捉”**（DS70000352），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

输入捕捉模块在需要频率（周期）和脉冲测量的应用中很有用。dsPIC33EPXXGS50X系列器件支持4个输入捕捉通道。

输入捕捉模块的主要特性包括：

- 硬件可配置，可通过级联两个相邻的模块，配置为所有32位工作模式
- 输出比较操作有同步和触发两种模式，最多有21个用户可选择的触发/同步源可供使用
- 用于捕捉和保存几个事件的定时器值的4级FIFO缓冲区
- 中断产生可配置
- 每个模块最多有6个时钟源可供使用，可驱动一个单独的内部16位计数器

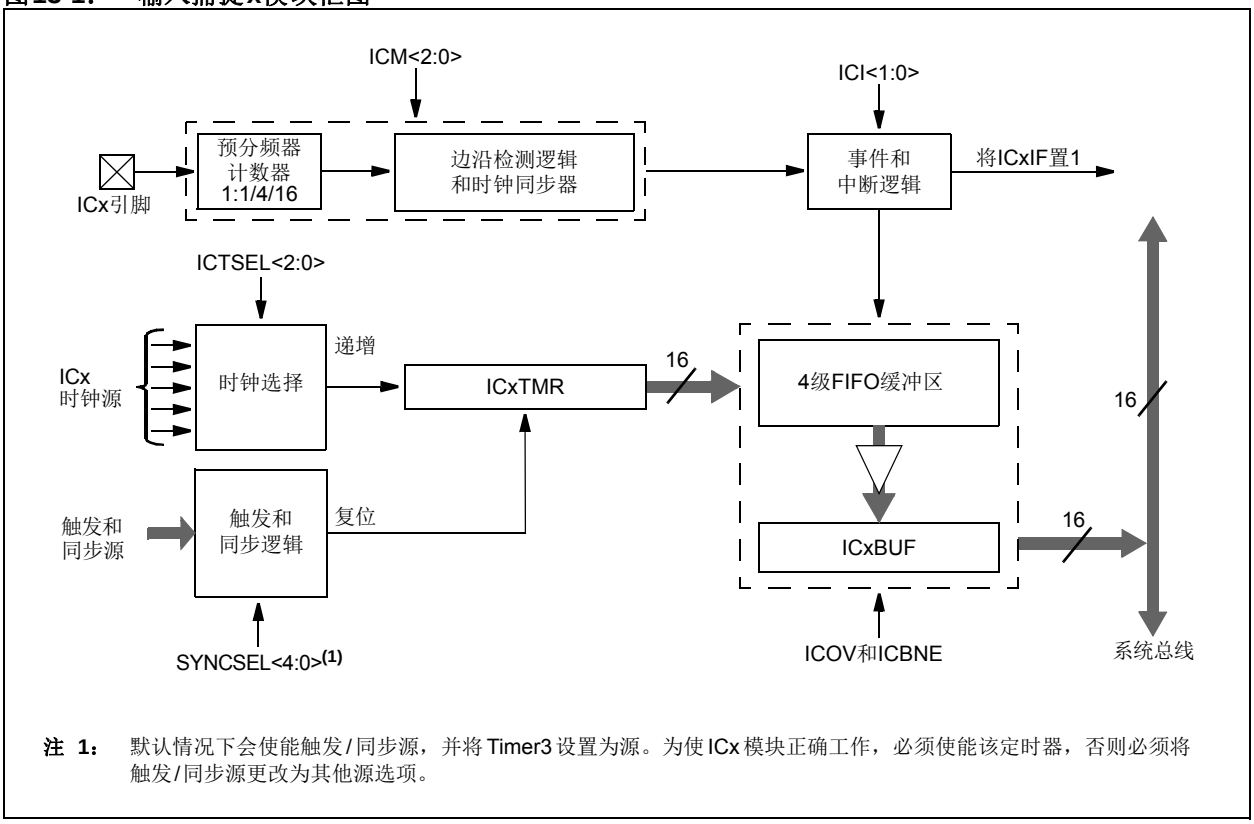
13.1 输入捕捉资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

13.1.1 主要资源

- 《dsPIC33/PIC24 系列参考手册》中的**“带专用定时器的输入捕捉”**（DS70000352）
- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

图13-1： 输入捕捉x模块框图



注 1： 默认情况下会使能触发/同步源，并将Timer3设置为源。为使ICx模块正确工作，必须使能该定时器，否则必须将触发/同步源更改为其他源选项。

13.2 输入捕捉寄存器

寄存器13-1： ICxCON1：输入捕捉x控制寄存器1

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0
—	—	ICSIDL	ICTSEL2	ICTSEL1	ICTSEL0	—	—
bit 15							bit 8

U-0	R/W-0	R/W-0	R-0, HC, HS	R-0, HC, HS	R/W-0	R/W-0	R/W-0
—	ICI1	ICI0	ICOV	ICBNE	ICM2	ICM1	ICM0
bit 7							bit 0

图注：	HC = 硬件清零位	HS = 硬件置1位	
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13 **ICSIDL：**输入捕捉x在空闲模式下停止的控制位
1 = 在CPU空闲模式下输入捕捉将停止工作
0 = 在CPU空闲模式下输入捕捉将继续工作

bit 12-10 **ICTSEL<2:0>：**输入捕捉x定时器选择位
111 = 外设时钟（FP）是ICx的时钟源
110 = 保留
101 = 保留
100 = T1CLK是ICx的时钟源（仅支持同步时钟）
011 = T5CLK是ICx的时钟源
010 = T4CLK是ICx的时钟源
001 = T2CLK是ICx的时钟源
000 = T3CLK是ICx的时钟源

bit 9-7 **未实现：**读为0

bit 6-5 **ICI<1:0>：**每次中断的捕捉次数选择位（如果ICM<2:0> = 001或111，则不使用该位域）
11 = 每4次捕捉事件产生一次中断
10 = 每3次捕捉事件产生一次中断
01 = 每2次捕捉事件产生一次中断
00 = 每次捕捉事件产生一次中断

bit 4 **ICOV：**输入捕捉x溢出状态标志位（只读）
1 = 发生了输入捕捉缓冲区溢出
0 = 未发生输入捕捉缓冲区溢出

bit 3 **ICBNE：**输入捕捉x缓冲区非空状态位（只读）
1 = 输入捕捉缓冲区非空，至少可以再读一个捕捉值
0 = 输入捕捉缓冲区为空

bit 2-0 **ICM<2:0>：**输入捕捉x模式选择位
111 = 处于CPU休眠和空闲模式时，输入捕捉x仅用作中断引脚（只检测上升沿，所有其他控制位都不适用）
110 = 未使用（禁止模块）
101 = 捕捉模式，每16个上升沿捕捉一次（预分频捕捉模式）
100 = 捕捉模式，每4个上升沿捕捉一次（预分频捕捉模式）
011 = 捕捉模式，每个上升沿捕捉一次（简单捕捉模式）
010 = 捕捉模式，每个下降沿捕捉一次（简单捕捉模式）
001 = 捕捉模式，每个边沿（上升沿和下降沿）捕捉一次（边沿检测模式，在该模式下不使用ICI<1:0>）
000 = 输入捕捉x关闭

© 2015-2018 Microchip Technology Inc.

寄存器13-2： ICxCON2：输入捕捉x控制寄存器2

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
—	—	—	—	—	—	—	IC32
bit 15							bit 8

R/W-0	R/W-0, HS	U-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-1
ICTRIG(2)	TRIGSTAT(3)	—	SYNCSEL4(4)	SYNCSEL3(4)	SYNCSEL2(4)	SYNCSEL1(4)	SYNCSEL0(4)
bit 7							bit 0

图注：	HS = 硬件置1位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-9 **未实现：**读为0

bit 8 **IC32：**输入捕捉x 32位定时器模式选择位（级联模式）
1 = 奇编号ICx和偶编号ICx构成一个32位输入捕捉模块(1)
0 = 禁止级联模块操作

bit 7 **ICTRIG：**输入捕捉x触发操作选择位(2)
1 = 输入源用于触发输入捕捉定时器（触发模式）
0 = 输入源用于将输入捕捉定时器与另一个模块的定时器同步（同步模式）

bit 6 **TRIGSTAT：**定时器触发状态位(3)
1 = ICxTMR已触发并正在运行
0 = ICxTMR未触发并保持清零

bit 5 **未实现：**读为0

注 1： 必须将奇编号和偶编号ICx中的IC32位都置1以使能级联模式。
2： 通过ICxCON2寄存器的SYNCSEL<4:0>位选择输入源。
3： 该位由选定的输入源（通过SYNCSEL<4:0>位选择）置1；可通过软件对该位进行读取、置1和清零。
4： 不要将ICx模块用作它自己的同步源或触发源。
5： 该选项只能选作触发源，不能选作同步源。

寄存器13-2： ICxCON2：输入捕捉x控制寄存器2（续）

bit 4-0 **SYNCSEL<4:0>**：同步和触发操作的输入源选择位(4)
11111 = ICx没有同步源或触发源
11110 = 保留
11101 = 保留
11100 = 保留
11011 = CMP4模块同步或触发ICx(5)
11010 = CMP3模块同步或触发ICx(5)
11001 = CMP2模块同步或触发ICx(5)
11000 = CMP1模块同步或触发ICx(5)
10111 = 保留
10110 = 保留
10101 = 保留
10100 = 保留
10011 = IC4模块中断同步或触发ICx
10010 = IC3模块中断同步或触发ICx
10001 = IC2模块中断同步或触发ICx
10000 = IC1模块中断同步或触发ICx
01111 = Timer5同步或触发ICx
01110 = Timer4同步或触发ICx
01101 = Timer3同步或触发ICx（**默认值**）
01100 = Timer2同步或触发ICx
01011 = Timer1同步或触发ICx
01010 = 保留
01001 = 保留
01000 = IC4模块同步或触发ICx
00111 = IC3模块同步或触发ICx
00110 = IC2模块同步或触发ICx
00101 = IC1模块同步或触发ICx
00100 = OC4模块同步或触发ICx
00011 = OC3模块同步或触发ICx
00010 = OC2模块同步或触发ICx
00001 = OC1模块同步或触发ICx
00000 = ICx没有同步源或触发源

注 1： 必须将奇编号和偶编号ICx中的IC32位都置1以使能级联模式。
2： 通过ICxCON2寄存器的SYNCSEL<4:0>位选择输入源。
3： 该位由选定的输入源（通过SYNCSEL<4:0>位选择）置1；可通过软件对该位进行读取、置1和清零。
4： 不要将ICx模块用作它自己的同步源或触发源。
5： 该选项只能选作触发源，不能选作同步源。

© 2015-2018 Microchip Technology Inc.

14.0 输出比较

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“带专用定时器的输出比较”**（DS70005159），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

输出比较模块可以从6个可用时钟源中选择一个作为其时基。模块将定时器的值与一个或两个比较寄存器的值（取决于所选的工作模式）作比较。当定时器值与比较寄存器值匹配时，输出引脚的状态发生改变。输出比较模块通过在发生比较匹配事件时改变输出引脚的状态，产生单个输出脉冲或连续输出脉冲。输出比较模块还能在发生比较匹配事件时产生中断。

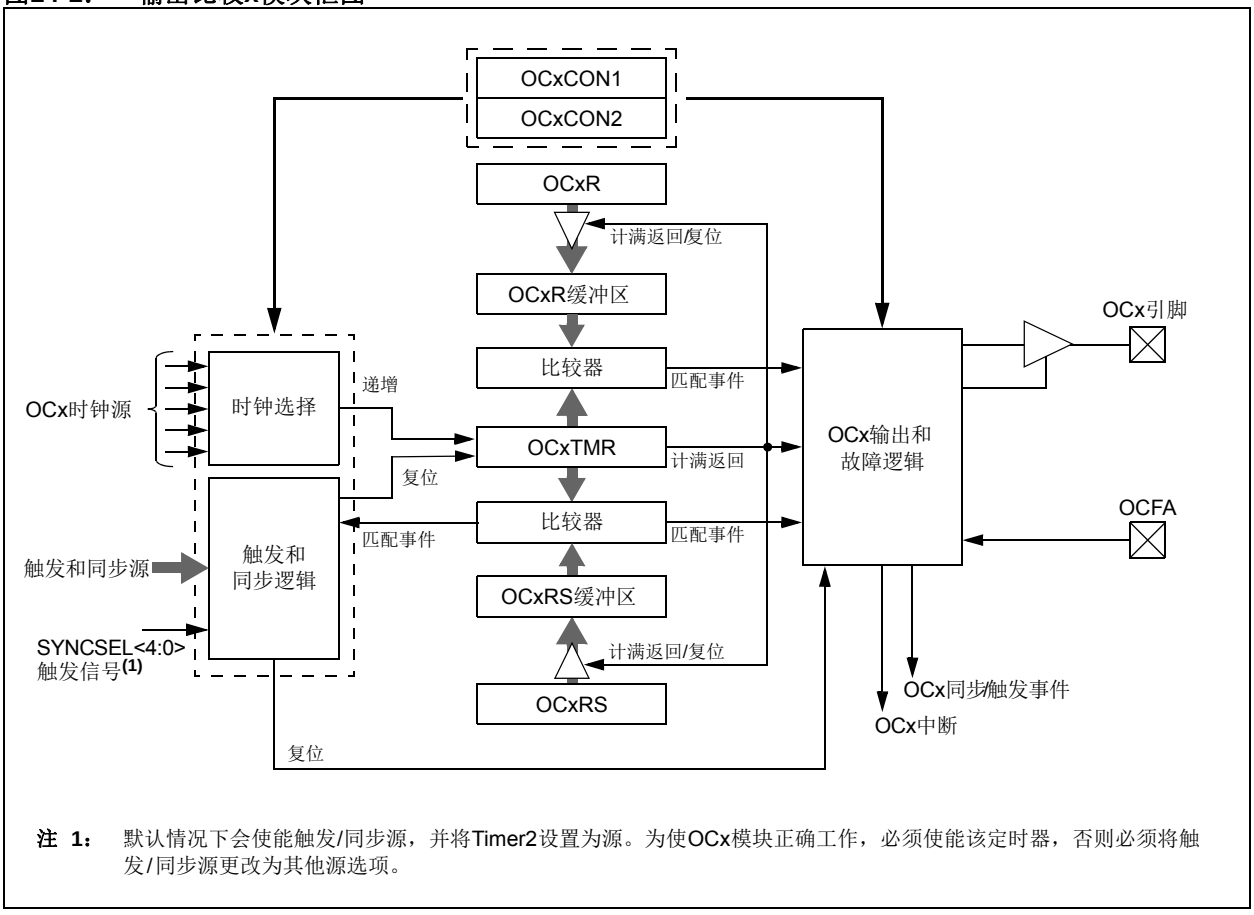
14.1 输出比较资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

14.1.1 主要资源

- 《dsPIC33/PIC24系列参考手册》中的**“带专用定时器的输出比较”**（DS70005159）
- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

图14-1： 输出比较x模块框图



注 1： 默认情况下会使能触发/同步源，并将Timer2设置为源。为使OCx模块正确工作，必须使能该定时器，否则必须将触发/同步源更改为其他源选项。

14.2 输出比较控制寄存器

寄存器14-1： OCxCON1：输出比较x控制寄存器1

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0
—	—	OCSIDL	OCTSEL2	OCTSEL1	OCTSEL0	—	—
bit 15							bit 8

R/W-0	U-0	U-0	R/W-0, HSC	R/W-0	R/W-0	R/W-0	R/W-0
ENFLTA	—	—	OCFLTA	TRIGMODE	OCM2	OCM1	OCM0
bit 7							bit 0

图注：	HSC = 硬件置1/清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13 **OCSIDL：**输出比较x在空闲模式下停止的控制位
1 = 输出比较x在CPU空闲模式下停止工作
0 = 输出比较x在CPU空闲模式下继续工作

bit 12-10 **OCTSEL<2:0>：**输出比较x时钟选择位
111 = 外设时钟（FP）
110 = 保留
101 = 保留
100 = T1CLK是OCx的时钟源（仅支持同步时钟）
011 = T5CLK是OCx的时钟源
010 = T4CLK是OCx的时钟源
001 = T3CLK是OCx的时钟源
000 = T2CLK是OCx的时钟源

bit 9-8 **未实现：**读为0

bit 7 **ENFLTA：**故障A输入使能位
1 = 使能输出比较故障A输入（OCFA）
0 = 禁止输出比较故障A输入（OCFA）

bit 6-5 **未实现：**读为0

bit 4 **OCFLTA：**PWM故障A条件状态位
1 = OCFA引脚上产生了PWM故障A条件
0 = OCFA引脚上未产生PWM故障A条件

bit 3 **TRIGMODE：**触发状态模式选择位
1 = TRIGSTAT（OCxCON2<6>）在OCxRS = OCxTMR时清零或者用软件清零
0 = TRIGSTAT只能用软件清零

注 1： OCxR和OCxRS仅在PWM模式下是双重缓冲的。

© 2015-2018 Microchip Technology Inc.

寄存器14-1： OCxCON1：输出比较x控制寄存器1（续）

bit 2-0 **OCM<2:0>：**输出比较x模式选择位

111 = 中心对齐PWM模式：当OCxTMR = OCxR时输出设置为高电平，当OCxTMR = OCxRS时输出设置为低电平(1)

110 = 边沿对齐PWM模式：当OCxTMR = 0时输出设置为高电平，当OCxTMR = OCxR时输出设置为低电平(1)

101 = 双比较连续脉冲模式：将OCx引脚初始化为低电平，在OCxTMR与OCxR和OCxRS交替匹配时连续翻转OCx状态

100 = 双比较单脉冲模式：将OCx引脚初始化为低电平，在一个周期内OCxTMR分别与OCxR和OCxRS匹配时翻转OCx状态

011 = 单比较模式：与OCxR匹配的比较事件使OCx引脚的电平连续翻转

010 = 单比较单脉冲模式：将OCx引脚初始化为高电平，与OCxR匹配的比较事件强制OCx引脚为低电平

001 = 单比较单脉冲模式：将OCx引脚初始化为低电平，与OCxR匹配的比较事件强制OCx引脚为高电平

000 = 禁止输出比较通道

注 1： OCxR和OCxRS仅在PWM模式下是双重缓冲的。

寄存器14-2： OCxCON2：输出比较x控制寄存器2

R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	R/W-0
FLTMD	FLTOUT	FLTTRIEN	OCINV	—	—	—	OC32
bit 15							bit 8

R/W-0	R/W-0, HS	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0
OCTRIG	TRIGSTAT	OCTRIS	SYNCSEL4	SYNCSEL3	SYNCSEL2	SYNCSEL1	SYNCSEL0
bit 7							bit 0

图注：	HS = 硬件置1位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **FLTMD**：故障模式选择位
1 = 故障模式将保持到故障源消除；相应的OCFLTA位用软件清零并且新的PWMx周期开始
0 = 故障模式将保持到故障源消除，并且新的PWMx周期开始

bit 14 **FLTOUT**：故障输出位
1 = PWMx输出在发生故障时被驱动为高电平
0 = PWMx输出在发生故障时被驱动为低电平

bit 13 **FLTTRIEN**：故障输出状态选择位
1 = 发生故障时OCx引脚为三态
0 = 发生故障时OCx引脚的I/O状态由FLTOUT位定义

bit 12 **OCINV**：输出比较x反相位
1 = OCx输出反相
0 = OCx输出不反相

bit 11-9 **未实现**：读为0

bit 8 **OC32**：级联两个OCx模块使能位（32位操作）
1 = 使能级联模块操作
0 = 禁止级联模块操作

bit 7 **OCTRIG**：输出比较x触发/同步选择位
1 = OCx由SYNCSELx位指定的触发源触发
0 = 将OCx与SYNCSELx位指定的同步源同步

bit 6 **TRIGSTAT**：定时器触发状态位
1 = 定时器源已触发并正在运行
0 = 定时器源未触发并保持清零

bit 5 **OCTRIS**：输出比较x输出引脚方向选择位
1 = OCx为三态
0 = OCx模块驱动OCx引脚

注 1： 不要将OCx模块用作它自己的同步源或触发源。
2： 当OCy模块关闭时，它会发送一个触发输出信号。如果OCx模块使用OCy模块作为触发源，则在禁止OCy模块之前，必须先取消选择它作为触发源。

© 2015-2018 Microchip Technology Inc.

寄存器14-2： OCxCON2：输出比较x控制寄存器2（续）

bit 4-0 **SYNCSEL<4:0>：**触发/同步源选择位
11111 = OCxRS比较事件用于同步
11110 = INT2引脚同步或触发OCx
11101 = INT1引脚同步或触发OCx
11100 = 保留
11011 = CMP4模块同步或触发OCx
11010 = CMP3模块同步或触发OCx
11001 = CMP2模块同步或触发OCx
11000 = CMP1模块同步或触发OCx
10111 = 保留
10110 = 保留
10101 = 保留
10100 = 保留
10011 = IC4输入捕捉中断事件同步或触发OCx
10010 = IC3输入捕捉中断事件同步或触发OCx
10001 = IC2输入捕捉中断事件同步或触发OCx
10000 = IC1输入捕捉中断事件同步或触发OCx
01111 = Timer5同步或触发OCx
01110 = Timer4同步或触发OCx
01101 = Timer3同步或触发OCx
01100 = Timer2同步或触发OCx（**默认值**）
01011 = Timer1同步或触发OCx
01010 = 保留
01001 = 保留
01000 = IC4输入捕捉事件同步或触发OCx
00111 = IC3输入捕捉事件同步或触发OCx
00110 = IC2输入捕捉事件同步或触发OCx
00101 = IC1输入捕捉事件同步或触发OCx
00100 = OC4模块同步或触发OCx(1,2)
00011 = OC3模块同步或触发OCx(1,2)
00010 = OC2模块同步或触发OCx(1,2)
00001 = OC1模块同步或触发OCx(1,2)
00000 = OCx没有同步源或触发源

注 1： 不要将OCx模块用作它自己的同步源或触发源。
2： 当OCy模块关闭时，它会发送一个触发输出信号。如果OCx模块使用OCy模块作为触发源，则在禁止OCy模块之前，必须先取消选择它作为触发源。

注：

© 2015-2018 Microchip Technology Inc.

15.0 高速PWM

注： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“高速PWM模块”**（DS70000323），该文档可从Microchip网站（www.microchip.com）下载。

dsPIC33EPXXGS50X器件上的高速PWM模块支持多种PWM模式和输出格式。该PWM模块是如下电源转换应用的理想选择：

- 交流/直流转换器
- 直流/直流转换器
- 功率因数校正
- 不间断电源（Uninterruptible Power Supply，UPS）
- 逆变器
- 电池充电器
- 数字照明

15.1 特性概述

高速PWM模块具有以下特性：

- 5个PWMx发生器（每个发生器有2个输出）
- 2个主控时基模块
- 每个PWM输出都具有独立的时基和占空比
- 占空比、死区、相移和频率分辨率为1.04 ns
- 独立的故障输入和限流输入
- 冗余输出
- 真正独立输出
- 中心对齐PWM模式
- 输出改写控制
- 斩波模式（也称为门控模式）
- 特殊事件触发信号
- 可从PWMx向模数转换器（Analog-to-Digital Converter，ADC）产生双触发信号
- PWMxL和PWMxH输出引脚交换
- 独立的PWMx频率、占空比和相移变化
- 增强型前沿消隐（Leading-Edge Blanking，LEB）功能
- PWM捕捉功能

注： 在中心对齐PWM模式下，占空比、死区、相移和频率分辨率为8.32 ns。

图15-1以概念化方式显示了PWM模块的简化框图。图15-2说明了在互补PWM模式下分配给每个PWMx输出对的模块硬件。

PWM模块包含5个PWM发生器。模块最多具有10个PWMx输出引脚：PWM1H/PWM1L至PWM5H/PWM5L。对于互补输出，这10个I/O引脚组合为高/低端输出对。

15.2 特性说明

PWM模块针对具有以下要求的应用而设计：

- 高PWM频率且高分辨率
- 能够驱动标准边沿对齐、中心对齐、互补模式和推挽模式输出
- 能够产生多相PWM输出

两种常见的中等功率电源转换器拓扑为推挽式和半桥式。这些设计要求由两个引脚交替切换输出PWM信号，这正是推挽PWM模式所提供的功能。

相移PWM描述了这样的情形：每个PWM发生器提供输出，但发生器输出之间的相位关系是可指定和可更改的。

多相PWM通常用于改善直流/直流转换器负载瞬态响应，以及减小输出滤波电容和电感的体积。多个直流/直流转换器通常并行工作，但时间上存在相移。以250 kHz工作时，单个PWM输出的周期为4 μs，但4个PWM通道组成的阵列（交错工作，各工作1 μs）产生的有效开关频率为1 MHz。多相PWM应用通常使用固定的相位关系。

可变相位PWM在零电压转换（Zero Voltage Transition，ZVT）电源转换器中非常有用。其中，PWM占空比总是为50%，功率流通过改变两个PWM发生器之间的相对相移进行控制。

15.2.1 写保护寄存器

在dsPIC33EPXXGS50X系列器件上，为IOCONx和FCLCONx寄存器实现了写保护功能。写保护功能可以防止对于这些寄存器的任何意外写操作。该保护功能可以通过PWMLOCK配置位（FDEVOPT<0>）进行控制。写保护功能的默认状态是使能（PWMLOCK = 1）。写保护功能可以通过配置PWMLOCK = 0来禁止。

要对这些锁定的寄存器进行写访问，用户应用程序必须向PWMKEY寄存器连续写入两个值（0xABCD和0x4321）来执行解锁操作。对IOCONx或FCLCONx寄存器的写访问必须是紧接在解锁过程之后的下一个SFR访问。在解锁过程和后续写访问之间不能有任何其他SFR访问。要写入IOCONx和FCLCONx寄存器，需要两次解锁操作。

正确的解锁序列如例15-1所示。

例15-1： PWM写保护寄存器解锁序列

```
; Writing to FCLCON1 register requires unlock sequence

mov #0xabcd, w10      ; Load first unlock key to w10 register
mov #0x4321, w11      ; Load second unlock key to w11 register
mov #0x0000, w0       ; Load desired value of FCLCON1 register in w0
mov w10, PWMKEY       ; Write first unlock key to PWMKEY register
mov w11, PWMKEY       ; Write second unlock key to PWMKEY register
mov w0, FCLCON1       ; Write desired value to FCLCON1 register

; Set PWM ownership and polarity using the IOCON1 register
; Writing to IOCON1 register requires unlock sequence

mov #0xabcd, w10      ; Load first unlock key to w10 register
mov #0x4321, w11      ; Load second unlock key to w11 register
mov #0xF000, w0       ; Load desired value of IOCON1 register in w0
mov w10, PWMKEY       ; Write first unlock key to PWMKEY register
mov w11, PWMKEY       ; Write second unlock key to PWMKEY register
mov w0, IOCON1        ; Write desired value to IOCON1 register
```

15.3 PWM资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

15.3.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

© 2015-2018 Microchip Technology Inc.

图15-1： 高速PWM模块架构图

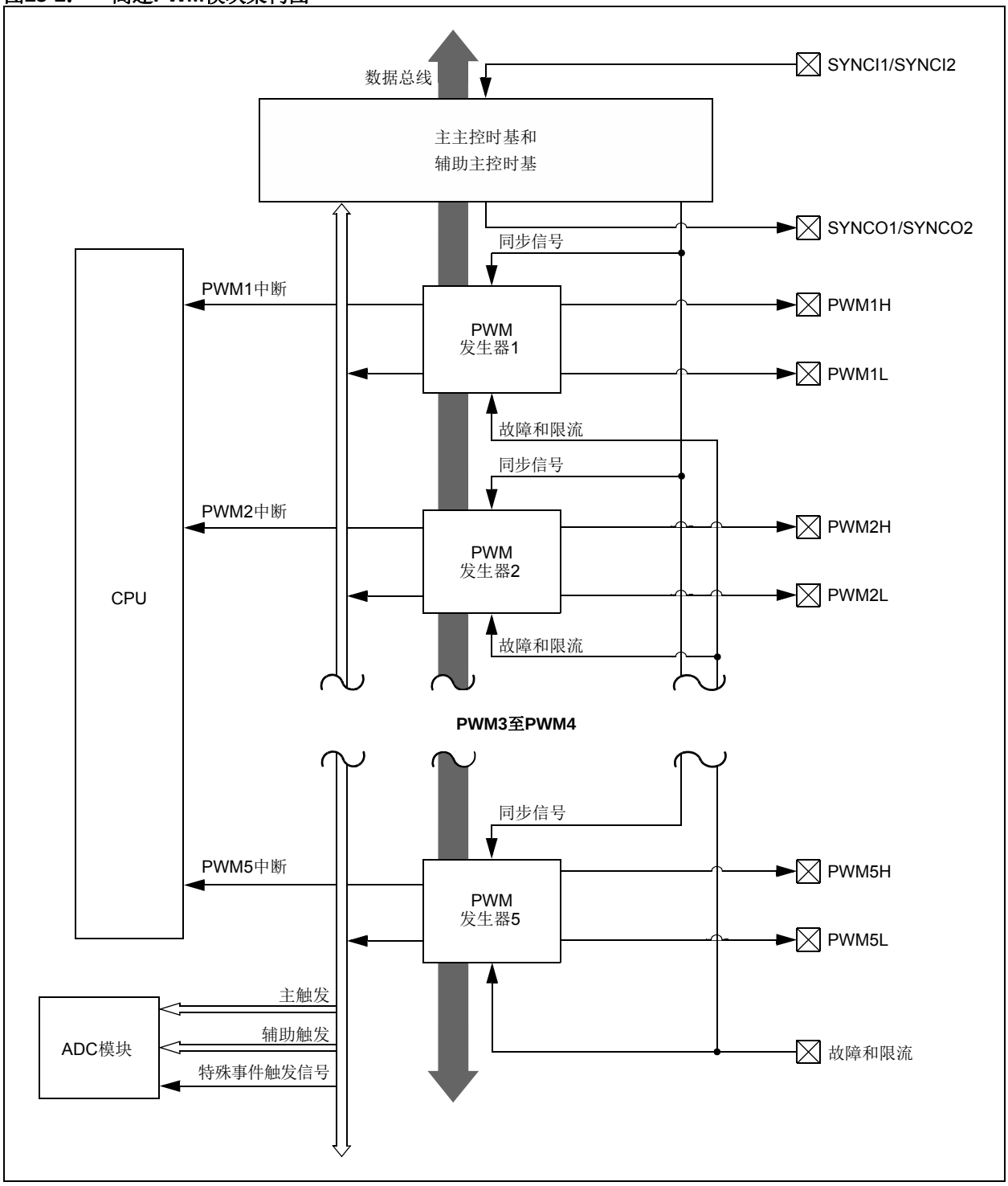
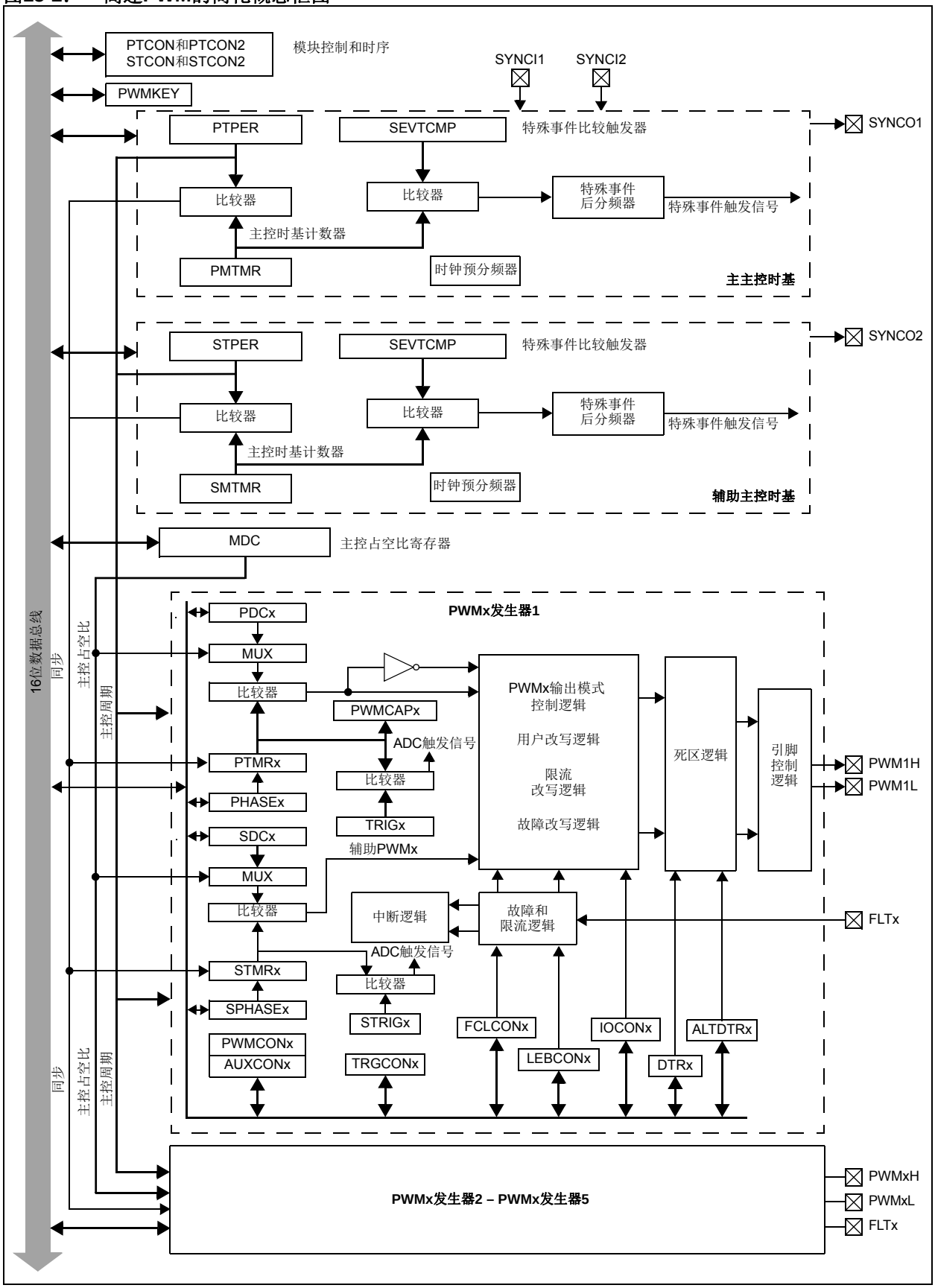


图15-2： 高速PWM的简化概念框图



© 2015-2018 Microchip Technology Inc.

寄存器15-1： PTCON：PWMx时基控制寄存器

R/W-0	U-0	R/W-0	R-0, HSC	R/W-0	R/W-0	R/W-0	R/W-0
PTEN	—	PTSIDL	SESTAT	SEIEN	EIPU(1)	SYNCPOL(1)	SYNCOEN(1)
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SYNCEN(1)	SYNCSRC2(1)	SYNCSRC1(1)	SYNCSRC0(1)	SEVTPS3(1)	SEVTPS2(1)	SEVTPS1(1)	SEVTPS0(1)
bit 7							bit 0

图注：	HSC = 硬件置1/清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **PTEN**：PWMx模块使能位
1 = 使能PWMx模块
0 = 禁止PWMx模块

bit 14 **未实现**：读为0

bit 13 **PTSIDL**：PWMx时基空闲模式停止位
1 = PWMx时基在CPU空闲模式下暂停
0 = PWMx时基在CPU空闲模式下运行

bit 12 **SESTAT**：特殊事件中断状态位
1 = 特殊事件中断处于待处理状态
0 = 特殊事件中断不处于待处理状态

bit 11 **SEIEN**：特殊事件中断允许位
1 = 允许特殊事件中断
0 = 禁止特殊事件中断

bit 10 **EIPU**：使能立即周期更新位(1)
1 = 立即更新有效周期寄存器
0 = 在PWMx周期边界处更新有效周期寄存器

bit 9 **SYNCPOL**：同步输入和输出极性位(1)
1 = SYNCIx/SYNCO1极性反相（低电平有效）
0 = SYNCIx/SYNCO1高电平有效

bit 8 **SYNCOEN**：主时基同步使能位(1)
1 = 使能SYNCO1输出
0 = 禁止SYNCO1输出

bit 7 **SYNCEN**：外部时基同步使能位(1)
1 = 使能主时基的外部同步
0 = 禁止主时基的外部同步

bit 6-4 **SYNCSRC<2:0>**：同步源选择位(1)
111 = 保留
101 = 保留
100 = 保留
011 = 保留
010 = 保留
001 = SYNCI2
000 = SYNCI1

注 1： 只有PTEN = 0时，才能更改这些位。此外，在使用SYNCIx功能时，用户应用程序必须使用稍大于外部同步输入信号期望周期的值设定周期寄存器。

寄存器15-1： PTCON：PWMx时基控制寄存器（续）

bit 3-0 **SEVTPS<3:0>：**PWMx特殊事件触发信号输出后分频比选择位(1)
1111 = 1:16，后分频器在每发生十六个比较匹配事件时产生特殊事件触发信号
•
•
•
0001 = 1:2，后分频器在每发生两个比较匹配事件时产生特殊事件触发信号
0000 = 1:1，后分频器在每次发生比较匹配事件时产生特殊事件触发信号

注 1： 只有PTEN = 0时，才能更改这些位。此外，在使用SYNCIx功能时，用户应用程序必须使用稍大于外部同步输入信号期望周期的值设定周期寄存器。

寄存器15-2： PTCON2：PWMx时钟分频比选择寄存器2

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	PCLKDIV<2:0>(1)		
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-3 **未实现：**读为0

bit 2-0 **PCLKDIV<2:0>：**PWMx输入时钟预分频比选择位(1)
111 = 保留
110 = 64分频，最大PWM时序分辨率
101 = 32分频，最大PWM时序分辨率
100 = 16分频，最大PWM时序分辨率
011 = 8分频，最大PWM时序分辨率
010 = 4分频，最大PWM时序分辨率
001 = 2分频，最大PWM时序分辨率
000 = 1分频，最大PWM时序分辨率（上电默认值）

注 1： 只有PTEN = 0时，才能更改这些位。在工作期间改变时钟选择会产生不可预测的结果。

© 2015-2018 Microchip Technology Inc.

寄存器15-3： PTPER：PWMx主主控时基周期寄存器(1,2)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
PTPER<15:8>							
bit 15							bit 8

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0
PTPER<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **PTPER<15:0>：**主主控时基（PMTMR）周期值位

注 1： PWMx时基的最小值是0x0010，最大值是0xFFF8。
2： 任何小于0x0028的周期值都必须将低3位设置为0，从而产生8.32 ns的周期分辨率（最快附属时钟速率时）。

寄存器15-4： SEVTCMP：PWMx特殊事件比较寄存器(1)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SEVTCMP<12:5>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
SEVTCMP<4:0>					—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-3 **SEVTCMP<12:0>：**特殊事件比较计数值位
bit 2-0 **未实现：**读为0

注 1： 一个LSB = 1.04 ns（最快附属时钟速率时）；因此，最小SEVTCMP分辨率为8.32 ns。

寄存器15-5： STCON：PWMx辅助主控时基控制寄存器

U-0	U-0	U-0	R-0, HSC	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	SESTAT	SEIEN	EIPU(1)	SYNCPOL	SYNCOEN
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SYNCEN	SYNCSRC2	SYNCSRC1	SYNCSRC0	SEVTPS3	SEVTPS2	SEVTPS1	SEVTPS0
bit 7							bit 0

图注：	HSC = 硬件置1/清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-13 **未实现：**读为0

bit 12 **SESTAT：**特殊事件中断状态位
1 = 辅助特殊事件中断处于待处理状态
0 = 辅助特殊事件中断不处于待处理状态

bit 11 **SEIEN：**特殊事件中断允许位
1 = 允许辅助特殊事件中断
0 = 禁止辅助特殊事件中断

bit 10 **EIPU：**使能立即周期更新位(1)
1 = 立即更新有效辅助周期寄存器
0 = 在PWMx周期边界处更新有效辅助周期寄存器

bit 9 **SYNCPOL：**同步输入和输出极性位
1 = SYNCIx/SYNCO2极性反相（低电平有效）
0 = SYNCIx/SYNCO2极性为高电平有效

bit 8 **SYNCOEN：**辅助主控时基同步使能位
1 = 使能SYNCO2输出
0 = 禁止SYNCO2输出

bit 7 **SYNCEN：**外部辅助主控时基同步使能位
1 = 使能辅助时基的外部同步
0 = 禁止辅助时基的外部同步

bit 6-4 **SYNCSRC<2:0>：**辅助时基同步源选择位
111 = 保留
101 = 保留
100 = 保留
011 = 保留
010 = 保留
001 = SYNCI2
000 = SYNCI1

bit 3-0 **SEVTPS<3:0>：**PWMx辅助特殊事件触发信号输出后分频比选择位
1111 = 后分频比为1:16
0001 = 后分频比为1:2
•
•
•
0000 = 后分频比为1:1

注 1： 该位只适用于辅助主控时基周期。

© 2015-2018 Microchip Technology Inc.

寄存器15-6： STCON2：PWMx辅助时钟分频比选择寄存器2

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	PCLKDIV<2:0>(1)		
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-3 **未实现：**读为0

bit 2-0 **PCLKDIV<2:0>：**PWMx输入时钟预分频比选择位(1)

111 = 保留
110 = 64分频，最大PWM时序分辨率
101 = 32分频，最大PWM时序分辨率
100 = 16分频，最大PWM时序分辨率
011 = 8分频，最大PWM时序分辨率
010 = 4分频，最大PWM时序分辨率
001 = 2分频，最大PWM时序分辨率
000 = 1分频，最大PWM时序分辨率（上电默认值）

注 1： 只有PTEN = 0时，才能更改这些位。在工作期间改变时钟选择会产生不可预测的结果。

寄存器15-7： STPER：PWMx辅助主控时基周期寄存器(1,2)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
STPER<15:8>							
bit 15							bit 8

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
STPER<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **STPER<15:0>：**辅助主控时基（SMTMR）周期值位

注 1： PWMx时基的最小值是0x0010，最大值是0xFFF8。
2： 任何小于0x0028的周期值都必须将低3位设置为0，从而产生8.32 ns的周期分辨率（最快附属时钟速率时）。

寄存器15-8： SSEVTCMP：PWMx辅助特殊事件比较寄存器(1)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SSEVTCMP<12:5>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
SSEVTCMP<4:0>					—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-3 **SSEVTCMP<12:0>：**特殊事件比较计数值位

bit 2-0 **未实现：**读为0

注 1： 一个LSB = 1.04 ns（最快辅助时钟速率时）；因此，最小SEVTCMP分辨率为8.32 ns。

寄存器15-9： CHOP：PWMx斩波时钟发生器寄存器(1)

R/W-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
CHPCLKEN	—	—	—	—	—	CHOPCLK6	CHOPCLK5
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
CHOPCLK4	CHOPCLK3	CHOPCLK2	CHOPCLK1	CHOPCLK0	—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **CHPCLKEN：**使能斩波时钟发生器位
1 = 使能斩波时钟发生器
0 = 禁止斩波时钟发生器

bit 14-10 **未实现：**读为0

bit 9-3 **CHOPCLK<6:0>：**斩波时钟分频比位
值以8.32 ns为单位进行递增。斩波时钟信号的频率由以下表达式给出：
斩波频率 = 1/(16.64 * (CHOP<7:3> + 1) * 主主控PWM输入时钟周期)

bit 2-0 **未实现：**读为0

注 1： 斩波时钟发生器使用PTCON2寄存器（寄存器15-2）中的主PWMx时钟预分频比（PCLKDIV<2:0>）工作。

© 2015-2018 Microchip Technology Inc.

寄存器15-10： MDC：PWMx主控占空比寄存器(1,2)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MDC<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MDC<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **MDC<15:0>：**PWMx主控占空比值位

注 1： 在PWMx输出上可以产生的最小脉冲宽度对应于值0x0008，而产生的最大脉冲宽度对应于（周期 - 0x0008）的值。

2： 当占空比接近PWMx周期的0%或100%（0 ns-40 ns，取决于工作模式）时，PWMx占空比分辨率将从1 LSB提高到3 LSB。

寄存器15-11： PWMKEY：PWMx保护锁定/解锁密钥寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PWMKEY<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PWMKEY<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **PWMKEY<15:0>：**PWMx保护锁定/解锁密钥值位

寄存器15-12： PWMCONx：PWMx控制寄存器（x = 1至5）

R-0, HSC	R-0, HSC	R-0, HSC	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FLTSTAT(1)	CLSTAT(1)	TRGSTAT	FLTIEN	CLIEN	TRGIEN	ITB(3)	MDCS(3)
bit 15							bit 8

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
DTC1	DTC0	—	—	MTBS	CAM(2,3,4)	XPRES(5)	IUE
bit 7							bit 0

图注：	HSC = 硬件置1/清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **FLTSTAT**：故障中断状态位(1)
1 = 故障中断处于待处理状态
0 = 没有故障中断处于待处理状态
该位通过设置FLTIEN = 0进行清零。

bit 14 **CLSTAT**：限流中断状态位(1)
1 = 限流中断处于待处理状态
0 = 没有限流中断处于待处理状态
该位通过设置CLIEN = 0进行清零。

bit 13 **TRGSTAT**：触发中断状态位
1 = 触发中断处于待处理状态
0 = 没有触发中断处于待处理状态
该位通过设置TRGIEN = 0进行清零。

bit 12 **FLTIEN**：故障中断允许位
1 = 允许故障中断
0 = 禁止故障中断，并且FLTSTAT位清零

bit 11 **CLIEN**：限流中断允许位
1 = 允许限流中断
0 = 禁止限流中断，并且CLSTAT位清零

bit 10 **TRGIEN**：触发中断允许位
1 = 触发事件产生中断请求
0 = 禁止触发事件中断，并且TRGSTAT位清零

bit 9 **ITB**：独立时基模式位(3)
1 = PHASEx/SPHASEx寄存器为该PWMx发生器提供时基周期
0 = PTPER寄存器为该PWMx发生器提供时序

bit 8 **MDCS**：主控占空比寄存器选择位(3)
1 = MDC寄存器为该PWMx发生器提供占空比信息
0 = PDCx和SDCx寄存器为该PWMx发生器提供占空比信息

注 1： 必须用软件清零相应的中断状态，以及中断控制器中对应的IFSx位。
2： 只有使能独立时基模式（ITB = 1）时才能使用中心对齐模式。如果ITB = 0，则CAM位会被忽略。
3： 通过设置PTEN = 1（PTCON<15>）使能PWMx后，不应更改这些位。
4： 中心对齐模式会忽略占空比、相位和死区寄存器的低3位。在时钟预分频比设置为最快时钟时，可获得的最高中心对齐模式分辨率为8.32 ns。
5： 配置CLMOD（FCLCONx<8>）= 0和ITB（PWMCONx<9>）= 1，以在外部周期复位模式下工作。

© 2015-2018 Microchip Technology Inc.

寄存器15-12： PWMCONx：PWMx控制寄存器（x = 1至5）（续）

bit 7-6 **DTC<1:0>：**死区控制位
11 = 保留
10 = 禁止死区功能
01 = 对于互补输出模式施加负死区
00 = 对于所有输出模式施加正死区

bit 5-4 **未实现：**读为0

bit 3 **MTBS：**主控时基选择位
1 = PWMx 发生器使用辅助主控时基进行同步，并使用它作为 PWMx 发生逻辑的时钟源（如果辅助时基可用）
0 = PWMx发生器使用主主控时基进行同步，并使用它作为PWMx发生逻辑的时钟源

bit 2 **CAM：**中心对齐模式使能位(2,3,4)
1 = 使能中心对齐模式
0 = 使能边沿对齐模式

bit 1 **XPRES：**外部PWMx复位控制位(5)
1 = 如果PWMx发生器处于独立时基模式，则限流源复位该PWMx发生器的时基
0 = 外部引脚不影响PWMx时基

bit 0 **IUE：**立即更新使能位
1 = 立即更新有效的占空比、相位偏移、死区和本地时基周期寄存器
0 = 更新有效的占空比、相位偏移、死区和本地时基周期寄存器与本地PWMx时基同步

注 1： 必须用软件清零相应的中断状态，以及中断控制器中对应的IFSx位。
2： 只有使能独立时基模式（ITB = 1）时才能使用中心对齐模式。如果ITB = 0，则CAM位会被忽略。
3： 通过设置PTEN = 1（PTCON<15>）使能PWMx后，不应更改这些位。
4： 中心对齐模式会忽略占空比、相位和死区寄存器的低3位。在时钟预分频比设置为最快时钟时，可获得的最高中心对齐模式分辨率为8.32 ns。
5： 配置CLMOD（FCLCONx<8>）= 0和ITB（PWMCONx<9>）= 1，以在外部周期复位模式下工作。

寄存器15-13： PDCx：PWMx发生器占空比寄存器（x = 1至5）(1,2,3)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PDCx<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PDCx<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **PDCx<15:0>：**PWMx发生器占空比值位

注 1： 在独立PWM模式下，PDCx寄存器仅控制PWMxH占空比。在互补、冗余和推挽PWM模式下，PDCx寄存器控制PWMxH和PWMxL的占空比。

2： 在PWMx输出上可以产生的最小脉冲宽度对应于值0x0008，而产生的最大脉冲宽度对应于（周期 - 0x0008）的值。

3： 当占空比接近PWMx周期的0%或100%（0 ns-40 ns，取决于工作模式）时，PWMx占空比分辨率将从1 LSB提高到3 LSB。

寄存器15-14： SDCx：PWMx辅助占空比寄存器（x = 1至5）(1,2,3)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SDCx<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SDCx<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **SDCx<15:0>：**PWMxL输出引脚的PWMx辅助占空比位

注 1： SDCx寄存器仅在独立PWM模式下使用。在独立PWM模式下使用时，SDCx寄存器控制PWMxL占空比。

2： 在PWMx输出上可以产生的最小脉冲宽度对应于值0x0008，而产生的最大脉冲宽度对应于（周期 - 0x0008）的值。

3： 当占空比接近PWMx周期的0%或100%（0 ns-40 ns，取决于工作模式）时，PWMx占空比分辨率将从1 LSB提高到3 LSB。

© 2015-2018 Microchip Technology Inc.

寄存器15-15： PHASEx：PWMx主相移寄存器（x = 1至5）(1,2)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEx<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEx<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **PHASEx<15:0>：**PWMx发生器的PWMx相移值或独立时基周期位

注 1： 如果PWMCONx<9> = 0，则依工作模式适用以下情况：
- 互补、冗余和推挽输出模式（IOCONx<11:10> = 00、01或10），PHASEx<15:0> = PWMxH和PWMxL输出的相移值
- 真正独立输出模式（IOCONx<11:10> = 11），PHASEx<15:0> = 仅PWMxH的相移值
- 当PHASEx/SPHASEx寄存器提供相对于主控时基的相移时，值的有效范围为0x0000至周期值

2： 如果PWMCONx<9> = 1，则依工作模式适用以下情况：
- 互补、冗余和推挽输出模式（IOCONx<11:10> = 00、01或10），PHASEx<15:0> = PWMxH和PWMxL的独立时基周期值
- 真正独立输出模式（IOCONx<11:10> = 11），PHASEx<15:0> = 仅PWMxH的独立时基周期值
- 当PHASEx/SPHASEx寄存器提供本地周期时，值的有效范围为0x0000至0xFFF8

寄存器15-16： SPHASEx：PWMx辅助相移寄存器（x = 1至5）(1,2)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPHASEx<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPHASEx<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **SPHASEx<15:0>**：PWMxL输出引脚辅助相位偏移位（仅在独立PWM模式下使用）

注 1： 如果PWMCONx<9> = 0，则依工作模式适用以下情况：
- 互补、冗余和推挽输出模式（IOCONx<11:10> = 00、01或10），SPHASEx<15:0> = 不使用
- 真正独立输出模式（IOCONx<11:10> = 11），PHASEx<15:0> = 仅PWMxL的相移值

2： 如果PWMCONx<9> = 1，则依工作模式适用以下情况：
- 互补、冗余和推挽输出模式（IOCONx<11:10> = 00、01或10），SPHASEx<15:0> = 不使用
- 真正独立输出模式（IOCONx<11:10> = 11），PHASEx<15:0> = 仅PWMxL的独立时基周期值
- 当PHASEx/SPHASEx寄存器提供本地周期时，值的有效范围为0x0010-0xFFF8

© 2015-2018 Microchip Technology Inc.

寄存器15-17： DTRx：PWMx死区寄存器（x = 1至5）

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	DTRx<13:8>					
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DTRx<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-0 **DTRx<13:0>：**PWMx死区单元的无符号14位死区值位

寄存器15-18： ALTDTRx：PWMx备用死区寄存器（x = 1至5）

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	ALTDTRx<13:8>					
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ALTDTRx<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **未实现：**读为0

bit 13-0 **ALTDTRx<13:0>：**PWMx死区单元的无符号14位死区值位

寄存器15-19： TRGCONx：PWMx触发控制寄存器（x = 1至5）

R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
TRGDIV3	TRGDIV2	TRGDIV1	TRGDIV0	—	—	—	—
bit 15							bit 8

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DTM(1)	—	TRGSTRT5	TRGSTRT4	TRGSTRT3	TRGSTRT2	TRGSTRT1	TRGSTRT0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-12 **TRGDIV<3:0>：**触发器#输出分频比位
1111 = 每发生16个触发事件时触发输出
1110 = 每发生15个触发事件时触发输出
1101 = 每发生14个触发事件时触发输出
1100 = 每发生13个触发事件时触发输出
1011 = 每发生12个触发事件时触发输出
1010 = 每发生11个触发事件时触发输出
1001 = 每发生10个触发事件时触发输出
1000 = 每发生9个触发事件时触发输出
0111 = 每发生8个触发事件时触发输出
0110 = 每发生7个触发事件时触发输出
0101 = 每发生6个触发事件时触发输出
0100 = 每发生5个触发事件时触发输出
0011 = 每发生4个触发事件时触发输出
0010 = 每发生3个触发事件时触发输出
0001 = 每发生2个触发事件时触发输出
0000 = 每次发生触发事件时触发输出

bit 11-8 **未实现：**读为0

bit 7 **DTM：**双触发模式位(1)
1 = 辅助触发事件与主触发事件组合产生PWM触发
0 = 辅助触发事件不与主触发事件组合产生PWM触发；产生两个独立的PWM触发

bit 6 **未实现：**读为0

bit 5-0 **TRGSTRT<5:0>：**触发后分频比开始使能选择位
111111 = 使能模块之后，在产生第一个触发事件之前先等待63个PWM周期
•
•
•
000010 = 使能模块之后，在产生第一个触发事件之前先等待2个PWM周期
000001 = 使能模块之后，在产生第一个触发事件之前先等待1个PWM周期
000000 = 使能模块之后，在产生第一个触发事件之前先等待0个PWM周期

注 1： 辅助PWMx发生器无法产生PWM触发中断。

© 2015-2018 Microchip Technology Inc.

寄存器15-20： IOCONx：PWMx I/O控制寄存器（x = 1至5）

R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PENH	PENL	POLH	POLL	PMOD1(1)	PMOD0(1)	OVRENH	OVRENL
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
OVRDAT1	OVRDAT0	FLTDAT1(2)	FLTDAT0(2)	CLDAT1(2)	CLDAT0(2)	SWAP	OSYNC
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **PENH**：PWMxH输出引脚所有权位
1 = PWMx模块控制PWMxH引脚
0 = GPIO模块控制PWMxH引脚

bit 14 **PENL**：PWMxL输出引脚所有权位
1 = PWMx模块控制PWMxL引脚
0 = GPIO模块控制PWMxL引脚

bit 13 **POLH**：PWMxH输出引脚极性位
1 = PWMxH引脚为低电平有效
0 = PWMxH引脚为高电平有效

bit 12 **POLL**：PWMxL输出引脚极性位
1 = PWMxL引脚为低电平有效
0 = PWMxL引脚为高电平有效

bit 11-10 **PMOD<1:0>**：PWMx I/O引脚模式位(1)
11 = PWMx I/O引脚对处于真正独立输出模式
10 = PWMx I/O引脚对处于推挽输出模式
01 = PWMx I/O引脚对处于冗余输出模式
00 = PWMx I/O引脚对处于互补输出模式

bit 9 **OVRENH**：PWMxH引脚改写使能位
1 = OVRDAT1为PWMxH引脚上的输出提供数据
0 = PWMx发生器为PWMxH引脚提供数据

bit 8 **OVRENL**：PWMxL引脚改写使能位
1 = OVRDAT0为PWMxL引脚上的输出提供数据
0 = PWMx发生器为PWMxL引脚提供数据

bit 7-6 **OVRDAT<1:0>**：使能改写时PWMxH和PWMxL引脚数据位
如果OVERENH = 1，则OVRDAT1提供PWMxH引脚的数据
如果OVERENL = 1，则OVRDAT0提供PWMxL引脚的数据

bit 5-4 **FLTDAT<1:0>**：使能FLTMOD<1:0>时PWMxH和PWMxL引脚状态位(2)
IFLTMOD（FCLCONx<15>）= 0：正常故障模式：
如果故障有效，则FLTDAT1提供PWMxH引脚的状态。
如果故障有效，则FLTDAT0提供PWMxL引脚的状态。
IFLTMOD（FCLCONx<15>）= 1：独立故障模式：
如果限流有效，则FLTDAT1提供PWMxH引脚的状态。
如果故障有效，则FLTDAT0提供PWMxL引脚的状态。

注 1： 使能PWMx模块（PTEN = 1）后，不应更改这些位。
2： 状态代表PWMx的有效/无效状态，具体取决于POLH和POLL位的设置。

寄存器15-20： IOCONx：PWMx I/O控制寄存器（x = 1至5）（续）

bit 3-2 **CLDAT<1:0>**：使能CLMOD时PWMxH和PWMxL引脚状态位(2)
IFLTMOD（FCLCONx<15>）= 0：正常故障模式：
如果限流有效，则CLDAT1提供PWMxH引脚的状态。
如果限流有效，则CLDAT0提供PWMxL引脚的状态。
IFLTMOD（FCLCONx<15>）= 1：独立故障模式：
CLDAT<1:0>位被忽略。

bit 1 **SWAP**：交换PWMxH和PWMxL引脚位
1 = PWMxH输出信号连接到PWMxL引脚；PWMxL输出信号连接到PWMxH引脚
0 = PWMxH和PWMxL引脚映射到它们各自对应的引脚

bit 0 **OSYNC**：输出改写同步位
1 = 通过OVRDAT<1:0>位进行的输出改写与PWMx时基同步
0 = 通过OVRDAT<1:0>位进行的输出改写在下一个CPU时钟边界发生

注 1： 使能PWMx模块（PTEN = 1）后，不应更改这些位。
2： 状态代表PWMx的有效/无效状态，具体取决于POLH和POLL位的设置。

寄存器15-21： TRIGx：PWMx主触发比较值寄存器（x = 1至5）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TRGCMP<12:5>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
TRGCMP<4:0>					—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-3 **TRGCMP<12:0>**：触发比较值位
当主PWMx采用本地时基时，该寄存器包含可触发ADC模块的比较值。

bit 2-0 **未实现**：读为0

© 2015-2018 Microchip Technology Inc.

寄存器15-22： FCLCONx：PWMx故障限流控制寄存器（x = 1至5）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IFLTMOD	CLSRC4	CLSRC3	CLSRC2	CLSRC1	CLSRC0	CLPOL(1)	CLMOD
bit 15							bit 8

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0
FLTSRC4	FLTSRC3	FLTSRC2	FLTSRC1	FLTSRC0	FLTPOL(1)	FLTMOD1	FLTMOD0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **IFLTMOD：**独立故障模式使能位
1 = 独立故障模式：限流输入将FLTDAT1映射到PWMxH输出，故障输入将FLTDAT0映射到PWMxL输出；CLDAT<1:0>位不用于改写功能
0 = 正常故障模式：限流模式将 CLDAT<1:0> 位映射到 PWMxH 和 PWMxL 输出； PWM 故障模式将FLTDAT<1:0>映射到PWMxH和PWMxL输出

bit 14-10 **CLSRC<4:0>：**PWMx发生器的限流控制信号源选择位
11111 = 保留
10001 = 保留
10000 = 模拟比较器4
01111 = 模拟比较器3
01110 = 模拟比较器2
01101 = 模拟比较器1
01100 = 故障12
01011 = 故障11
01010 = 故障10
01001 = 故障9
01000 = 故障8
00111 = 故障7
00110 = 故障6
00101 = 故障5
00100 = 故障4
00011 = 故障3
00010 = 故障2
00001 = 故障1
00000 = 保留

bit 9 **CLPOL：**PWMx发生器的限流极性位(1)
1 = 选定的限流源为低电平有效
0 = 选定的限流源为高电平有效

bit 8 **CLMOD：**PWMx发生器的限流模式使能位
1 = 使能限流模式
0 = 禁止限流模式

注 1： 只有PTEN（PTCON<15>）= 0时，才能更改这些位。

寄存器15-22： FCLCONx：PWMx故障限流控制寄存器（x = 1至5）（续）

bit 7-3 **FLTSRC<4:0>：**PWMx发生器的故障控制信号源选择位
11111 = 故障31（默认）
10001 = 保留
10000 = 模拟比较器4
01111 = 模拟比较器3
01110 = 模拟比较器2
01101 = 模拟比较器1
01100 = 故障12
01011 = 故障11
01010 = 故障10
01001 = 故障9
01000 = 故障8
00111 = 故障7
00110 = 故障6
00101 = 故障5
00100 = 故障4
00011 = 故障3
00010 = 故障2
00001 = 故障1
00000 = 保留

bit 2 **FLTPOL：**PWMx发生器的故障极性位(1)
1 = 选定的故障源为低电平有效
0 = 选定的故障源为高电平有效

bit 1-0 **FLTMOD<1:0>：**PWMx发生器的故障模式位
11 = 禁止故障输入
10 = 保留
01 = 选定的故障源将PWMxH和PWMxL引脚强制为FLTDATx值（周期）
00 = 选定的故障源将PWMxH和PWMxL引脚强制为FLTDATx值（锁定状态）

注 1： 只有PTEN（PTCON<15>）= 0时，才能更改这些位。

寄存器15-23： STRIGx：PWMx辅助触发比较值寄存器（x = 1至5）(1)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
STRGCMP<12:5>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
STRGCMP<4:0>					—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-3 **STRGCMP<12:0>：**辅助触发比较值位
当辅助PWMx采用本地时基时，该寄存器包含可触发ADC模块的比较值。

bit 2-0 **未实现：**读为0

注 1： STRIGx无法产生PWM触发中断。

© 2015-2018 Microchip Technology Inc.

寄存器15-24： LEBCONx：PWMx前沿消隐（LEB）控制寄存器（x = 1至5）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0
PHR	PHF	PLR	PLF	FLTLEBEN	CLLEBEN	—	—
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	BCH(1)	BCL(1)	BPHH	BPHL	BPLH	BPLL
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **PHR**：PWMxH上升沿触发使能位
1 = PWMxH的上升沿将触发前沿消隐计数器
0 = 前沿消隐忽略PWMxH的上升沿

bit 14 **PHF**：PWMxH下降沿触发使能位
1 = PWMxH的下降沿将触发前沿消隐计数器
0 = 前沿消隐忽略PWMxH的下降沿

bit 13 **PLR**：PWMxL上升沿触发使能位
1 = PWMxL的上升沿将触发前沿消隐计数器
0 = 前沿消隐忽略PWMxL的上升沿

bit 12 **PLF**：PWMxL下降沿触发使能位
1 = PWMxL的下降沿将触发前沿消隐计数器
0 = 前沿消隐忽略PWMxL的下降沿

bit 11 **FLTLEBEN**：故障输入前沿消隐使能位
1 = 对选定故障输入应用前沿消隐
0 = 不对选定故障输入应用前沿消隐

bit 10 **CLLEBEN**：限流前沿消隐使能位
1 = 对选定限流输入应用前沿消隐
0 = 不对选定限流输入应用前沿消隐

bit 9-6 **未实现**：读为0

bit 5 **BCH**：选定消隐信号高电平消隐使能位(1)
1 = 当选定消隐信号为高电平时（对限流和/或故障输入信号）进行状态消隐
0 = 当选定消隐信号为高电平时不进行消隐

bit 4 **BCL**：选定消隐信号低电平消隐使能位(1)
1 = 当选定消隐信号为低电平时（对限流和/或故障输入信号）进行状态消隐
0 = 当选定消隐信号为低电平时不进行消隐

bit 3 **BPHH**：PWMxH高电平消隐使能位
1 = 当PWMxH输出为高电平时（对限流和/或故障输入信号）进行状态消隐
0 = 当PWMxH输出为高电平时不进行消隐

bit 2 **BPHL**：PWMxH低电平消隐使能位
1 = 当PWMxH输出为低电平时（对限流和/或故障输入信号）进行状态消隐
0 = 当PWMxH输出为低电平时不进行消隐

注 1： 消隐信号通过AUXCONx寄存器中的BLANKSEL<3:0>位进行选择。

寄存器15-24： LEBCONx：PWMx前沿消隐（LEB）控制寄存器（x = 1至5）（续）

bit 1 **BPLH**：PWMxL高电平消隐使能位
1 = 当PWMxL输出为高电平时（对限流和/或故障输入信号）进行状态消隐
0 = 当PWMxL输出为高电平时不进行消隐

bit 0 **BPLL**：PWMxL低电平消隐使能位
1 = 当PWMxL输出为低电平时（对限流和/或故障输入信号）进行状态消隐
0 = 当PWMxL输出为低电平时不进行消隐

注 1： 消隐信号通过AUXCONx寄存器中的BLANKSEL<3:0>位进行选择。

寄存器15-25： LEBDLYx：PWMx前沿消隐延时寄存器（x = 1至5）

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	LEB<8:5>			
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0
LEB<4:0>					—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-12 **未实现**：读为0

bit 11-3 **LEB<8:0>**：限流输入和故障输入前沿消隐延时位
值以8.32 ns为单位进行递增。

bit 2-0 **未实现**：读为0

© 2015-2018 Microchip Technology Inc.

寄存器15-26： AUXCONx：PWMx附属控制寄存器（x = 1至5）

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
HRPDIS	HRDDIS	—	—	BLANKSEL3	BLANKSEL2	BLANKSEL1	BLANKSEL0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	CHOPSEL3	CHOPSEL2	CHOPSEL1	CHOPSEL0	CHOPHEN	CHOPLEN
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **HRPDIS：**高分辨率PWMx周期禁止位
1 = 禁止高分辨率PWMx周期以降低功耗
0 = 使能高分辨率PWMx周期

bit 14 **HRDDIS：**高分辨率PWMx占空比禁止位
1 = 禁止高分辨率PWMx占空比以降低功耗
0 = 使能高分辨率PWMx占空比

bit 13-12 **未实现：**读为0

bit 11-8 **BLANKSEL<3:0>：**PWMx状态消隐源选择位
选定的状态消隐信号将阻止限流和/或故障输入信号
（如果已通过LEBCONx寄存器中的BCH和BCL位使能）。
1001 = 保留
1000 = 保留
0111 = 保留
0110 = 保留
0101 = 选择PWM5H作为状态消隐源
0100 = 选择PWM4H作为状态消隐源
0011 = 选择PWM3H作为状态消隐源
0010 = 选择PWM2H作为状态消隐源
0001 = 选择PWM1H作为状态消隐源
0000 = 不进行状态消隐

bit 7-6 **未实现：**读为0

bit 5-2 **CHOPSEL<3:0>：**PWMx斩波时钟源选择位
选定信号将使能和禁止（斩波）选定的PWMx输出。
1001 = 保留
1000 = 保留
0111 = 保留
0110 = 保留
0101 = 选择PWM5H作为斩波时钟源
0100 = 选择PWM4H作为斩波时钟源
0011 = 选择PWM3H作为斩波时钟源
0010 = 选择PWM2H作为斩波时钟源
0001 = 选择PWM1H作为斩波时钟源
0000 = 选择斩波时钟发生器作为斩波时钟源

bit 1 **CHOPHEN：**PWMxH输出斩波使能位
1 = 使能PWMxH斩波功能
0 = 禁止PWMxH斩波功能

bit 0 **CHOPLEN：**PWMxL输出斩波使能位
1 = 使能PWMxL斩波功能
0 = 禁止PWMxL斩波功能

寄存器15-27： PWMCAPx：PWMx主时基捕捉寄存器（x = 1至5）

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
PWMCAP<12:5>(1,2,3,4)							
bit 15							bit 8

R-0	R-0	R-0	R-0	R-0	U-0	U-0	U-0
PWMCAP<4:0>(1,2,3,4)					—	—	—
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-3 **PWMCAP<12:0>**：PWMx主时基捕捉值位(1,2,3,4)
该寄存器中的值代表在限流输入上检测到前沿时捕捉的PWMx时基值。

bit 2-0 **未实现**：读为0

注 1： 捕捉功能仅对于主输出（PWMxH）可用。
2： 只有限流输入信号的LEB处理完成之后，该功能才有效。
3： 最小捕捉分辨率为8.32 ns。
4： 当XPRES位（PWMCONx<1>）设置为0时，可以使用该功能。

© 2015-2018 Microchip Technology Inc.

16.0 串行外设接口（SPI）

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“串行外设接口（SPI）”**（DS70005185），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

SPI模块是用于同其他外设或单片机器件进行通信的同步串行接口。这些外设可以是串行EEPROM、移位寄存器、显示驱动器和ADC转换器等。SPI模块与Motorola®的SPI和SIOP接口兼容。

dsPIC33EPXXGS50X器件系列在单个器件上提供两个SPI模块，SPI1和SPI2，它们在功能上是相同的。

注： 在本章中，SPI模块统称为SPIx，或分别称为SPI1和SPI2。特殊功能寄存器也使用类似的符号表示。例如，SPIxCON指SPI1和SPI2模块的控制寄存器。

SPIx模块利用外设引脚选择（PPS）功能来支持引脚配置的更大灵活性。

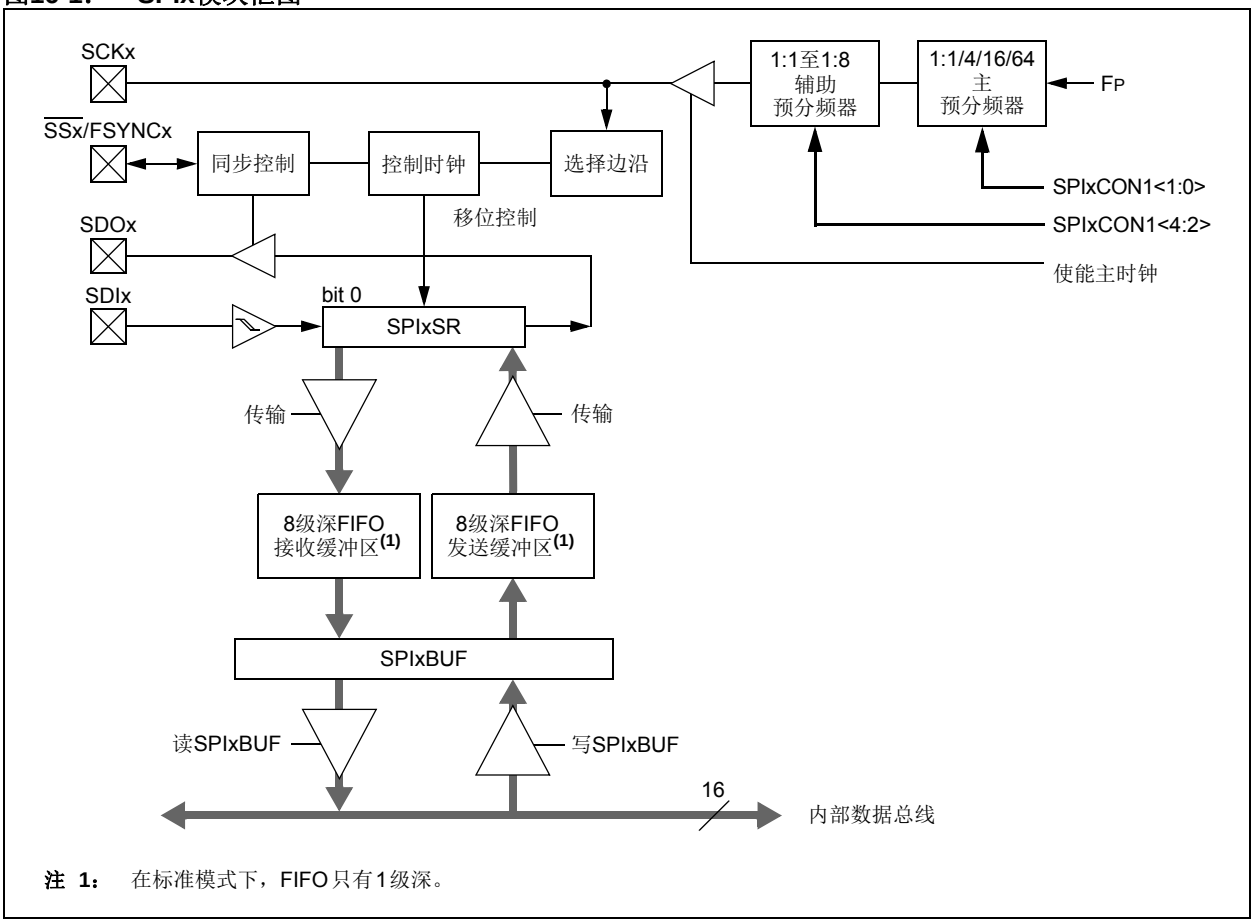
SPIx串行接口由4个引脚组成，具体如下：

- SDIx：串行数据输入
- SDOx：串行数据输出
- SCKx：移位时钟输入或输出
- $\overline{SS}$x/FSYNCx：低电平有效从选择或帧同步I/O脉冲

可将SPIx模块配置为使用2、3或4个引脚进行工作。在3引脚模式下，不使用$\overline{SS}$x。在2引脚模式下，不使用SDOx和$\overline{SS}$x。

图16-1给出了标准模式和增强型模式下SPIx模块的框图。

图16-1： SPIx模块框图



注 1： 在标准模式下，FIFO只有1级深。

16.1 SPI有用技巧

1. 在帧模式下，有可能主器件不会在从器件之前初始化：
   a) 如果FRMPOL（SPIxCON2<13>）= 1，则在SSx上使用下拉电阻。
   b) 如果FRMPOL = 0，则在SSx上使用上拉电阻。

> **注：** 这可以确保初始化之后的第一次帧传输不会发生移位或损坏。

2. 在非帧3线模式下（即，不使用来自主器件的SSx）：
   a) 如果CKP（SPIxCON1<6>）= 1，则总是在SSx上放置一个上拉电阻。
   b) 如果CKP = 0，则总是在SSx上放置一个下拉电阻。

> **注：** 这可以确保在上电和初始化期间，主器件/从器件不会由于错误的SCKx电平跳变（导致从器件对于数据发送和接收累积数据移位错误，显现为损坏数据）而失去同步。

3. FRMEN（SPIxCON2<15>）= 1且SSEN（SPIxCON1<7>）= 1是互斥且无效的。在帧模式下，SCKx是连续的，SSx引脚上的帧同步脉冲有效，指示数据帧的开始。

> **注：** 并不是所有第三方器件都支持帧模式时序。有关详细信息，请参见**第26.0节“电气特性”**中的SPIx规范。

4. 仅在主模式下，可以将SMP位（SPIxCON1<9>）设置为1，从而实现最快的SPIx数据速率。SMP位只能在MSTEN位（SPIxCON1<5>）置1的同时或之后置1。

为了避免主器件从从器件读取数据无效，用户主器件软件必须保证有足够的时间让从器件软件填充其写缓冲区，之后再通过用户应用程序启动主器件读/写周期。建议总是在下一个主器件事务周期之前预先装入SPIxBUF发送寄存器。SPIxBUF将传输到SPIx移位寄存器，并且在数据传输开始时立即清空。

16.2 SPI资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

16.2.1 主要资源

- 《dsPIC33/PIC24系列参考手册》中的**“串行外设接口（SPI）”**（DS70005185）
- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

© 2015-2018 Microchip Technology Inc.

16.3 SPI控制寄存器

寄存器16-1： SPIxSTAT：SPIx状态和控制寄存器

R/W-0	U-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0
SPIEN	—	SPISIDL	—	—	SPIBEC2	SPIBEC1	SPIBEC0
bit 15							bit 8

R/W-0	R/C-0, HS	R/W-0	R/W-0	R/W-0	R/W-0	R-0, HS, HC	R-0, HS, HC
SRMPT	SPIROV	SRXMPT	SISEL2	SISEL1	SISEL0	SPITBF	SPIRBF
bit 7							bit 0

图注：	C = 可清零位	U = 未实现位，读为0	
R = 可读位	W = 可写位	HS = 硬件置1位	HC = 硬件清零位
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **SPIEN**：SPIx使能位
1 = 使能模块并将SCKx、SDOx、SDIx和$\overline{SSx}$配置为串口引脚
0 = 禁止模块

bit 14 **未实现**：读为0

bit 13 **SPISIDL**：SPIx空闲模式停止位
1 = 当器件进入空闲模式时，模块停止工作
0 = 在空闲模式下模块继续工作

bit 12-11 **未实现**：读为0

bit 10-8 **SPIBEC<2:0>**：SPIx缓冲区元素计数位（在增强型缓冲区模式下有效）
主模式：
在等待的SPIx传输的数目。
从模式：
未读的SPIx传输的数目。

bit 7 **SRMPT**：SPIx移位寄存器（SPIxSR）空位（在增强型缓冲区模式下有效）
1 = SPIx移位寄存器为空，准备发送或接收数据
0 = SPIx移位寄存器非空

bit 6 **SPIROV**：SPIx接收溢出标志位
1 = 一个新字节/字已完全接收并丢弃；在此之前用户应用程序还未读取先前保存在SPIxBUF寄存器中的数据
0 = 未发生溢出

bit 5 **SRXMPT**：SPIx接收FIFO空位（在增强型缓冲区模式下有效）
1 = 接收FIFO为空
0 = 接收FIFO非空

bit 4-2 **SISEL<2:0>**：SPIx缓冲区中断模式位（在增强型缓冲区模式下有效）
111 = 当SPIx发送缓冲区已满时产生中断（SPITBF位置1）
110 = 当最后一位移入SPIxSR时产生中断，此时发送FIFO为空
101 = 当最后一位移出SPIxSR时产生中断，发送完成
100 = 当一个数据移入SPIxSR时产生中断，此时发送FIFO有一个空存储单元
011 = 当SPIx接收缓冲区已满时产生中断（SPIRBF位置1）
010 = 当SPIx接收缓冲区为3/4满或更满时产生中断
001 = 当接收缓冲区中有数据时产生中断（SRMPT位置1）
000 = 当接收缓冲区中的最后一个数据被读取时产生中断，此时缓冲区为空（SRXMPT位置1）

寄存器16-1： SPIxSTAT：SPIx状态和控制寄存器（续）

bit 1 **SPITBF**：SPIx发送缓冲区满状态位

1 = 发送尚未开始，SPIxTXB为满
0 = 发送已开始，SPIxTXB为空

标准缓冲区模式：
当内核通过写SPIxBUF 存储单元装入SPIxTXB 时，该位由硬件自动置1。当SPIx 模块将数据从SPIxTXB传输到SPIxSR时，该位由硬件自动清零。

增强型缓冲区模式：
当CPU通过写SPIxBUF存储单元装入最后的可用缓冲单元时，该位由硬件自动置1。当有缓冲单元可用于CPU写操作时，该位由硬件自动清零。

bit 0 **SPIRBF**：SPIx接收缓冲区满状态位

1 = 接收完成，SPIxRXB已满
0 = 接收未完成，SPIxRXB为空

标准缓冲区模式：
当SPIx将数据从SPIxSR传输到SPIxRXB时，该位由硬件自动置1。当内核通过读SPIxBUF存储单元读SPIxRXB时，该位由硬件自动清零。

增强型缓冲区模式：
当SPIx通过将数据从SPIxSR传送到缓冲区填充最后一个未读的缓冲单元时，该位由硬件自动置1。当有缓冲单元可用于从SPIxSR进行传输时，该位由硬件自动清零。

© 2015-2018 Microchip Technology Inc.

寄存器16-2： SPIxCON1：SPIx控制寄存器1

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	DISSCK	DISSDO	MODE16	SMP	CKE(1)
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SSEN(2)	CKP	MSTEN	SPRE2(3)	SPRE1(3)	SPRE0(3)	PPRE1(3)	PPRE0(3)
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-13 **未实现：**读为0

bit 12 **DISSCK：**禁止SCKx引脚位（仅限SPIx主模式）
1 = 禁止内部SPIx时钟，引脚用作I/O
0 = 使能内部SPIx时钟

bit 11 **DISSDO：**禁止SDOx引脚位
1 = 模块不使用SDOx引脚；引脚用作I/O
0 = SDOx引脚由模块控制

bit 10 **MODE16：**字/字节通信选择位
1 = 采用字宽（16位）通信
0 = 采用字节宽（8位）通信

bit 9 **SMP：**SPIx数据输入采样阶段位
主模式：
1 = 在数据输出时间的末端采样输入数据
0 = 在数据输出时间的中间采样输入数据
从模式：
当在从模式下使用SPIx时，必须将SMP清零。

bit 8 **CKE：**SPIx时钟边沿选择位(1)
1 = 串行输出数据在时钟从工作状态转变为空闲状态时变化（见bit 6）
0 = 串行输出数据在时钟从空闲状态转变为工作状态时变化（见bit 6）

bit 7 **SSEN：**从选择使能位（从模式）(2)
1 = $\overline{SSx}$引脚用于从模式
0 = 模块不使用$\overline{SSx}$引脚；引脚由端口功能控制

bit 6 **CKP：**时钟极性选择位
1 = 空闲状态时时钟信号为高电平；工作状态时为低电平
0 = 空闲状态时时钟信号为低电平；工作状态时为高电平

bit 5 **MSTEN：**主模式使能位
1 = 主模式
0 = 从模式

注 1： 在帧SPI模式下不使用CKE位。在帧SPI模式（FRMEN = 1）下，将该位编程为0。
2： 当FRMEN = 1时，该位必须清零。
3： 不要将主预分频比和辅助预分频比同时设置为1:1。

寄存器16-2： SPIxCON1：SPIx控制寄存器1（续）

bit 4-2 **SPRE<2:0>：**辅助预分频比位（主模式）(3)
111 = 辅助预分频比1:1
110 = 辅助预分频比2:1
•
•
•
000 = 辅助预分频比8:1

bit 1-0 **PPRE<1:0>：**主预分频比位（主模式）(3)
11 = 主预分频比1:1
10 = 主预分频比4:1
01 = 主预分频比16:1
00 = 主预分频比64:1

注 1： 在帧SPI模式下不使用CKE位。在帧SPI模式（FRMEN = 1）下，将该位编程为0。
2： 当FRMEN = 1时，该位必须清零。
3： 不要将主预分频比和辅助预分频比同时设置为1:1。

© 2015-2018 Microchip Technology Inc.

寄存器16-3： SPIxCON2：SPIx控制寄存器2

R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0	U-0
FRMEN	SPIFSD	FRMPOL	—	—	—	—	—
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	FRMDLY	SPIBEN
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **FRMEN**：帧SPIx支持位
1 = 使能帧SPIx支持（$\overline{SSx}$引脚用作帧同步脉冲输入/输出）
0 = 禁止帧SPIx支持

bit 14 **SPIFSD**：帧同步脉冲方向控制位
1 = 帧同步脉冲输入（从器件）
0 = 帧同步脉冲输出（主器件）

bit 13 **FRMPOL**：帧同步脉冲极性位
1 = 帧同步脉冲为高电平有效
0 = 帧同步脉冲为低电平有效

bit 12-2 **未实现**：读为0

bit 1 **FRMDLY**：帧同步脉冲边沿选择位
1 = 帧同步脉冲与第一个位时钟一致
0 = 帧同步脉冲比第一个位时钟提前

bit 0 **SPIBEN**：增强型缓冲区使能位
1 = 使能增强型缓冲区
0 = 禁止增强型缓冲区（标准模式）

注：

© 2015-2018 Microchip Technology Inc.

17.0 I²C

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“I²C”**（DS70000195），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

dsPIC33EPXXGS50X系列器件包含两个I²C模块：I2C1和I2C2。

I²C模块（16位接口）为I²C串行通信标准的从模式和多主器件模式提供完全的硬件支持。

I²C模块有一个双引脚接口：

- SCLx/ASCLx引脚是时钟线
- SDAx/ASDAx引脚是数据线

I²C模块提供以下主要特性：

- I²C接口支持主/从工作模式
- I²C从模式支持7位和10位寻址
- I²C主模式支持7位和10位寻址
- I²C端口允许主器件和从器件之间的双向传输
- I²C端口的串行时钟同步可以用作握手机制来暂停和恢复串行传输（SCLREL控制）
- I²C支持多主器件工作；检测总线冲突并相应地进行仲裁
- 系统管理总线（System Management Bus，SMBus）支持
- 备用I²C引脚映射（ASCLx/ASDAx）

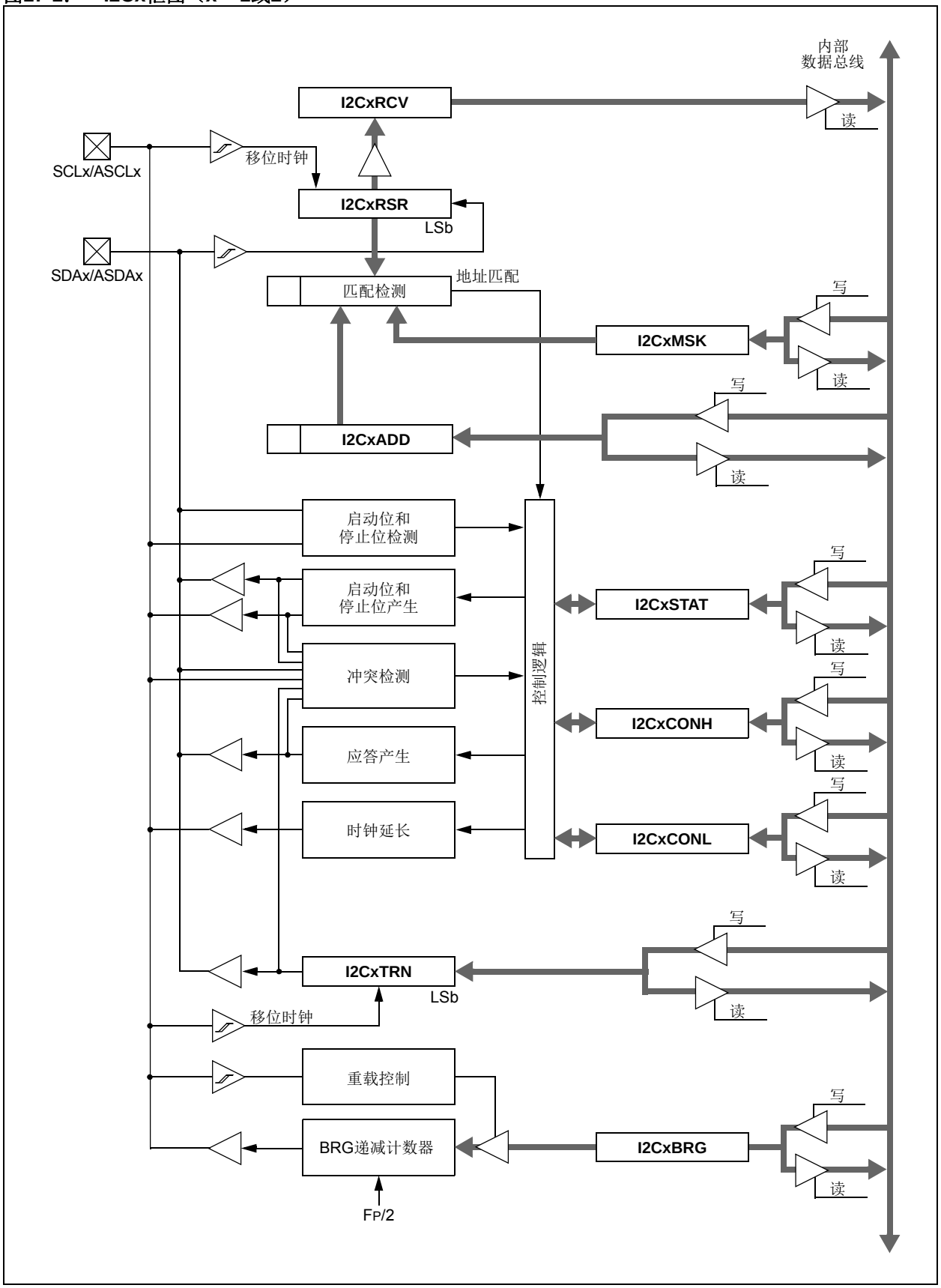
17.1 I²C资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

17.1.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

图17-1： I2Cx框图（x = 1或2）



© 2015-2016 Microchip Technology Inc.

17.2 I²C控制寄存器

寄存器17-1： I2CxCONL：I2Cx控制寄存器的低位字

R/W-0	U-0	R/W-0	R/W-1, HC	R/W-0	R/W-0	R/W-0	R/W-0
I2CEN	—	I2CSIDL	SCLREL	STRICT	A10M	DISSLW	SMEN
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0, HC	R/W-0, HC	R/W-0, HC	R/W-0, HC	R/W-0, HC
GCEN	STREN	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit 7							bit 0

图注：	HC = 硬件清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **I2CEN**：I2Cx使能位
1 = 使能I2Cx模块，并将SDAx和SCLx引脚配置为串口引脚
0 = 禁止I2Cx模块，所有I²C引脚均由端口功能控制

bit 14 **未实现**：读为0

bit 13 **I2CSIDL**：I2Cx空闲模式停止位
1 = 当器件进入空闲模式时，模块停止工作
0 = 在空闲模式下模块继续工作

bit 12 **SCLREL**：SCLx释放控制位（作为I²C从器件工作时）
1 = 释放SCLx时钟
0 = 保持SCLx时钟为低电平（时钟延长）
如果STREN = 1：
该位可读可写（即软件可以写入0来启动时钟延长或写入1来释放时钟）。在每个从器件数据字节发送开始时由硬件清零。在每个从器件地址字节接收结束时由硬件清零。在每个从器件数据字节接收结束时由硬件清零。
如果STREN = 0：
该位可读且可被置1（即软件只能写入1来释放时钟）。在每个从器件数据字节发送开始时由硬件清零。在每个从器件地址字节接收结束时由硬件清零。

bit 11 **STRICT**：严格I2Cx保留地址使能位
1 = 使能严格保留寻址：
在从模式下，器件将不应答任何保留地址。在主模式下，允许器件产生保留地址空间内的地址。
0 = 应答保留寻址：
在从模式下，器件将应答任何保留地址。在主模式下，器件不应通过保留地址寻址从器件。

bit 10 **A10M**：10位从器件地址位
1 = I2CxADD为10位从器件地址
0 = I2CxADD为7位从器件地址

bit 9 **DISSLW**：禁止压摆率控制位
1 = 禁止压摆率控制
0 = 使能压摆率控制

bit 8 **SMEN**：SMBus输入电平位
1 = 使能符合SMBus规范的I/O引脚阈值
0 = 禁止SMBus输入阈值

bit 7 **GCEN**：广播呼叫使能位（作为I²C从器件工作时）
1 = 允许在I2CxRSR中接收到广播呼叫地址时产生中断（已使能模块接收）
0 = 禁止广播呼叫地址

寄存器17-1： I2CxCONL：I2Cx控制寄存器的低位字（续）

bit 6 **STREN**：SCLx时钟延长使能位（作为I²C从器件工作时）
与SCLREL位配合使用。
1 = 使能软件或接收时钟延长
0 = 禁止软件或接收时钟延长

bit 5 **ACKDT**：应答数据位（作为I²C主器件工作时，适用于主器件接收过程）
当软件启动应答序列时将发送的值。
1 = 在应答时发送NACK
0 = 在应答时发送ACK

bit 4 **ACKEN**：应答序列使能位（作为I²C主器件工作时，适用于主器件接收过程）
1 = 在SDAx和SCLx引脚上发出应答序列，并发送ACKDT数据位；在主器件应答序列结束时由硬件清零
0 = 应答序列不在进行中

bit 3 **RCEN**：接收使能位（作为I²C主器件工作时）
1 = 使能I²C接收模式；在主器件接收完数据字节的第8位时由硬件清零
0 = 接收序列不在进行中

bit 2 **PEN**：停止条件使能位（作为I²C主器件工作时）
1 = 在SDAx和SCLx引脚上发出停止条件；在主器件停止序列结束时由硬件清零
0 = 停止条件不在进行中

bit 1 **RSEN**：重复启动条件使能位（作为I²C主器件工作时）
1 = 在SDAx和SCLx引脚上发出重复启动条件；在主器件重复启动序列结束时由硬件清零
0 = 重复启动条件不在进行中

bit 0 **SEN**：启动条件使能位（作为I²C主器件工作时）
1 = 在SDAx和SCLx引脚上发出启动条件；在主器件启动序列结束时由硬件清零
0 = 启动条件不在进行中

© 2015-2016 Microchip Technology Inc.

寄存器17-2： I2CxCONH：I2Cx控制寄存器的高位字

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	PCIE	SCIE	BOEN	SDAHT	SBCDE	AHEN	DHEN
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-7 **未实现：**读为0

bit 6 **PCIE：**停止条件中断允许位（仅在I^2C从模式下）
1 = 允许在检测到停止条件时产生中断
0 = 禁止停止条件检测中断

bit 5 **SCIE：**启动条件中断允许位（仅在I^2C从模式下）
1 = 允许在检测到启动或重复启动条件时产生中断
0 = 禁止启动条件检测中断

bit 4 **BOEN：**缓冲区改写使能位（仅在I^2C从模式下）
1 = 仅当RBF位 = 0时，在接收到地址/数据字节时，更新I2CxRCV且产生ACK信号，并忽略I2COV的状态
0 = 仅当I2COV位清零时更新I2CxRCV

bit 3 **SDAHT：**SDAx保持时间选择位
1 = 在SCLx的下降沿之后SDAx至少保持300 ns的时间
0 = 在SCLx的下降沿之后SDAx至少保持100 ns的时间

bit 2 **SBCDE：**从模式总线冲突检测使能位（仅在I^2C从模式下）
1 = 允许从总线冲突中断
0 = 禁止从总线冲突中断
如果在SCLx的上升沿，模块输出为高电平状态时采样到SDAx为低电平，则BCL位置1且总线进入空闲状态。此检测模式仅在数据和ACK发送序列期间有效。

bit 1 **AHEN：**地址保持使能位（仅在I^2C从模式下）
1 = 在接收匹配地址字节的SCLx的第8个下降沿之后，SCLREL位（I2CxCONL<12>）将清零且SCLx保持低电平
0 = 禁止地址保持

bit 0 **DHEN：**数据保持使能位（仅在I^2C从模式下）
1 = 在接收数据字节的SCLx的第8个下降沿之后，从器件硬件清零SCLREL位（I2CxCONL<12>）且SCLx保持低电平
0 = 禁止数据保持

寄存器17-3： I2CxSTAT：I2Cx状态寄存器

R-0, HSC	R-0, HSC	R-0, HSC	U-0	U-0	R/C-0, HS	R-0, HSC	R-0, HSC
ACKSTAT	TRSTAT	ACKTIM	—	—	BCL	GCSTAT	ADD10
bit 15							bit 8

R/C-0, HS	R/C-0, HS	R-0, HSC	R/C-0, HSC	R/C-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC
IWCOL	I2COV	D_A	P	S	R_W	RBF	TBF
bit 7							bit 0

图注：	C = 可清零位	HS = 硬件置1位	HSC = 硬件置1/清零位
R = 可读位	W = 可写位	0 = 清零	x = 未知
-n = POR时的值	1 = 置1	U = 未实现位，读为0	

bit 15 **ACKSTAT**：应答状态位（作为I^2C主器件工作时，适用于主器件发送操作）
1 = 接收到来自从器件的NACK
0 = 接收到来自从器件的ACK
在从器件应答结束时由硬件置1或清零。

bit 14 **TRSTAT**：发送状态位（作为I^2C主器件工作时，适用于主器件发送操作）
1 = 主器件正在进行发送（8位 + ACK）
0 = 主器件不在进行发送
在主器件发送开始时由硬件置1。在从器件应答结束时由硬件清零。

bit 13 **ACKTIM**：应答时间状态位（仅在I^2C从模式下）
1 = I^2C总线上有应答序列，在SCLx的第8个下降沿置1
0 = 无应答序列，在SCLx的第9个上升沿清零

bit 12-11 **未实现**：读为0

bit 10 **BCL**：主器件总线冲突检测位
1 = 主器件工作期间检测到了总线冲突
0 = 未检测到总线冲突
在检测到总线冲突时由硬件置1。

bit 9 **GCSTAT**：广播呼叫状态位
1 = 接收到广播呼叫地址
0 = 未接收到广播呼叫地址
当地址与广播呼叫地址匹配时由硬件置1。在检测到停止条件时由硬件清零。

bit 8 **ADD10**：10位地址状态位
1 = 10位地址匹配
0 = 10位地址不匹配
当与匹配的10位地址的第2个字节匹配时由硬件置1。在检测到停止条件时由硬件清零。

bit 7 **IWCOL**：I2Cx写冲突检测位
1 = 因为I^2C模块忙，尝试写I2CxTRN寄存器失败
0 = 未发生冲突
当I2C模块忙时对I2CxTRN执行写操作会使硬件将该位置1（用软件清零）。

bit 6 **I2COV**：I2Cx接收溢出标志位
1 = 当I2CxRCV寄存器仍然保存原先的字节时接收到了新字节
0 = 未发生溢出
尝试将数据从I2CxRSR传输到I2CxRCV时由硬件置1（用软件清零）。

bit 5 **D_A**：数据/地址位（仅在I^2C从模式下）
1 = 指示上次接收的字节为数据
0 = 指示上次接收的字节为器件地址
器件地址匹配时由硬件清零。在作为从器件接收到数据字节时由硬件置1。

© 2015-2016 Microchip Technology Inc.

寄存器17-3： I2CxSTAT：I2Cx状态寄存器（续）

bit 4 **P：**停止位
1 = 指示上次检测到停止位
0 = 上次未检测到停止位
当检测到启动、重复启动或停止条件时由硬件置1或清零。

bit 3 **S：**启动位
1 = 指示上次检测到启动（或重复启动）位
0 = 上次未检测到启动位
当检测到启动、重复启动或停止条件时由硬件置1或清零。

bit 2 **R_W：**读/写信息位（仅在I^2C从模式下）
1 = 读——表示数据自从器件输出
0 = 写——表示数据输入到从器件
接收到I^2C器件地址字节后由硬件置1或清零。

bit 1 **RBF：**接收缓冲区满状态位
1 = 接收完成，I2CxRCV已满
0 = 接收未完成，I2CxRCV为空
用接收到的字节写I2CxRCV时由硬件置1。用软件读I2CxRCV时由硬件清零。

bit 0 **TBF：**发送缓冲区满状态位
1 = 发送正在进行中，I2CxTRN已满
0 = 发送完成，I2CxTRN为空
用软件写I2CxTRN时由硬件置1。数据发送完成时由硬件清零。

寄存器17-4： I2CxMSK：I2Cx从模式地址掩码寄存器

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	AMSK<9:8>	
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
AMSK<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-10 **未实现：**读为0

bit 9-0 **AMSK<9:0>：**地址掩码选择位

对于10位地址：

1 = 使能输入报文的地址中bit Ax的掩码；在此位置上不需要位匹配

0 = 禁止bit Ax的掩码；在此位置上需要位匹配

对于7位地址（仅I2CxMSK<6:0>）：

1 = 使能输入报文的地址中bit Ax + 1的掩码；在此位置上不需要位匹配

0 = 禁止bit Ax + 1的掩码；在此位置上需要位匹配

© 2015-2016 Microchip Technology Inc.

18.0 通用异步收发器（UART）

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“通用异步收发器（UART）”**（DS70000582），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

dsPIC33EPXXGS50X系列器件包含两个UART模块。

通用异步收发器（Universal Asynchronous Receiver Transmitter，UART）模块是dsPIC33EPXXGS50X器件系列提供的串行I/O模块之一。UART是可以与外设（如个人计算机、LIN/J2602、RS-232和RS-485接口）通信的全双工异步系统。模块还通过$\overline{\text{UxCTS}}$和$\overline{\text{UxRTS}}$引脚支持硬件流控制选项，其中还包括IrDA®编码器和解码器。

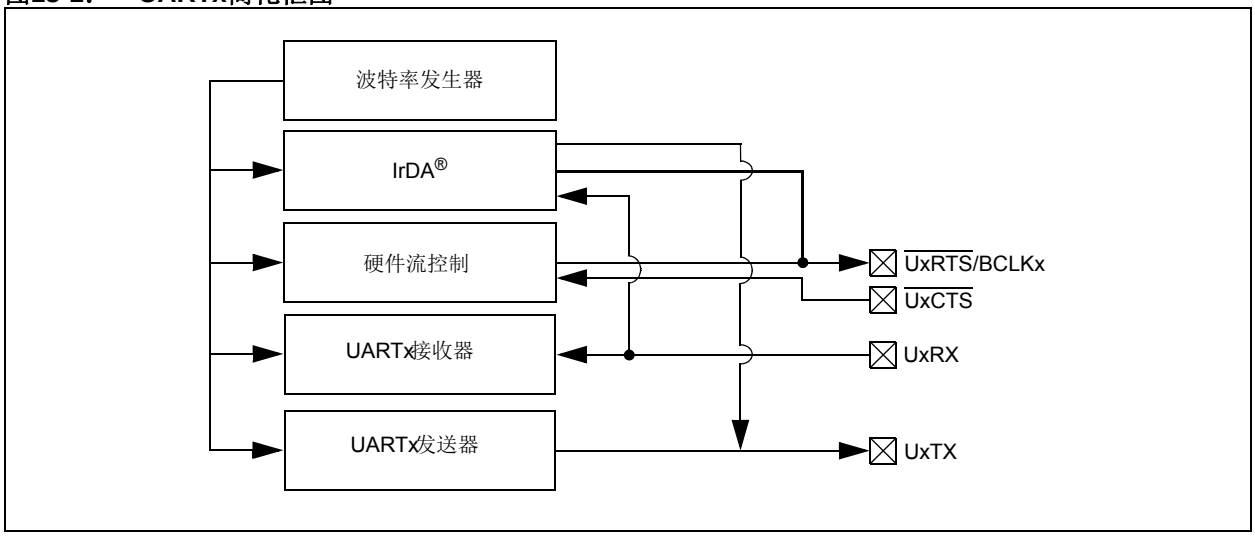
UARTx模块的主要特性有：

- 通过UxTX和UxRX引脚进行全双工8位或9位数据传输
- 偶校验、奇校验或无奇偶校验选项（对于8位数据）
- 一个或两个停止位
- 通过$\overline{\text{UxCTS}}$和$\overline{\text{UxRTS}}$引脚支持硬件流控制选项
- 完全集成的波特率发生器，具有16位预分频器
- 当器件工作在70 MIPS下16倍模式时，波特率范围为从67 bps至4.375 Mbps
- 当器件工作在70 MIPS下4倍模式时，波特率范围为从267 bps至17.5 Mbps
- 4级深度先进先出（First-In First-Out，FIFO）发送数据缓冲区
- 4级深度FIFO接收数据缓冲区
- 奇偶校验错误、帧错误和缓冲区溢出错误检测
- 支持带地址检测功能的9位模式（第9位 = 1）
- 发送和接收中断
- 所有UARTx错误条件下可分别产生中断
- 用于诊断支持的环回模式
- 支持同步字符和间隔字符
- 支持自动波特率检测
- IrDA编码器和解码器逻辑
- 用于IrDA支持的16倍波特率时钟输出

图18-1给出了UARTx模块的简化框图。UARTx模块由以下至关重要的硬件组件组成：

- 波特率发生器
- 异步发送器
- 异步接收器

图18-1： UARTx简化框图



18.1 UART有用技巧

1. 在多节点直接连接UART网络中，UART接收输入会对URXINV位（UxMODE<4>）定义的相反逻辑电平作出反应；它定义空闲状态，其默认值为逻辑高电平（即，URXINV = 0）。由于远程器件不会在同一时间初始化，所以很有可能由于RX线悬空，有一个器件触发启动位检测，导致在器件初始化之后接收到的第一个字节变为无效。要避免这种情况，用户应根据URXINV位的值，在RX引脚上使用上拉或下拉电阻。
   a) 如果URXINV = 0，则在UxRX引脚上使用上拉电阻。
   b) 如果URXINV = 1，则在UxRX引脚上使用下拉电阻。
2. 由于UARTx模块UxRX引脚上的活动而从休眠模式唤醒时接收的第一个字符将是无效的。在休眠模式下，外设时钟被禁止。从休眠模式唤醒之后，在振荡器系统重启并稳定之前，波特率位采样时钟相对于输入UxRX位时序不再同步，导致第一个字符无效；这是可以预料的。

18.2 UART资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

18.2.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

© 2015-2018 Microchip Technology Inc.

18.3 UART控制寄存器

寄存器18-1： UxMODE：UARTx模式寄存器

R/W-0	U-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
UARTEN(1)	—	USIDL	IREN(2)	RTSMD	—	UEN1	UEN0
bit 15							bit 8

R/W-0, HC	R/W-0	R/W-0, HC	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WAKE	LPBACK	ABAUD	URXINV	BRGH	PDSEL1	PDSEL0	STSEL
bit 7							bit 0

图注：	HC = 硬件清零位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **UARTEN**：UARTx使能位(1)
1 = 使能UARTx；UARTx根据UEN<1:0>的定义控制所有UARTx引脚
0 = 禁止UARTx；由端口锁存器控制所有UARTx引脚；UARTx的功耗最小

bit 14 **未实现**：读为0

bit 13 **USIDL**：UARTx空闲模式停止位
1 = 当器件进入空闲模式时，模块停止工作
0 = 在空闲模式下模块继续工作

bit 12 **IREN**：IrDA编码器和解码器使能位(2)
1 = 使能IrDA编码器和解码器
0 = 禁止IrDA编码器和解码器

bit 11 **RTSMD**：$\overline{\text{UxRTS}}$引脚模式选择位
1 = $\overline{\text{UxRTS}}$引脚处于单工模式
0 = $\overline{\text{UxRTS}}$引脚处于流控制模式

bit 10 **未实现**：读为0

bit 9-8 **UEN<1:0>**：UARTx引脚使能位
11 = 使能并使用UxTX、UxRX和BCLKx引脚；$\overline{\text{UxCTS}}$引脚由端口锁存器控制
10 = 使能并使用UxTX、UxRX、$\overline{\text{UxCTS}}$和$\overline{\text{UxRTS}}$引脚
01 = 使能并使用UxTX、UxRX和$\overline{\text{UxRTS}}$引脚；$\overline{\text{UxCTS}}$引脚由端口锁存器控制
00 = 使能并使用UxTX和UxRX引脚；$\overline{\text{UxCTS}}$和$\overline{\text{UxRTS}}$/BCLKx引脚由端口锁存器控制

bit 7 **WAKE**：在休眠模式下检测到启动位唤醒使能位
1 = UARTx将继续采样UxRX引脚，在出现下降沿时产生中断；在之后的上升沿由硬件清零该位
0 = 未使能唤醒

bit 6 **LPBACK**：UARTx环回模式选择位
1 = 使能环回模式
0 = 禁止环回模式

注 1： 有关使能 UARTx 模块进行接收或发送操作的信息，请参见《dsPIC33/PIC24 系列参考手册》中的**“通用异步收发器（UART）”**（DS70000582）。
2： 该功能仅在16倍BRG模式（BRGH = 0）下可用。

寄存器18-1：　　UxMODE：UARTx模式寄存器（续）

bit 5　　**ABAUD**：自动波特率使能位
1 = 使能对下一个字符的波特率测量——需要在接收其他数据前接收同步字段（55h）；完成时由硬件清零
0 = 禁止波特率测量或测量已完成

bit 4　　**URXINV**：UARTx接收极性翻转位
1 = UxRX的空闲状态为0
0 = UxRX的空闲状态为1

bit 3　　**BRGH**：高波特率使能位
1 = BRG在每个位周期内产生4个时钟信号（4倍波特率时钟，高速模式）
0 = BRG在每个位周期内产生16个时钟信号（16倍波特率时钟，标准模式）

bit 2-1　　**PDSEL<1:0>**：奇偶校验和数据选择位
11 = 9位数据，无奇偶校验
10 = 8位数据，奇校验
01 = 8位数据，偶校验
00 = 8位数据，无奇偶校验

bit 0　　**STSEL**：停止位选择位
1 = 2个停止位
0 = 1个停止位

注 1：有关使能 UARTx 模块进行接收或发送操作的信息，请参见《dsPIC33/PIC24 系列参考手册》中的**“通用异步收发器（UART）”**（DS70000582）。
2：该功能仅在16倍BRG模式（BRGH = 0）下可用。

© 2015-2018 Microchip Technology Inc.

寄存器18-2：　　UxSTA：UARTx状态和控制寄存器

R/W-0	R/W-0	R/W-0	U-0	R/W-0, HC	R/W-0	R-0	R-1
UTXISEL1	UTXINV	UTXISEL0	—	UTXBRK	UTXEN(1)	UTXBF	TRMT
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R-1	R-0	R-0	R/C-0	R-0
URXISEL1	URXISEL0	ADDEN	RIDLE	PERR	FERR	OERR	URXDA
bit 7							bit 0

图注：	C = 可清零位	HC = 硬件清零位	
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15,13　**UTXISEL<1:0>**：UARTx发送中断模式选择位
11 = 保留；不要使用
10 = 当一个字符被传输到发送移位寄存器（Transmit Shift Register，TSR）导致发送缓冲区为空时，产生中断
01 = 当最后一个字符被移出发送移位寄存器，所有发送操作执行完毕时产生中断
00 = 当一个字符被传输到发送移位寄存器（这意味着发送缓冲区中至少有一个字符）时产生中断

bit 14　**UTXINV**：UARTx发送极性翻转位
如果IREN = 0：
1 = UxTX的空闲状态为0
0 = UxTX的空闲状态为1
如果IREN = 1：
1 = IrDA®编码，UxTX空闲状态为1
0 = IrDA编码，UxTX空闲状态为0

bit 12　**未实现**：读为0

bit 11　**UTXBRK**：UARTx发送间隔位
1 = 在下次发送时发送同步间隔字符——启动位，后跟12个0位，然后是停止位；完成时由硬件清零
0 = 禁止或已完成同步间隔字符的发送

bit 10　**UTXEN**：UARTx发送使能位(1)
1 = 使能发送，UARTx控制UxTX引脚
0 = 禁止发送，中止所有等待的发送，缓冲区被复位；由端口控制UxTX引脚

bit 9　**UTXBF**：UARTx发送缓冲区满状态位（只读）
1 = 发送缓冲区已满
0 = 发送缓冲区未满；至少还可再写入一个字符

bit 8　**TRMT**：发送移位寄存器空位（只读）
1 = 发送移位寄存器为空，同时发送缓冲区为空（上一次发送已完成）
0 = 发送移位寄存器非空，发送在进行中或在发送缓冲区中排队

bit 7-6　**URXISEL<1:0>**：UARTx接收中断模式选择位
11 = 当UxRSR传输使接收缓冲区为满（即有4个数据字符）时，中断标志位置1
10 = 当UxRSR传输使接收缓冲区3/4满（即有3个数据字符）时，中断标志位置1
0x = 当接收到任一字符且将字符从UxRSR传输到接收缓冲区时，中断标志位置1；接收缓冲区有一个或多个字符

注 1： 有关使能UARTx模块进行发送操作的信息，请参见《dsPIC33/PIC24系列参考手册》中的**“通用异步收发器（UART）”**（DS70000582）。

寄存器18-2：　UxSTA：UARTx状态和控制寄存器（续）

bit 5　**ADDEN：**地址字符检测位（接收到数据的bit 8 = 1）
1 = 使能地址检测模式；如果没有选择9位模式，该位将不会产生任何作用
0 = 禁止地址检测模式

bit 4　**RIDLE：**接收器空闲位（只读）
1 = 接收器空闲
0 = 接收器工作

bit 3　**PERR：**奇偶校验错误状态位（只读）
1 = 检测到当前字符（接收FIFO顶部的字符）的奇偶校验错误
0 = 未检测到奇偶校验错误

bit 2　**FERR：**帧错误状态位（只读）
1 = 检测到当前字符（接收FIFO顶部的字符）的帧错误
0 = 未检测到帧错误

bit 1　**OERR：**接收缓冲区溢出错误状态位（清零/只读）
1 = 接收缓冲区已溢出
0 = 接收缓冲区未溢出；清零原来置1的OERR位（1 → 0的跳变）将使接收缓冲区和UxRSR复位为空状态

bit 0　**URXDA：**UARTx接收缓冲区中是否有数据位（只读）
1 = 接收缓冲区中有数据，至少还有一个字符可被读取
0 = 接收缓冲区为空

注 1： 有关使能UARTx模块进行发送操作的信息，请参见《dsPIC33/PIC24系列参考手册》中的**“通用异步收发器（UART）”**（DS70000582）。

© 2015-2018 Microchip Technology Inc.

19.0 高速12位模数转换器（ADC）

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“12位高速多SAR A/D转换器（ADC）》”**（DS70005213），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

dsPIC33EPXXGS50X器件具有一个高速12位模数转换器（ADC），该模数转换器具有低转换延时、高分辨率和过采样能力，可提高在交流/直流和直流/直流电源转换器应用中的性能。

19.1 特性概述

高速12位多SAR模数转换器（ADC）包括以下特性：

- 5个ADC内核：4个专用内核和1个共用（公用）内核
- 用户可为每个内核配置最高12位的分辨率
- 12位分辨率时每个通道的转换速率最高为3.25 Msps
- 低延时转换
- 最多22个模拟输入通道，每个输入具有单独的16位转换结果寄存器
- 对于所有通道中的每个通道，转换结果可以采用有符号或无符号数据格式
- 所有ADC内核上均提供单端转换和伪差分转换
- 可同时采样最多5个模拟输入
- 通道扫描能力
- 每个内核有多个转换触发选项，包括：
  - PWM1至PWM5（主触发和辅助触发以及限流事件触发）
  - PWM特殊事件触发
  - Timer1/Timer2周期匹配
  - 输出比较1和事件触发
  - 外部引脚触发事件（ADTRG31）
  - 软件触发
- 两个带专用中断的集成数字比较器：
  - 多个比较选项
  - 可分配给特定的模拟输入
- 两个带专用中断的过采样滤波器：
  - 提供更高的分辨率
  - 可分配给特定的模拟输入

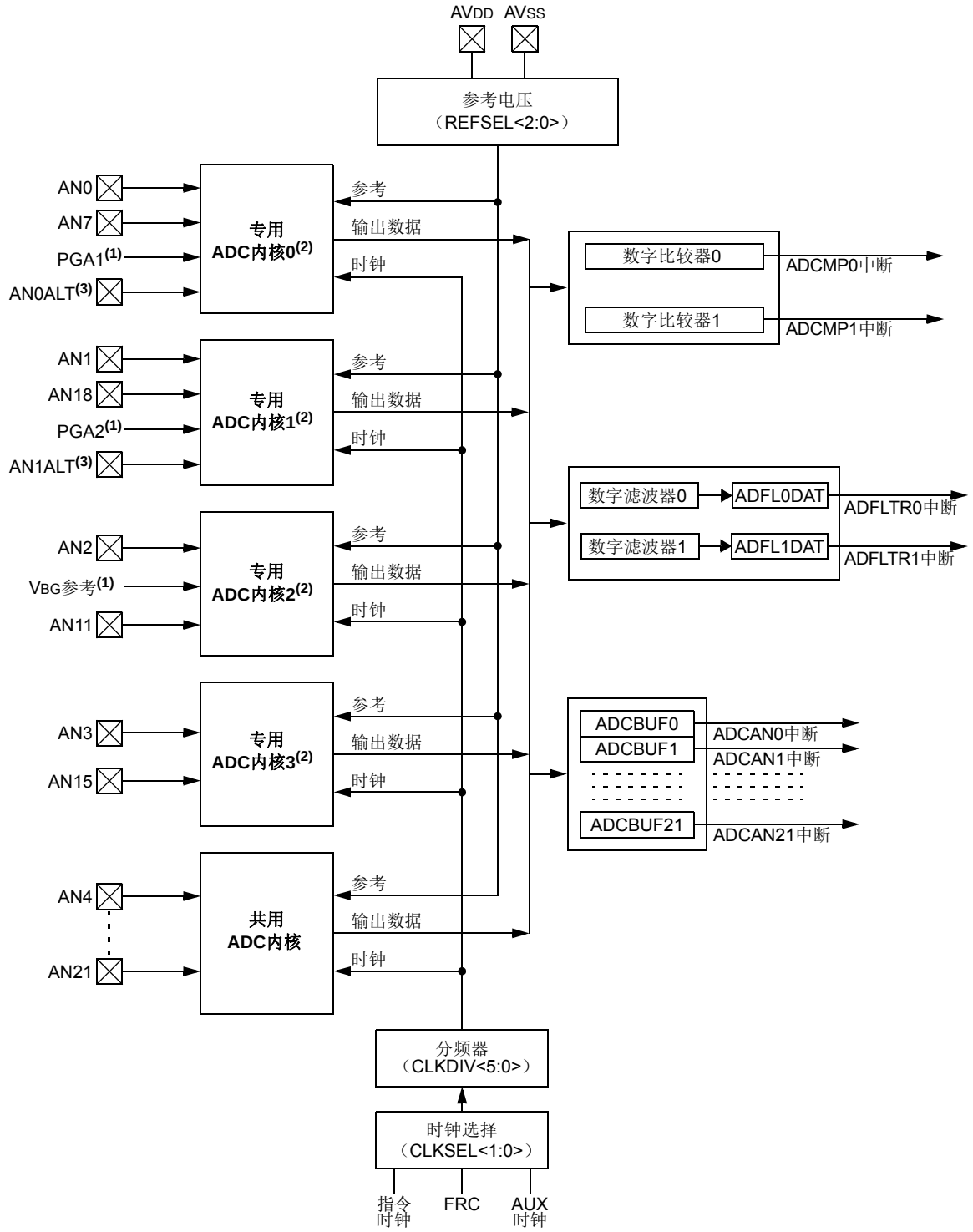
模块包含5个独立的SAR ADC内核。图19-1、图19-2和图19-3给出了12位多SAR ADC的简化框图。

模拟输入（通道）通过多路开关和开关连接到每个ADC内核的采样保持（Sample-and-Hold，S&H）电路。内核使用通道信息（输出格式、测量模式和输入编号）来处理模拟采样。转换完成时，结果将存储到特定模拟输入的结果缓冲区中，并在数字滤波器和数字比较器配置为使用此特定通道中的数据时传递给二者。

ADC模块每次最多可采样5个输入（4个输入来自专用SAR内核，1个输入来自共用SAR内核）。如果共用内核上有多个ADC输入请求转换，模块将从编号最低的输入开始按顺序进行转换。

ADC使每个模拟输入能够指定其自身的触发源。该功能使ADC可以采样和转换与依靠独立时基工作的PWM发生器关联的模拟输入。

图19-1： ADC模块框图



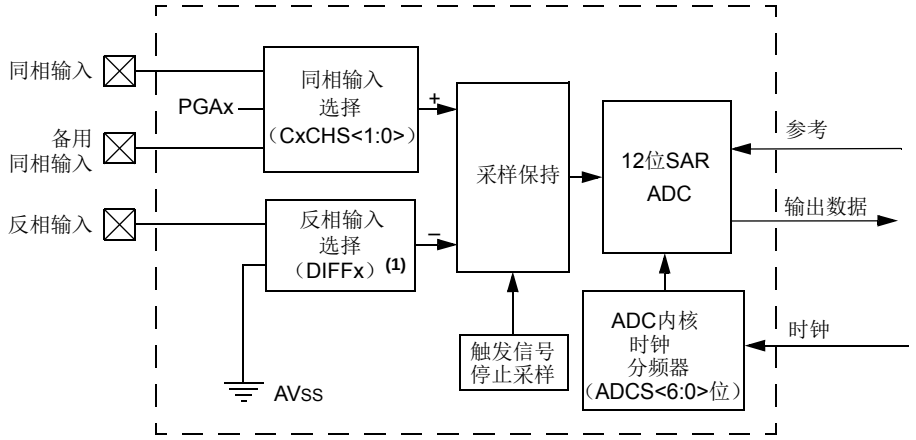
注 1： PGA1、PGA2和带隙参考（VBG）是内部模拟输入，未在器件引脚上提供。

2： 如果专用内核使用备用通道，则无法使用共用内核功能。

3： dsPIC33EPXXGS502器件上不提供AN0ALT和AN1ALT。

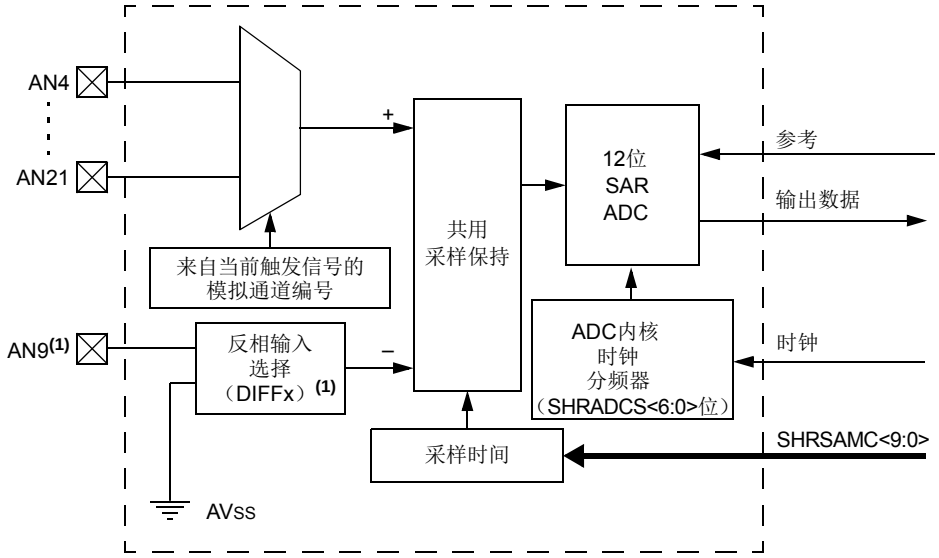
© 2015-2018 Microchip Technology Inc.

图19-2： 专用内核0至3框图



注 1： 必须将相应同相输入通道的DIFFx位置1才能使用反相差分输入。

图19-3： 共用内核框图



注 1： 差分模式转换不适用于 dsPIC33EPXXGS502 器件中的共用 ADC 内核。对于所有其他器件，必须将相应同相输入通道的DIFFx位置1才能将AN9用作反相差分输入。

19.2 模数转换器资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

19.2.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

寄存器19-1： ADCON1L：ADC控制寄存器1的低位字

R/W-0	U-0	R/W-0	U-0	U-0	U-0	U-0	U-0
ADON(1)	—	ADSIDL	—	—	—	—	—
bit 15							bit 8

U-0	r-0	r-0	r-0	r-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

图注：	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **ADON**：ADC使能位(1)
1 = 使能ADC模块
0 = 禁止ADC模块

bit 14 **未实现**：读为0

bit 13 **ADSIDL**：ADC空闲模式停止位
1 = 当器件进入空闲模式时，模块停止工作
0 = 在空闲模式下模块继续工作

bit 12-7 **未实现**：读为0

bit 6-3 **保留**：保持为0

bit 2-0 **未实现**：读为0

注 1： 仅应在配置完ADC模块后将ADON位置1。在ADON = 1时更改ADC配置位将导致不可预测的行为。

© 2015-2018 Microchip Technology Inc.

寄存器19-2： ADCON1H：ADC控制寄存器1的高位字

r-0	r-0	r-0	r-0	r-0	r-0	r-0	r-0
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-0	R/W-1	R/W-1	r-0	r-0	r-0	r-0	r-0
FORM	SHRRES1	SHRRES0	—	—	—	—	—
bit 7							bit 0

图注：	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **保留：**保持为0

bit 7 **FORM：**小数数据输出格式位
1 = 小数
0 = 整数

bit 6-5 **SHRRES<1:0>：**共用ADC内核分辨率选择位
11 = 12位分辨率
10 = 10位分辨率
01 = 8位分辨率
00 = 6位分辨率

bit 4-0 **保留：**保持为0

寄存器19-3： ADCON2L：ADC控制寄存器2的低位字

R/W-0	R/W-0	r-0	R/W-0	r-0	R/W-0	R/W-0	R/W-0
REFCIE	REFERCIE	—	EIEN	—	SHREISEL2(1)	SHREISEL1(1)	SHREISEL0(1)
bit 15							bit 8

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	SHRADCS6	SHRADCS5	SHRADCS4	SHRADCS3	SHRADCS2	SHRADCS1	SHRADCS0
bit 7							bit 0

图注：	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **REFCIE：**带隙和参考电压就绪通用中断允许位
1 = 带隙就绪时产生通用中断
0 = 禁止在发生带隙就绪事件时产生通用中断

bit 14 **REFERCIE：**带隙或参考电压错误通用中断允许位
1 = 检测到带隙或参考电压错误时产生通用中断
0 = 禁止在发生带隙和参考电压错误事件时产生通用中断

bit 13 **保留：**保持为0

bit 12 **EIEN：**提前中断允许位
1 = 为输入通道中断允许提前中断功能（EISTATx标志置1时）
0 = 转换完成时产生各个中断（ANxRDY标志置1时）

bit 11 **保留：**保持为0

bit 10-8 **SHREISEL<2:0>：**共用内核提前中断时间选择位(1)
111 = 设置提前中断，产生中断的时间比数据就绪的时间提前8个TADCORE时钟
110 = 设置提前中断，产生中断的时间比数据就绪的时间提前7个TADCORE时钟
101 = 设置提前中断，产生中断的时间比数据就绪的时间提前6个TADCORE时钟
100 = 设置提前中断，产生中断的时间比数据就绪的时间提前5个TADCORE时钟
011 = 设置提前中断，产生中断的时间比数据就绪的时间提前4个TADCORE时钟
010 = 设置提前中断，产生中断的时间比数据就绪的时间提前3个TADCORE时钟
001 = 设置提前中断，产生中断的时间比数据就绪的时间提前2个TADCORE时钟
000 = 设置提前中断，产生中断的时间比数据就绪的时间提前1个TADCORE时钟

bit 7 **未实现：**读为0

bit 6-0 **SHRADCS<6:0>：**共用ADC内核输入时钟分频比位
这些位用于确定一个共用TADCORE（内核时钟周期）中的TCORESRC（源时钟周期）数。
1111111 = 254个源时钟周期
•
•
•
0000011 = 6个源时钟周期
0000010 = 4个源时钟周期
0000001 = 2个源时钟周期
0000000 = 2个源时钟周期

注 1： 对于6位共用ADC内核分辨率（SHRRES<1:0> = 00），SHREISEL<2:0>设置100至111无效，请勿使用。
对于8位共用ADC内核分辨率（SHRRES<1:0> = 01），SHREISEL<2:0>设置110和111无效，请勿使用。

© 2015-2018 Microchip Technology Inc.

寄存器19-4： ADCON2H：ADC控制寄存器2的高位字

R-0, HSC	R-0, HSC	r-0	r-0	r-0	r-0	R/W-0	R/W-0
REFRDY	REFERR	—	—	—	—	SHRSAMC9	SHRSAMC8
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SHRSAMC7	SHRSAMC6	SHRSAMC5	SHRSAMC4	SHRSAMC3	SHRSAMC2	SHRSAMC1	SHRSAMC0
bit 7							bit 0

图注：	r = 保留位	U = 未实现位，读为0	
R = 可读位	W = 可写位	HSC = 硬件置1/清零位	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **REFRDY**：带隙和参考电压就绪标志位
1 = 带隙就绪
0 = 带隙未就绪

bit 14 **REFERR**：带隙或参考电压错误标志位
1 = ADC模块使能（ADON = 1）后带隙被移除
0 = 未检测到带隙错误

bit 13-10 **保留**：保持为0

bit 9-0 **SHRSAMC<9:0>**：共用ADC内核采样时间选择位
这些位用于指定共用ADC内核采样时间内的共用ADC内核时钟周期（TADCORE）数。
1111111111 = 1025个TADCORE
•
•
•
0000000001 = 3个TADCORE
0000000000 = 2个TADCORE

寄存器19-5： ADCON3L：ADC控制寄存器3的低位字

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0, HSC	R/W-0	R-0, HSC
REFSEL2	REFSEL1	REFSEL0	SUSPEND	SUSPCIE	SUSPRDY	SHRSAMP	CNVRTCH
bit 15							bit 8

R/W-0	R/W-0, HSC	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SWLCTRG	SWCTRG	CNVCHSEL5	CNVCHSEL4	CNVCHSEL3	CNVCHSEL2	CNVCHSEL1	CNVCHSEL0
bit 7							bit 0

图注：	U = 未实现位，读为0		
R = 可读位	W = 可写位	HSC = 硬件置1/清零位	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-13 **REFSEL<2:0>：**ADC参考电压选择位

值	VREFH	VREFL
000	AVDD	AVSS

001-111 = **未实现：**不要使用

bit 12 **SUSPEND：**所有ADC内核的触发禁止位
1 = 禁止所有ADC内核的所有新触发事件
0 = 可以触发所有ADC内核

bit 11 **SUSPCIE：**所有ADC内核暂停通用中断允许位
1 = ADC内核触发暂停（SUSPEND位 = 1）且之前的所有转换完成（SUSPRDY位置1）时产生通用中断
0 = 发生ADC内核暂停事件时不产生通用中断

bit 10 **SUSPRDY：**所有ADC内核暂停标志位
1 = 所有ADC内核暂停（SUSPEND位 = 1）且未在进行任何转换
0 = ADC内核正在进行之前的转换

bit 9 **SHRSAMP：**共用ADC内核采样直接控制位
该位应与CNVRTCH位控制的单独通道转换触发信号配合使用。它将CNVCHSEL<5:0>位指定的模拟输入与共用ADC内核相连，并允许延长采样时间。该位并非由硬件控制，必须在转换开始前清零（将CNVRTCH置1）。
1 = 共用ADC内核采样CNVCHSEL<5:0>位指定的模拟输入
0 = 采样由共用ADC内核硬件控制

bit 8 **CNVRTCH：**软件单独通道转换触发位
1 = 为CNVCHSEL<5:0>位指定的模拟输入产生单个触发信号；该位置1后，将由硬件在下一个指令周期自动清零
0 = 可产生下一个单独通道转换触发信号

bit 7 **SWLCTRG：**软件电平敏感通用触发位
1 = 连续为所有通道产生触发信号，其中软件电平敏感通用触发信号选作ADTRIGxL和ADTRIGxH寄存器中的触发源
0 = 不产生软件电平敏感通用触发信号

bit 6 **SWCTRG：**软件通用触发位
1 = 为所有通道产生单个触发信号，其中软件通用触发信号选作ADTRIGxL和ADTRIGxH寄存器中的触发源；该位置1后，将由硬件在下一个指令周期自动清零
0 = 准备产生下一个软件通用触发信号

bit 5-0 **CNVCHSEL<5:0>：**软件单独通道转换触发的通道编号选择位
这些位用于定义CNVRTCH位置1时要转换的通道。

© 2015-2018 Microchip Technology Inc.

寄存器19-6： ADCON3H：ADC控制寄存器3的高位字

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CLKSEL1	CLKSEL0	CLKDIV5	CLKDIV4	CLKDIV3	CLKDIV2	CLKDIV1	CLKDIV0
bit 15							bit 8

R/W-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
SHREN	—	—	—	C3EN	C2EN	C1EN	C0EN
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-14 **CLKSEL<1:0>：**ADC模块时钟源选择位
11 = APLL
10 = FRC
01 = FOSC（系统时钟 x 2）
00 = FSYS（系统时钟）

bit 13-8 **CLKDIV<5:0>：**ADC模块时钟源分频比位
该分频比根据CLKSEL<2:0>位选择的TSRC ADC模块时钟源形成所有ADC内核（共用和专用）使用的TCORESRC时钟。随后，每个ADC内核通过ADCOREXH寄存器中的ADCS<6:0>位或ADCON2L寄存器中的SHRADCS<6:0>位单独对TCORESRC时钟进行分频，以获得内核特定的TADCORE时钟。
111111 = 64个源时钟周期
•
•
•
000011 = 4个源时钟周期
000010 = 3个源时钟周期
000001 = 2个源时钟周期
000000 = 1个源时钟周期

bit 7 **SHREN：**共用ADC内核使能位
1 = 使能共用ADC内核
0 = 禁止共用ADC内核

bit 6-4 **未实现：**读为0

bit 3 **C3EN：**专用ADC内核3使能位
1 = 使能专用ADC内核3
0 = 禁止专用ADC内核3

bit 2 **C2EN：**专用ADC内核2使能位
1 = 使能专用ADC内核2
0 = 禁止专用ADC内核2

bit 1 **C1EN：**专用ADC内核1使能位
1 = 使能专用ADC内核1
0 = 禁止专用ADC内核1

bit 0 **C0EN：**专用ADC内核0使能位
1 = 使能专用ADC内核0
0 = 禁止专用ADC内核0

寄存器19-7： ADCON4L：ADC控制寄存器4的低位字

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	SYNCTRG3	SYNCTRG2	SYNCTRG1	SYNCTRG0
bit 15							bit 8

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	SAMC3EN	SAMC2EN	SAMC1EN	SAMC0EN
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-12 **未实现：**读为0

bit 11 **SYNCTRG3：**专用ADC内核3触发同步位
1 = 所有触发信号与内核源时钟（TCORESRC）同步
0 = ADC内核触发信号不进行同步

bit 10 **SYNCTRG2：**专用ADC内核2触发同步位
1 = 所有触发信号与内核源时钟（TCORESRC）同步
0 = ADC内核触发信号不进行同步

bit 9 **SYNCTRG1：**专用ADC内核1触发同步位
1 = 所有触发信号与内核源时钟（TCORESRC）同步
0 = ADC内核触发信号不进行同步

bit 8 **SYNCTRG0：**专用ADC内核0触发同步位
1 = 所有触发信号与内核源时钟（TCORESRC）同步
0 = ADC内核触发信号不进行同步

bit 7-4 **未实现：**读为0

bit 3 **SAMC3EN：**专用ADC内核3转换延时使能位
1 = 触发后，转换将延时，ADC内核将在ADCORE3L寄存器中的SAMC<9:0>位指定的时间内继续采样
0 = 触发后，采样立即停止，转换将在下一个内核时钟周期开始

bit 2 **SAMC2EN：**专用ADC内核2转换延时使能位
1 = 触发后，转换将延时，ADC内核将在ADCORE2L寄存器中的SAMC<9:0>位指定的时间内继续采样
0 = 触发后，采样立即停止，转换将在下一个内核时钟周期开始

bit 1 **SAMC1EN：**专用ADC内核1转换延时使能位
1 = 触发后，转换将延时，ADC内核将在ADCORE1L寄存器中的SAMC<9:0>位指定的时间内继续采样
0 = 触发后，采样立即停止，转换将在下一个内核时钟周期开始

bit 0 **SAMC0EN：**专用ADC内核0转换延时使能位
1 = 触发后，转换将延时，ADC内核将在ADCORE0L寄存器中的SAMC<9:0>位指定的时间内继续采样
0 = 触发后，采样立即停止，转换将在下一个内核时钟周期开始

© 2015-2018 Microchip Technology Inc.

寄存器19-8： ADCON4H：ADC控制寄存器4的高位字

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
C3CHS1	C3CHS0	C2CHS1	C2CHS0	C1CHS1	C1CHS0	C0CHS1	C0CHS0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-8 **未实现：**读为0

bit 7-6 **C3CHS<1:0>：**专用ADC内核3输入通道选择位
1x = 保留
01 = AN15（DIFF3（ADMOD0L<7>）= 1时为差分反相输入）
00 = AN3

bit 5-4 **C2CHS<1:0>：**专用ADC内核2输入通道选择位
11 = 保留
10 = VREF带隙
01 = AN11（DIFF2（ADMOD0L<5>）= 1时为差分反相输入）
00 = AN2

bit 3-2 **C1CHS<1:0>：**专用ADC内核1输入通道选择位
11 = AN1ALT
10 = PGA2
01 = AN18（DIFF1（ADMOD0L<3>）= 1时为差分反相输入）
00 = AN1

bit 1-0 **C0CHS<1:0>：**专用ADC内核0输入通道选择位
11 = AN0ALT
10 = PGA1
01 = AN7（DIFF0（ADMOD0L<1>）= 1时为差分反相输入）
00 = AN0

寄存器19-9： ADCON5L：ADC控制寄存器5的低位字

R-0, HSC	U-0	U-0	U-0	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC
SHRRDY	—	—	—	C3RDY	C2RDY	C1RDY	C0RDY
bit 15							bit 8

R/W-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
SHRPWR	—	—	—	C3PWR	C2PWR	C1PWR	C0PWR
bit 7							bit 0

图注：	U = 未实现位，读为0		
R = 可读位	W = 可写位	HSC = 硬件置1/清零位	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **SHRRDY**：共用ADC内核就绪标志位
1 = ADC内核上电并准备工作
0 = ADC内核未准备好进行工作

bit 14-12 **未实现**：读为0

bit 11 **C3RDY**：专用ADC内核3就绪标志位
1 = ADC内核上电并准备工作
0 = ADC内核未准备好进行工作

bit 10 **C2RDY**：专用ADC内核2就绪标志位
1 = ADC内核上电并准备工作
0 = ADC内核未准备好进行工作

bit 9 **C1RDY**：专用ADC内核1就绪标志位
1 = ADC内核上电并准备工作
0 = ADC内核未准备好进行工作

bit 8 **C0RDY**：专用ADC内核0就绪标志位
1 = ADC内核上电并准备工作
0 = ADC内核未准备好进行工作

bit 7 **SHRPWR**：共用ADC内核x电源使能位
1 = ADC内核x上电
0 = ADC内核x断电

bit 6-4 **未实现**：读为0

bit 3 **C3PWR**：专用ADC内核3电源使能位
1 = ADC内核上电
0 = ADC内核断电

bit 2 **C2PWR**：专用ADC内核2电源使能位
1 = ADC内核上电
0 = ADC内核断电

bit 1 **C1PWR**：专用ADC内核1电源使能位
1 = ADC内核上电
0 = ADC内核断电

bit 0 **C0PWR**：专用ADC内核0电源使能位
1 = ADC内核上电
0 = ADC内核断电

© 2015-2018 Microchip Technology Inc.

寄存器19-10： ADCON5H：ADC控制寄存器5的高位字

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	WARMTIME3	WARMTIME2	WARMTIME1	WARMTIME0
bit 15							bit 8

R/W-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
SHRCIE	—	—	—	C3CIE	C2CIE	C1CIE	C0CIE
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-12 **未实现：**读为0

bit 11-8 **WARMTIME<3:0>：**ADC专用内核x上电延时位
这些位用于通过所有ADC内核的内核源时钟周期（TCORESRC）数来确定上电延时。
1111 = 32768个源时钟周期
1110 = 16384个源时钟周期
1101 = 8192个源时钟周期
1100 = 4096个源时钟周期
1011 = 2048个源时钟周期
1010 = 1024个源时钟周期
1001 = 512个源时钟周期
1000 = 256个源时钟周期
0111 = 128个源时钟周期
0110 = 64个源时钟周期
0101 = 32个源时钟周期
0100 = 16个源时钟周期
00xx = 16个源时钟周期

bit 7 **SHRCIE：**共用ADC内核就绪通用中断允许位
1 = 当ADC内核上电且准备好进行工作时产生通用中断
0 = 禁止在发生ADC内核就绪事件时产生通用中断

bit 6-4 **未实现：**读为0

bit 3 **C3CIE：**专用ADC内核3就绪通用中断允许位
1 = 当ADC内核3上电且准备好进行工作时产生通用中断
0 = 禁止在发生ADC内核3就绪事件时产生通用中断

bit 2 **C2CIE：**专用ADC内核2就绪通用中断允许位
1 = 当ADC内核2上电且准备好进行工作时产生通用中断
0 = 禁止在发生ADC内核2就绪事件时产生通用中断

bit 1 **C1CIE：**专用ADC内核1就绪通用中断允许位
1 = 当ADC内核1上电且准备好进行工作时产生通用中断
0 = 禁止在发生ADC内核1就绪事件时产生通用中断

bit 0 **C0CIE：**专用ADC内核0就绪通用中断允许位
1 = 当ADC内核0上电且准备好进行工作时产生通用中断
0 = 禁止在发生ADC内核0就绪事件时产生通用中断

寄存器19-11： ADCORExL：专用ADC内核x控制寄存器的低位字（x = 0至3）

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	SAMC<9:8>	
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SAMC<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-10 **未实现：**读为0

bit 9-0 **SAMC<9:0>：**专用ADC内核x转换延时选择位

这些位用于通过内核时钟周期（TADCORE）数来确定从触发事件到转换开始经过的时间。在这段时间内，ADC内核x将继续采样。该功能通过ADCON4L寄存器中的SAMCxEN位使能。

1111111111 = 1025个TADCORE

•

•

•

0000000001 = 3个TADCORE

0000000000 = 2个TADCORE

© 2015-2018 Microchip Technology Inc.

寄存器19-12： ADCOREXH：专用ADC内核x控制寄存器的高位字（x = 0至3）(1)

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1
—	—	—	EISEL2	EISEL1	EISEL0	RES1	RES0
bit 15							bit 8

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	ADCS6	ADCS5	ADCS4	ADCS3	ADCS2	ADCS1	ADCS0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-13 **未实现：**读为0

bit 12-10 **EISEL<2:0>：**ADC内核x提前中断时间选择位

111 = 设置提前中断，产生中断的时间比数据就绪的时间提前8个TADCORE时钟
110 = 设置提前中断，产生中断的时间比数据就绪的时间提前7个TADCORE时钟
101 = 设置提前中断，产生中断的时间比数据就绪的时间提前6个TADCORE时钟
100 = 设置提前中断，产生中断的时间比数据就绪的时间提前5个TADCORE时钟
011 = 设置提前中断，产生中断的时间比数据就绪的时间提前4个TADCORE时钟
010 = 设置提前中断，产生中断的时间比数据就绪的时间提前3个TADCORE时钟
001 = 设置提前中断，产生中断的时间比数据就绪的时间提前2个TADCORE时钟
000 = 设置提前中断，产生中断的时间比数据就绪的时间提前1个TADCORE时钟

bit 9-8 **RES<1:0>：**ADC内核x分辨率选择位

11 = 12位分辨率
10 = 10位分辨率
01 = 8位分辨率
00 = 6位分辨率

bit 7 **未实现：**读为0

bit 6-0 **ADCS<6:0>：**ADC内核x输入时钟分频比位

这些位用于确定一个内核时钟周期（TADCORE）中的源时钟周期（TCORESRC）数。
1111111 = 254个源时钟周期
•
•
•
0000011 = 6个源时钟周期
0000010 = 4个源时钟周期
0000001 = 2个源时钟周期
0000000 = 2个源时钟周期

注 1： 对于6位ADC内核分辨率（RES<1:0> = 00），EISEL<2:0>位设置100至111无效，请勿使用。对于8位ADC内核分辨率（RES<1:0> = 01），EISEL<2:0>位设置110和111无效，请勿使用。

寄存器19-13： ADLVLTRGL：ADC电平敏感触发控制寄存器的低位字

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
LVLEN<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
LVLEN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **LVLEN<15:0>：**相应模拟输入的电平触发使能位
1 = 输入触发为电平敏感
0 = 输入触发为边沿敏感

寄存器19-14： ADLVLTRGH：ADC电平敏感触发控制寄存器的高位字

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	LVLEN<21:16>					
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-6 **未实现：**读为0
bit 5-0 **LVLEN<21:16>：**相应模拟输入的电平触发使能位
1 = 输入触发为电平敏感
0 = 输入触发为边沿敏感

© 2015-2018 Microchip Technology Inc.

寄存器19-15： ADEIEL：ADC提前中断允许寄存器的低位字

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EIEN<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EIEN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **EIEN<15:0>：**相应模拟输入的提前中断允许位
1 = 允许通道的提前中断
0 = 禁止通道的提前中断

寄存器19-16： ADEIEH：ADC提前中断允许寄存器的高位字

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	EIEN<21:16>					
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-6 **未实现：**读为0
bit 5-0 **EIEN<21:16>：**相应模拟输入的提前中断允许位
1 = 允许通道的提前中断
0 = 禁止通道的提前中断

寄存器19-17： ADEISTATL：ADC提前中断状态寄存器的低位字

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EISTAT<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EISTAT<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **EISTAT<15:0>**：相应模拟输入的提前中断状态位
1 = 产生提前中断
0 = 上一次ADCBUFx读取后未产生提前中断

寄存器19-18： ADEISTATH：ADC提前中断状态寄存器的高位字

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	EISTAT<21:16>					
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-6 **未实现**：读为0
bit 5-0 **EISTAT<21:16>**：相应模拟输入的提前中断状态位
1 = 产生提前中断
0 = 上一次ADCBUFx读取后未产生提前中断

© 2015-2018 Microchip Technology Inc.

寄存器19-19： ADMOD0L：ADC输入模式控制寄存器0的低位字

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DIFF7	SIGN7	DIFF6	SIGN6	DIFF5	SIGN5	DIFF4	SIGN4
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DIFF3	SIGN3	DIFF2	SIGN2	DIFF1	SIGN1	DIFF0	SIGN0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-1（奇数） **DIFF<7:0>**：相应模拟输入的差分模式位
1 = 通道为差分模式
0 = 通道为单端模式

bit 14-0（偶数） **SIGN<7:0>**：相应模拟输入的输出数据符号位
1 = 通道输出数据有符号
0 = 通道输出数据无符号

寄存器19-20： ADMOD0H：ADC输入模式控制寄存器0的高位字

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DIFF15	SIGN15	DIFF14	SIGN14	DIFF13	SIGN13	DIFF12	SIGN12
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DIFF11	SIGN11	DIFF10	SIGN10	DIFF9	SIGN9	DIFF8	SIGN8
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-1（奇数） **DIFF<15:8>**：相应模拟输入的差分模式位
1 = 通道为差分模式
0 = 通道为单端模式

bit 14-0（偶数） **SIGN<15:8>**：相应模拟输入的输出数据符号位
1 = 通道输出数据有符号
0 = 通道输出数据无符号

寄存器19-21： ADMOD1L：ADC输入模式控制寄存器1的低位字

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	DIFF21	SIGN21	DIFF20	SIGN20
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DIFF19	SIGN19	DIFF18	SIGN18	DIFF17	SIGN17	DIFF16	SIGN16
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-12 **未实现：**读为0

bit 11-1（奇数） **DIFF<21:16>：**相应模拟输入的差分模式位
1 = 通道为差分模式
0 = 通道为单端模式

bit 10-0（偶数） **SIGN<21:16>：**相应模拟输入的输出数据符号位
1 = 通道输出数据有符号
0 = 通道输出数据无符号

© 2015-2018 Microchip Technology Inc.

寄存器19-22： ADIEL：ADC中断允许寄存器的低位字

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IE<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IE<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **IE<15:0>**：通用中断允许位
1 = 相应通道允许通用中断和单独中断
0 = 相应通道禁止通用中断和单独中断

寄存器19-23： ADIEH：ADC中断允许寄存器的高位字

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	IE<21:16>					
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-6 **未实现**：读为0

bit 5-0 **IE<21:16>**：通用中断允许位
1 = 相应通道允许通用中断和单独中断
0 = 相应通道禁止通用中断和单独中断

寄存器19-24： ADSTATL：ADC数据就绪状态寄存器的低位字

R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC
AN<15:8>RDY							
bit 15							bit 8

R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC
AN<7:0>RDY							
bit 7							bit 0

图注：	U = 未实现位，读为0		
R = 可读位	W = 可写位	HSC = 硬件置1/清零位	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **AN<15:0>RDY：**相应模拟输入的通用中断允许位
1 = 相应ADCBUFx寄存器中的通道转换结果已就绪
0 = 通道转换结果未就绪

寄存器19-25： ADSTATH：ADC数据就绪状态寄存器的高位字

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC
—	—	AN<21:16>RDY					
bit 7							bit 0

图注：	U = 未实现位，读为0		
R = 可读位	W = 可写位	HSC = 硬件置1/清零位	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-6 **未实现：**读为0
bit 5-0 **AN<21:16>RDY：**相应模拟输入的通用中断允许位
1 = 相应ADCBUFx寄存器中的通道转换结果已就绪
0 = 通道转换结果未就绪

© 2015-2018 Microchip Technology Inc.

寄存器19-26： ADTRIGxL：ADC通道触发x选择寄存器的低位字（x = 0至5）

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	TRGSRC(4x+1)<4:0>				
bit 15							bit 8

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	TRGSRC(4x)<4:0>				
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-13 **未实现：**读为0

bit 12-8 **TRGSRC(4x+1)<4:0>：**相应模拟输入的触发源选择位
11111 = ADTRG31
11110 = 保留
11101 = 保留
11100 = PWM发生器5限流触发
11011 = PWM发生器4限流触发
11010 = PWM发生器3限流触发
11001 = PWM发生器2限流触发
11000 = PWM发生器1限流触发
10111 = 输出比较2触发
10110 = 输出比较1触发
10101 = 保留
10100 = 保留
10011 = PWM发生器5辅助触发
10010 = PWM发生器4辅助触发
10001 = PWM发生器3辅助触发
10000 = PWM发生器2辅助触发
01111 = PWM发生器1辅助触发
01110 = PWM辅助特殊事件触发
01101 = Timer2周期匹配
01100 = Timer1周期匹配
01011 = 保留
01010 = 保留
01001 = PWM发生器5主触发
01000 = PWM发生器4主触发
00111 = PWM发生器3主触发
00110 = PWM发生器2主触发
00101 = PWM发生器1主触发
00100 = PWM特殊事件触发
00011 = 保留
00010 = 电平软件触发
00001 = 通用软件触发
00000 = 不使能触发

bit 7-5 **未实现：**读为0

寄存器19-26： ADTRIGxL：ADC通道触发x选择寄存器的低位字（x = 0至5）（续）

bit 4-0 **TRGSRC(4x)<4:0>：**相应模拟输入的触发源选择位
11111 = ADTRG31
11110 = 保留
11101 = 保留
11100 = PWM发生器5限流触发
11011 = PWM发生器4限流触发
11010 = PWM发生器3限流触发
11001 = PWM发生器2限流触发
11000 = PWM发生器1限流触发
10111 = 输出比较2触发
10110 = 输出比较1触发
10101 = 保留
10100 = 保留
10011 = PWM发生器5辅助触发
10010 = PWM发生器4辅助触发
10001 = PWM发生器3辅助触发
10000 = PWM发生器2辅助触发
01111 = PWM发生器1辅助触发
01110 = PWM辅助特殊事件触发
01101 = Timer2周期匹配
01100 = Timer1周期匹配
01011 = 保留
01010 = 保留
01001 = PWM发生器5主触发
01000 = PWM发生器4主触发
00111 = PWM发生器3主触发
00110 = PWM发生器2主触发
00101 = PWM发生器1主触发
00100 = PWM特殊事件触发
00011 = 保留
00010 = 电平软件触发
00001 = 通用软件触发
00000 = 不使能触发

© 2015-2018 Microchip Technology Inc.

寄存器19-27： ADTRIGxH：ADC通道触发x选择寄存器的高位字（x = 0至5）

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	TRGSRC(4x+3)<4:0>				
bit 15							bit 8

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	TRGSRC(4x+2)<4:0>				
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-13 **未实现：**读为0

bit 12-8 **TRGSRC(4x+3)<4:0>：**相应模拟输入的触发源选择位
11111 = ADTRG31
11110 = 保留
11101 = 保留
11100 = PWM发生器5限流触发
11011 = PWM发生器4限流触发
11010 = PWM发生器3限流触发
11001 = PWM发生器2限流触发
11000 = PWM发生器1限流触发
10111 = 输出比较2触发
10110 = 输出比较1触发
10101 = 保留
10100 = 保留
10011 = PWM发生器5辅助触发
10010 = PWM发生器4辅助触发
10001 = PWM发生器3辅助触发
10000 = PWM发生器2辅助触发
01111 = PWM发生器1辅助触发
01110 = PWM辅助特殊事件触发
01101 = Timer2周期匹配
01100 = Timer1周期匹配
01011 = 保留
01010 = 保留
01001 = PWM发生器5主触发
01000 = PWM发生器4主触发
00111 = PWM发生器3主触发
00110 = PWM发生器2主触发
00101 = PWM发生器1主触发
00100 = PWM特殊事件触发
00011 = 保留
00010 = 电平软件触发
00001 = 通用软件触发
00000 = 不使能触发

bit 7-5 **未实现：**读为0

寄存器19-27： ADTRIGxH：ADC通道触发x选择寄存器的高位字（x = 0至5）（续）

bit 4-0 **TRGSRC(4x+2)<4:0>：**相应模拟输入的触发源选择位

11111 = ADTRG31
11110 = 保留
11101 = 保留
11100 = PWM发生器5限流触发
11011 = PWM发生器4限流触发
11010 = PWM发生器3限流触发
11001 = PWM发生器2限流触发
11000 = PWM发生器1限流触发
10111 = 输出比较2触发
10110 = 输出比较1触发
10101 = 保留
10100 = 保留
10011 = PWM发生器5辅助触发
10010 = PWM发生器4辅助触发
10001 = PWM发生器3辅助触发
10000 = PWM发生器2辅助触发
01111 = PWM发生器1辅助触发
01110 = PWM辅助特殊事件触发
01101 = Timer2周期匹配
01100 = Timer1周期匹配
01011 = 保留
01010 = 保留
01001 = PWM发生器5主触发
01000 = PWM发生器4主触发
00111 = PWM发生器3主触发
00110 = PWM发生器2主触发
00101 = PWM发生器1主触发
00100 = PWM特殊事件触发
00011 = 保留
00010 = 电平软件触发
00001 = 通用软件触发
00000 = 不使能触发

© 2015-2018 Microchip Technology Inc.

寄存器19-28： ADCAL0L：ADC校准寄存器0的低位字

R-0, HSC	U-0	U-0	U-0	r-0	R/W-0	R/W-0	R/W-0
CAL1RDY	—	—	—	—	CAL1DIFF	CAL1EN	CAL1RUN
bit 15							bit 8

R-0, HSC	U-0	U-0	U-0	r-0	R/W-0	R/W-0	R/W-0
CAL0RDY	—	—	—	—	CAL0DIFF	CAL0EN	CAL0RUN
bit 7							bit 0

图注：	r = 保留位	U = 未实现位，读为0	
R = 可读位	W = 可写位	HSC = 硬件置1/清零位	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **CAL1RDY**：专用ADC内核1校准状态标志位
1 = 专用ADC内核1已完成校准
0 = 专用ADC内核1正在校准

bit 14-12 **未实现**：读为0

bit 11 **保留**：必须写为0

bit 10 **CAL1DIFF**：专用ADC内核1差分模式校准位
1 = 专用ADC内核1将在差分输入模式下校准
0 = 专用ADC内核1将在单端输入模式下校准

bit 9 **CAL1EN**：专用ADC内核1校准使能位
1 = 专用ADC内核1校准位（CALxRDY、CALxDIFF和CALxRUN）可通过软件访问
0 = 专用ADC内核1校准位被禁止

bit 8 **CAL1RUN**：专用ADC内核1校准启动位
1 = 如果该位由软件置1，专用ADC内核1校准周期将启动；该位由硬件自动清零
0 = 软件可启动下一个校准周期

bit 7 **CAL0RDY**：专用ADC内核0校准状态标志位
1 = 专用ADC内核0已完成校准
0 = 专用ADC内核0正在校准

bit 6-4 **未实现**：读为0

bit 3 **保留**：必须写为0

bit 2 **CAL0DIFF**：专用ADC内核0差分模式校准位
1 = 专用ADC内核0将在差分输入模式下校准
0 = 专用ADC内核0将在单端输入模式下校准

bit 1 **CAL0EN**：专用ADC内核0校准使能位
1 = 专用ADC内核0校准位（CALxRDY、CALxDIFF和CALxRUN）可通过软件访问
0 = 专用ADC内核0校准位被禁止

bit 0 **CAL0RUN**：专用ADC内核0校准启动位
1 = 如果该位由软件置1，专用ADC内核0校准周期将启动；该位由硬件自动清零
0 = 软件可启动下一个校准周期

寄存器19-29： ADCAL0H：ADC校准寄存器0的高位字

R-0, HSC	U-0	U-0	U-0	r-0	R/W-0	R/W-0	R/W-0
CAL3RDY	—	—	—	—	CAL3DIFF	CAL3EN	CAL3RUN
bit 15							bit 8

R-0, HSC	U-0	U-0	U-0	r-0	R/W-0	R/W-0	R/W-0
CAL2RDY	—	—	—	—	CAL2DIFF	CAL2EN	CAL2RUN
bit 7							bit 0

图注：	r = 保留位	U = 未实现位，读为0	
R = 可读位	W = 可写位	HSC = 硬件置1/清零位	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **CAL3RDY**：专用ADC内核3校准状态标志位
1 = 专用ADC内核3已完成校准
0 = 专用ADC内核3正在校准

bit 14-12 **未实现**：读为0

bit 11 **保留**：必须写为0

bit 10 **CAL3DIFF**：专用ADC内核3差分模式校准位
1 = 专用ADC内核3将在差分输入模式下校准
0 = 专用ADC内核3将在单端输入模式下校准

bit 9 **CAL3EN**：专用ADC内核3校准使能位
1 = 专用ADC内核3校准位（CALxRDY、CALxDIFF和CALxRUN）可通过软件访问
0 = 专用ADC内核3校准位被禁止

bit 8 **CAL3RUN**：专用ADC内核3校准启动位
1 = 如果该位由软件置1，专用ADC内核3校准周期将启动；该位由硬件自动清零
0 = 软件可启动下一个校准周期

bit 7 **CAL2RDY**：专用ADC内核2校准状态标志位
1 = 专用ADC内核2已完成校准
0 = 专用ADC内核2正在校准

bit 6-4 **未实现**：读为0

bit 3 **保留**：必须写为0

bit 2 **CAL2DIFF**：专用ADC内核2差分模式校准位
1 = 专用ADC内核2将在差分输入模式下校准
0 = 专用ADC内核2将在单端输入模式下校准

bit 1 **CAL2EN**：专用ADC内核2校准使能位
1 = 专用ADC内核2校准位（CALxRDY、CALxDIFF和CALxRUN）可通过软件访问
0 = 专用ADC内核2校准位被禁止

bit 0 **CAL2RUN**：专用ADC内核2校准启动位
1 = 如果该位由软件置1，专用ADC内核2校准周期将启动；该位由硬件自动清零
0 = 软件可启动下一个校准周期

© 2015-2018 Microchip Technology Inc.

寄存器19-30： ADCAL1H：ADC校准寄存器1的高位字

R/W-0, HS	U-0	U-0	U-0	r-0	R/W-0	R/W-0	R/W-0
CSHRRDY	—	—	—	—	CSHRDIFF	CSHREN	CSHRRUN
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 7							bit 0

图注：	r = 保留位	U = 未实现位，读为0	
R = 可读位	W = 可写位	HS = 硬件置1位	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **CSHRRDY**：共用ADC内核校准状态标志位
1 = 共用ADC内核已完成校准
0 = 共用ADC内核正在校准

bit 14-12 **未实现**：读为0

bit 11 **保留**：必须写为0

bit 10 **CSHRDIFF**：共用ADC内核差分模式校准位
1 = 共用ADC内核将在差分输入模式下校准
0 = 共用ADC内核将在单端输入模式下校准

bit 9 **CSHREN**：共用ADC内核校准使能位
1 = 共用ADC内核校准位（CSHRRDY、CSHRDIFF和CSHRRUN）可通过软件访问
0 = 共用ADC内核校准位被禁止

bit 8 **CSHRRUN**：共用ADC内核校准启动位
1 = 如果该位由软件置1，共用ADC内核校准周期将启动；该位由硬件自动清零
0 = 软件可启动下一个校准周期

bit 7-0 **未实现**：读为0

寄存器19-31： ADCMPxCON：ADC数字比较器x控制寄存器（x = 0或1）

U-0	U-0	U-0	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC	R-0, HSC
—	—	—	CHNL4	CHNL3	CHNL2	CHNL1	CHNL0
bit 15							bit 8

R/W-0	R/W-0	R-0, HC, HS	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMPEN	IE	STAT	BTWN	HIHI	HILO	LOHI	LOLO
bit 7							bit 0

图注：	HC = 硬件清零位	U = 未实现位，读为0	
R = 可读位	W = 可写位	HSC = 硬件置1/清零位	
-n = POR时的值	1 = 置1	0 = 清零	HS = 硬件置1位

bit 15-13 **未实现：**读为0

bit 12-8 **CHNL<4:0>：**输入通道编号位
如果比较器检测到某个通道发生事件，则该通道编号将写入这些位。
11111 = 保留
•
•
10110 = 保留
10101 = AN21
10100 = AN20
•
•
00001 = AN1
00000 = AN0

bit 7 **CMPEN：**比较器使能位
1 = 使能比较器
0 = 禁止比较器并清零STAT状态位

bit 6 **IE：**比较器通用ADC中断允许位
1 = 如果比较器检测到比较事件，将产生通用ADC中断
0 = 比较器将不产生通用ADC中断

bit 5 **STAT：**比较器事件状态位
当从CHNL<4:0>位读取通道编号时，该位由硬件清零
1 = 上一次读取CHNL<4:0>位后已检测到比较事件
0 = 上一次读取CHNL<4:0>位后尚未检测到比较事件

bit 4 **BTWN：**介于下限/上限间的比较器事件位
1 = 当ADCMPxLO ≤ ADCBUFx < ADCMPxHI时，产生数字比较器事件
0 = 当ADCMPxLO ≤ ADCBUFx < ADCMPxHI时，不产生数字比较器事件

bit 3 **HIHI：**高于上限的比较器事件位
1 = 当ADCBUFx ≥ ADCMPxHI时，产生数字比较器事件
0 = 当ADCBUFx ≥ ADCMPxHI时，不产生数字比较器事件

bit 2 **HILO：**低于上限的比较器事件位
1 = 当ADCBUFx < ADCMPxHI时，产生数字比较器事件
0 = 当ADCBUFx < ADCMPxHI时，不产生数字比较器事件

bit 1 **LOHI：**高于下限的比较器事件位
1 = 当ADCBUFx ≥ ADCMPxLO时，产生数字比较器事件
0 = 当ADCBUFx ≥ ADCMPxLO时，不产生数字比较器事件

bit 0 **LOLO：**低于下限的比较器事件位
1 = 当ADCBUFx < ADCMPxLO时，产生数字比较器事件
0 = 当ADCBUFx < ADCMPxLO时，不产生数字比较器事件

© 2015-2018 Microchip Technology Inc.

寄存器19-32： ADCMPxENL：ADC数字比较器x通道使能寄存器的低位字（x = 0或1）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMPEN<15:8>							
bit 15							bit 8

R/W/0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMPEN<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-0 **CMPEN<15:0>：**相应输入通道的比较器使能位
1 = 比较器使用相应通道的转换结果
0 = 比较器不使用相应通道的转换结果

寄存器19-33： ADCMPxENH：ADC数字比较器x通道使能寄存器的高位字（x = 0或1）

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	CMPEN<21:16>					
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-6 **未实现：**读为0
bit 5-0 **CMPEN<21:16>：**相应输入通道的比较器使能位
1 = 比较器使用相应通道的转换结果
0 = 比较器不使用相应通道的转换结果

寄存器19-34： ADFLxCON：ADC数字滤波器x控制寄存器（x = 0或1）

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0, HSC
FLEN	MODE1	MODE0	OVRSAM2	OVRSAM1	OVRSAM0	IE	RDY
bit 15							bit 8

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	FLCHSEL4	FLCHSEL3	FLCHSEL2	FLCHSEL1	FLCHSEL0
bit 7							bit 0

图注：	U = 未实现位，读为0		
R = 可读位	W = 可写位	HSC = 硬件置1/清零位	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **FLEN**：滤波器使能位
1 = 使能滤波器
0 = 禁止滤波器并清零RDY位

bit 14-13 **MODE<1:0>**：滤波器模式位
11 = 平均值计算模式
10 = 保留
01 = 保留
00 = 过采样模式

bit 12-10 **OVRSAM<2:0>**：滤波器平均值计算/过采样率位
如果MODE<1:0> = 00：
111 = 128x（ADFLxDAT寄存器中的16位结果采用12.4格式）
110 = 32x（ADFLxDAT寄存器中的15位结果采用12.3格式）
101 = 8x（ADFLxDAT寄存器中的14位结果采用12.2格式）
100 = 2x（ADFLxDAT寄存器中的13位结果采用12.1格式）
011 = 256x（ADFLxDAT寄存器中的16位结果采用12.4格式）
010 = 64x（ADFLxDAT寄存器中的15位结果采用12.3格式）
001 = 16x（ADFLxDAT寄存器中的14位结果采用12.2格式）
000 = 4x（ADFLxDAT寄存器中的13位结果采用12.1格式）
如果MODE<1:0> = 11（所有情况下ADFLxDAT寄存器中的12位结果）：
111 = 256x
110 = 128x
101 = 64x
100 = 32x
011 = 16x
010 = 8x
001 = 4x
000 = 2x

bit 9 **IE**：滤波器通用ADC中断允许位
1 = 当滤波器结果就绪时，产生通用ADC中断
0 = 滤波器将不产生通用ADC中断

bit 8 **RDY**：过采样滤波器数据就绪标志位
当从ADFLxDAT寄存器读取结果时，该位由硬件清零。
1 = ADFLxDAT寄存器中的数据已就绪
0 = ADFLxDAT寄存器已被读取，ADFLxDAT寄存器中的新数据未就绪

bit 7-5 **未实现**：读为0

© 2015-2018 Microchip Technology Inc.

寄存器19-34： ADFLxCON：ADC数字滤波器x控制寄存器（x = 0或1）（续）

bit 4-0 **FLCHSEL<4:0>：**过采样滤波器输入通道选择位

11111 = 保留
•
•
•
10110 = 保留
10101 = AN21
10100 = AN20
•
•
•
00001 = AN1
00000 = AN0

注：

© 2015-2018 Microchip Technology Inc.

20.0 高速模拟比较器

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“高速模拟比较器模块”**（DS70005128），该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

高速模拟比较器模块用于监视对于CPU和ADC可能速度太快而无法捕捉的瞬态电流和/或电压。

20.1 特性概述

SMPS比较器模块提供以下主要特性：

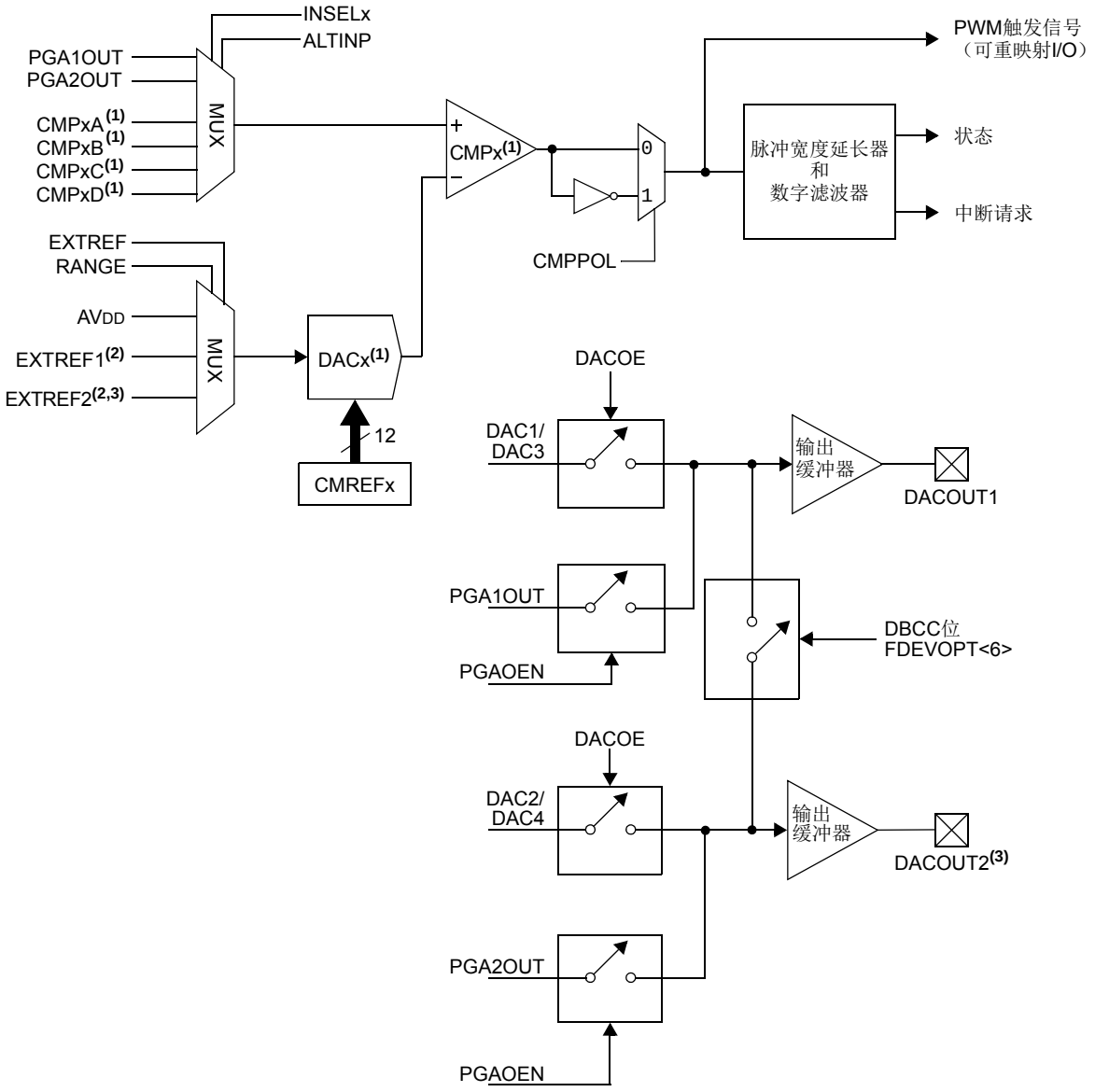
- 4个轨到轨模拟比较器
- 每个模拟比较器均具有专用的12位DAC
- 每个比较器最多具有6个可选输入源：
  - 4个外部输入
  - 2个来自PGAx模块的内部输入
- 可编程比较器滞后
- 可编程输出极性
- 最多2个DAC输出连接至器件引脚
- DAC的多个参考电压：
  - 外部参考（EXTREF1或EXTREF2）
  - AV_{DD}
- 可产生中断
- PWMx功能支持：
  - PWMx占空比控制
  - PWMx周期控制
  - PWMx故障检测

20.2 模块说明

图20-1给出了高速模拟比较器模块中的一个模拟比较器的功能框图。模拟比较器提供高速操作，典型延时为15 ns。比较器的反相输入端总是连接到DACx电路。比较器的同相输入端连接到一个用于选择所需输入源引脚的模拟多路开关。

模拟比较器的输入引脚通常与模数转换器（ADC）模块使用的引脚共用。比较器和ADC可同时使用相同的引脚。此功能允许用户用ADC测量输入电压，同时用比较器检测瞬态电压。

图20-1： 高速模拟比较器x模块框图



注 1： x = 1-4

2： EXTREF1连接到DAC1/DAC3。EXTREF2连接到DAC2/DAC4。

3： 并非在所有器件上都可用。

© 2015-2018 Microchip Technology Inc.

20.3 模块应用

通过该模块，SMPS dsPIC DSC器件提供监视电源转换应用中的电压和电流的方法。它可以检测瞬态条件并触发dsPIC DSC处理器和/或外设进行相应处理，无需处理器和ADC持续监视电压或电流，让dsPIC DSC可以执行其他任务。

比较器模块具有一个高速比较器和一个关联的12位DAC，DAC为比较器的反相输入端提供可编程的参考电压。比较器输出的极性可由用户编程。模块的输出可用于以下模式：

- 产生中断
- 触发ADC采样和转换过程
- 截断PWMx信号（限流）
- 截断PWMx周期（电流最小）
- 禁止PWMx输出（故障锁定）

比较器模块的输出可同时用于多种模式，例如：当检测到的电压超出预期值时，比较器输出可用于1)产生中断，2)使ADC对其进行采样和转换，以及3)截断PWMx输出。

当模拟输入电压超出设定的阈值电压时，比较器模块还可用于将系统从休眠或空闲模式唤醒。

20.4 数模比较器（DAC）

每个模拟比较器均具有一个专用的12位DAC，用于通过CMPxDAC寄存器来编程比较器阈值电压。DAC参考电压源通过CMPxCON寄存器中的EXTREF和RANGE位来选择。

EXTREF位用于将外部参考电压EXTREFx或内部源选作参考电压源。用户可以利用EXTREFx输入连接到更适合其应用的参考电压。选择内部参考电压时，RANGE位会将AV_{DD}使能为DAC的参考电压源。

注： EXTREF2并非在所有器件上都可用。

每个DACx在CMPxCON寄存器中都有一个输出使能位DACOE，用于将DACx参考电压连接至外部输出引脚（DACOUTx）。有关将DACx输出电压连接至DACOUTx引脚的信息，请参见图20-1。

注 1： 需要在软件中确保不将多个DACOE位置1。如果有多个比较器使能DACx输出，则DACOUTx引脚上的输出将是不确定的。

2： DACOUT2并非在所有器件上都可用。

20.5 脉冲宽度延长器和数字逻辑

模拟比较器可以响应极快速的瞬态信号。为比较器输出指定所需极性之后，信号会被传递给脉冲宽度延长电路。脉冲宽度延长电路具有异步设置功能和延时电路，可确保最小脉冲宽度为3个系统时钟周期，从而使连接的电路可以正确响应窄脉冲事件。

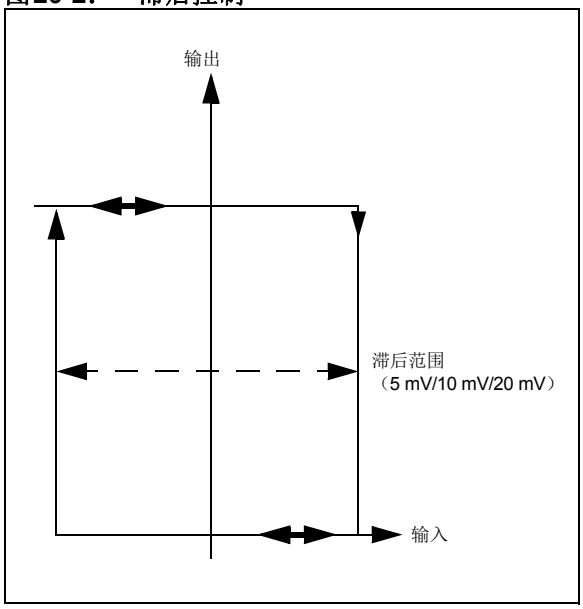
脉冲宽度延长电路之后是一个数字滤波器。数字滤波器通过CMPxCON寄存器中的FLTREN位使能。数字滤波器使用通过CMPxCON寄存器中的FCLKSEL位指定的时钟工作。对于选定的时钟，比较器信号必须在高电平或低电平状态保持稳定至少3个时钟周期，这样它才能通过数字滤波器。

20.6 滞后

模块的另一个功能是滞后控制。通过CMPxCON寄存器的HYSSEL<1:0>位，可以使能或禁止滞后，以及控制其幅值。有3个不同的值可供使用：5 mV、10 mV和20 mV。此外，还可以选择对哪个边沿（上升或下降）应用滞后。

滞后控制可以防止由于输入上的小扰动（噪声），导致比较器输出不断改变状态（见图20-2）。

图20-2： 滞后控制



20.7 模拟比较器资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

20.7.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

© 2015-2018 Microchip Technology Inc.

寄存器20-1： CMPxCON：比较器x控制寄存器

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMPON	—	CMPSIDL	HYSSEL1	HYSSEL0	FLTREN	FCLKSEL	DACOE
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	HC-0, HS	R/W-0	R/W-0	R/W-0
INSEL1	INSEL0	EXTREF	HYSPOL	CMPSTAT	ALTINP	CMPPOL	RANGE
bit 7							bit 0

图注：	HC = 硬件清零位	HS = 硬件置1位	
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **CMPON：**比较器工作模式位
1 = 使能比较器模块
0 = 禁止比较器模块（降低功耗）

bit 14 **未实现：**读为 0

bit 13 **CMPSIDL：**比较器空闲模式停止位
1 = 当器件进入空闲模式时，模块停止工作
0 = 在空闲模式下模块继续工作
如果器件具有多个比较器，将任一CMPSIDL位设置为1，将在空闲模式下禁止所有比较器。

bit 12-11 **HYSSEL<1:0>：**比较器滞后选择位
11 = 20 mV滞后
10 = 10 mV滞后
01 = 5 mV滞后
00 = 不选择任何滞后

bit 10 **FLTREN：**数字滤波器使能位
1 = 使能数字滤波器
0 = 禁止数字滤波器

bit 9 **FCLKSEL：**数字滤波器和脉冲宽度延长器时钟选择位
1 = 数字滤波器和脉冲宽度延长器使用PWM时钟工作
0 = 数字滤波器和脉冲宽度延长器使用系统时钟工作

bit 8 **DACOE：**DACx输出使能位
1 = DACx模拟电压连接到DACOUTx引脚(1)
0 = DACx模拟电压不连接到DACOUTx引脚

bit 7-6 **INSEL<1:0>：**比较器输入源选择位
如果 ALTINP = 0，则从比较器输入中选择：
11 = 选择CMPxD输入引脚
10 = 选择CMPxC输入引脚
01 = 选择CMPxB输入引脚
00 = 选择CMPxA输入引脚
如果 ALTINP = 1，则从备用输入中选择：
11 = 保留
10 = 保留
01 = 选择PGA2输出
00 = 选择PGA1输出

注 1： 在任意给定时刻，DACOUTx只能与单个比较器关联。软件必须确保没有多个比较器通过置1相应的DACOE位使能DACx输出。

寄存器20-1： CMPxCON：比较器x控制寄存器（续）

bit 5 **EXTREF**：外部参考电压源使能位
1 = 外部参考电压源为DACx提供参考电压（最大DAC电压由外部电压源决定）
0 = AVDD为DACx提供参考电压（最大DAC电压为AVDD）

bit 4 **HYSPOL**：比较器滞后极性选择位
1 = 在比较器输出的下降沿应用滞后
0 = 在比较器输出的上升沿应用滞后

bit 3 **CMPSTAT**：比较器当前状态位
反映比较器x的当前输出状态，包括CMPPOL位的设置。

bit 2 **ALTINP**：备用输入选择位
1 = INSEL<1:0>位用于选择备用输入
0 = INSEL<1:0>位用于选择比较器输入

bit 1 **CMPPOL**：比较器输出极性控制位
1 = 输出反相
0 = 输出不反相

bit 0 **RANGE**：DACx输出电压范围选择位
1 = AVDD 为最大 DACx 输出电压
0 = 未实现，不要使用

注 1： 在任意给定时刻，DACOUTx只能与单个比较器关联。软件必须确保没有多个比较器通过置1相应的DACOE位使能DACx输出。

© 2015-2018 Microchip Technology Inc.

寄存器20-2： CMPxDAC：比较器x DAC控制寄存器

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	—	CMREF<11:8>			
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMREF<7:0>							
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-12 **未实现：**读为0

bit 11-0 **CMREF<11:0>：**比较器参考电压选择位

111111111111
•
•
• = ([CMREF<11:0>] * (AVDD)/4096) V（EXTREF = 0）
• 或 ([CMREF<11:0>] * (EXTREF)/4096) V（EXTREF = 1）
•
•
000000000000

注：

© 2015-2018 Microchip Technology Inc.

21.0 可编程增益放大器（PGA）

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的**“可编程增益放大器（PGA）”**（DS70005146），该文档可从Microchip网站（www.microchip.com）下载。

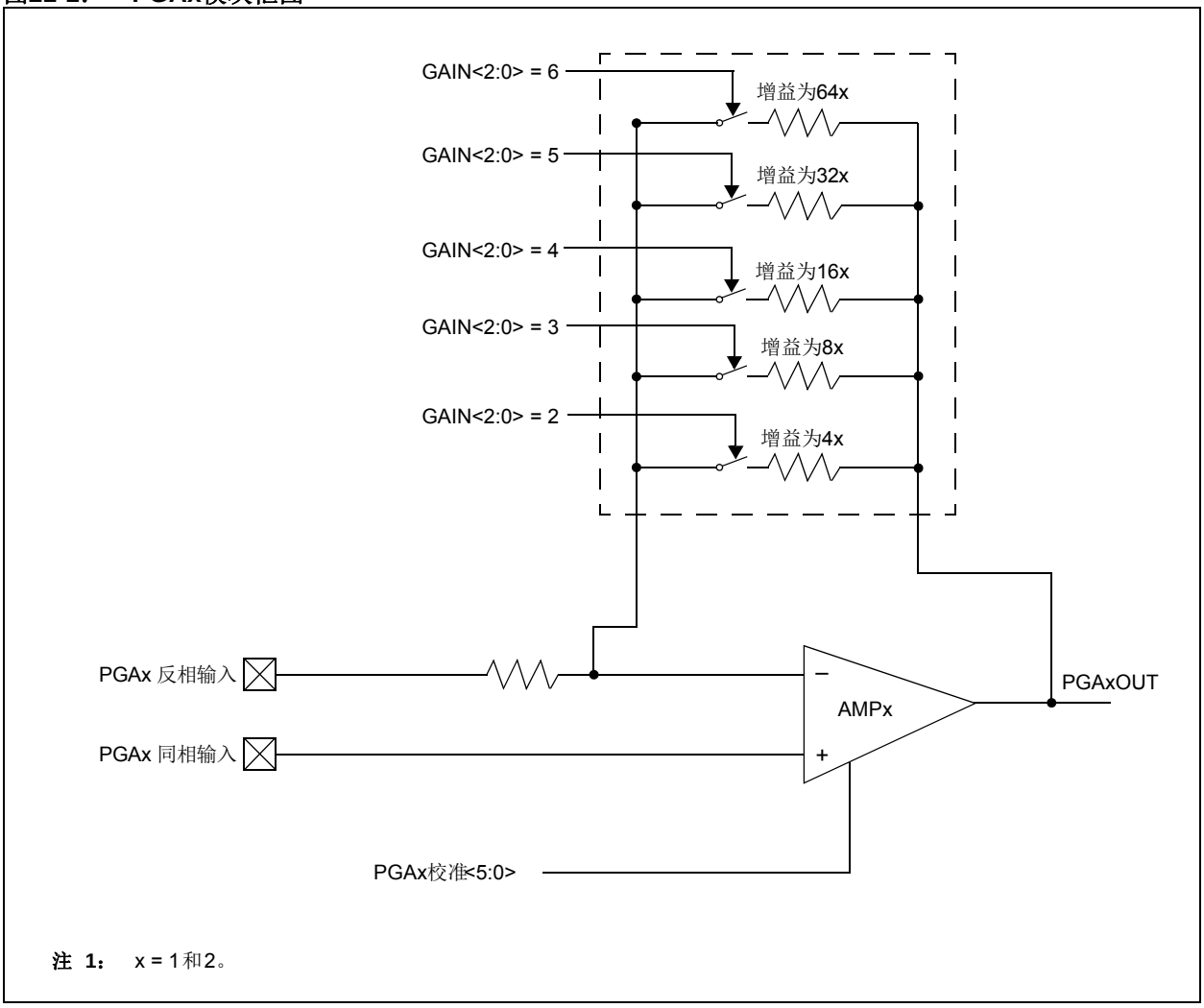
2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

dsPIC33EPXXGS50X系列器件具有两个可编程增益放大器（PGA1和PGA2）。PGA是基于运放且具有用户可编程增益的同相放大器。PGA的输出可连接到模数转换器的多个专用采样保持输入和/或高速模拟比较器模块。PGA有5个可选增益，可用作以地为参考的放大器（单端），也可与独立地参考点配合使用。

PGA模块的主要特性包括：

- 单端或独立地参考
- 可选增益：4x、8x、16x、32x和64x
- 高增益带宽
- 轨到轨输出电压
- 宽输入电压范围

图21-1： PGAx模块框图



注 1： x = 1和2。

21.1 模块说明

可编程增益放大器用于将低电压（即负载电阻/电流检测电阻两端的电压）放大，从而提高测量信号的信噪比。PGAx输出电压可通过ADC模块上的四个专用采样保持电路中的任意一个进行读取。输出电压也可馈入比较器模块以进行过流/过压保护。图21-2给出了PGAx模块的功能框图。有关互连的更多详细信息，请参见**第19.0节“高速12位模数转换器（ADC）”**和**第20.0节“高速模拟比较器”**。

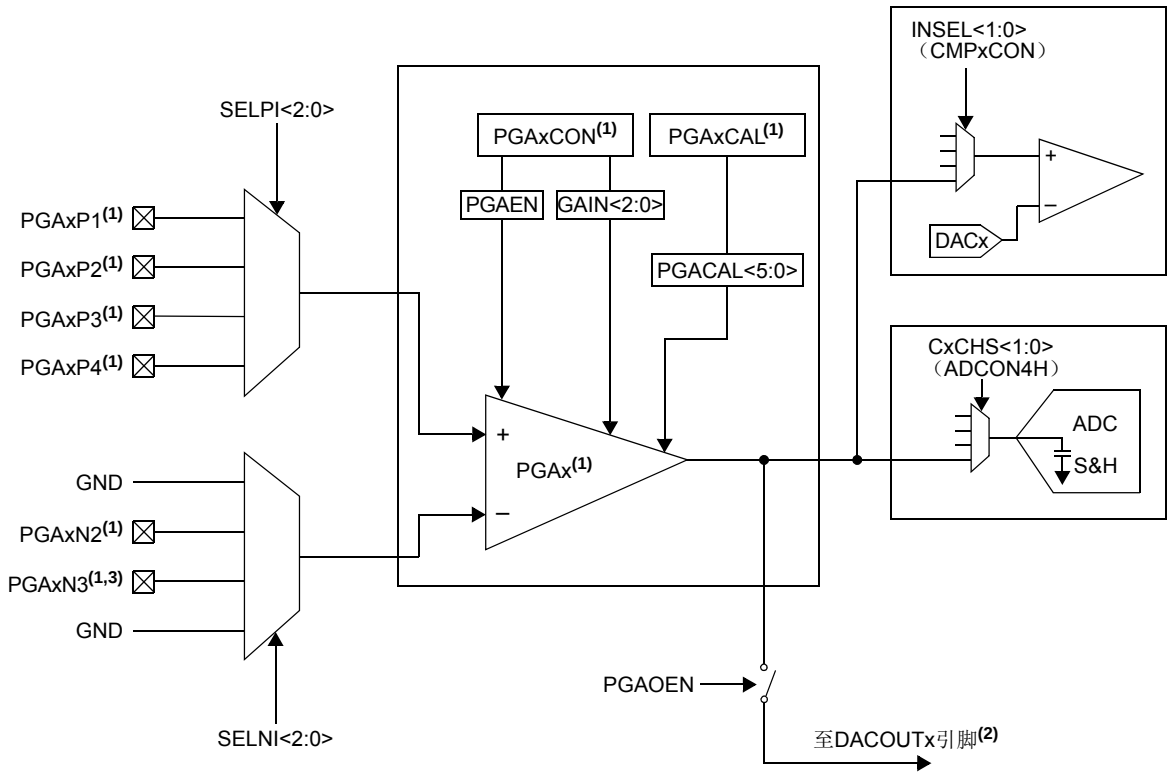
PGAx模块的增益可通过PGAxCON寄存器中的GAIN<2:0>位来选择。共有五个可选增益，其范围为4x至64x。PGAxCON寄存器中的SELPI<2:0>和SELNI<2:0>位用于为PGAx模块从四对同相/反相输入中选择一对。对于单端应用，SELNI<2:0>位将选择地作为反相输入源。要提供独立地参考，可将PGAxN2和PGAxN3引脚作为PGAx模块的反相输入源。

> **注 1：** 并非所有PGA同相/反相输入在所有器件上均可用。关于可用的输入源引脚，请参见具体器件的引脚分配。

可通过将PGAxCON寄存器中的PGAOEN位置1，以将PGAx模块的输出电压连接至DACOUTx引脚。当使能PGAOEN位时，PGA1的输出电压连接至DACOUT1，PGA2的输出电压连接至DACOUT2。对于只有一个DACOUTx引脚的器件，可通过配置FDEVOPT寄存器中的DBCC配置位（FDEVOPT<6>）将PGA2的输出电压连接至DACOUT1。

如果DACx输出电压和PGAx输出电压均连接至DACOUTx引脚，则产生的输出电压将为这两个信号的组合。PGAx模块和DACx模块之间未分配优先级。

图21-2： PGAx功能框图



注 1： x = 1和2。
2： DACOUT2器件引脚仅在64引脚器件上可用。
3： PGAxN3输入在28引脚器件上不可用。

© 2015-2018 Microchip Technology Inc.

21.2 PGA资源

对于本数据手册中列出的器件，Microchip网站的主要产品页面中提供了许多有用的资源。该产品页面包含最新更新和附加信息。

21.2.1 主要资源

- 代码示例
- 应用笔记
- 软件库
- 网上研讨会
- 所有相关的《dsPIC33/PIC24系列参考手册》章节
- 开发工具

寄存器21-1： PGAxCON：PGAx控制寄存器

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PGAEN	PGAOEN	SELPI2	SELPI1	SELPI0	SELNI2	SELNI1	SELNI0
bit 15							bit 8

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	GAIN2	GAIN1	GAIN0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **PGAEN：**PGAx使能位
1 = 使能PGAx模块
0 = 禁止PGAx模块（降低功耗）

bit 14 **PGAOEN：**PGAx输出使能位
1 = PGAx输出连接到DACOUTx引脚
0 = PGAx输出不连接到DACOUTx引脚

bit 13-11 **SELPI<2:0>：**PGAx同相输入选择位
111 = 保留
110 = 保留
101 = 保留
100 = 保留
011 = PGAxP4
010 = PGAxP3
001 = PGAxP2
000 = PGAxP1

bit 10-8 **SELNI<2:0>：**PGAx反相输入选择位
111 = 保留
110 = 保留
101 = 保留
100 = 保留
011 = 地（单端模式）
010 = PGAxN3
001 = PGAxN2
000 = 地（单端模式）

bit 7-3 **未实现：**读为0

寄存器21-1：　PGAxCON：PGAx控制寄存器（续）

bit 2-0　**GAIN<2:0>：**PGAx增益选择位
111 = 保留
110 = 增益为64x
101 = 增益为32x
100 = 增益为16x
011 = 增益为8x
010 = 增益为4x
001 = 保留
000 = 保留

寄存器21-2：　PGAxCAL：PGAx校准寄存器

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	PGACAL<5:0>					
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15-6　**未实现：**读为0

bit 5-0　**PGACAL<5:0>：**PGAx失调校准位
模块使能前，PGA1和PGA2的校准值必须从闪存地址0x800E48和0x800E4C分别复制到这些位中。更多信息，请参见**第23.0节“特殊功能”**中的校准数据地址表（表23-3）。

© 2015-2018 Microchip Technology Inc.

22.0 恒流源

注 1： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》的相关章节，该文档可从Microchip网站（www.microchip.com）下载。

2： 本章中描述的一些寄存器及其相关的位并非在所有器件上都可用。关于具体器件的寄存器和位信息，请参见本数据手册中的**第4.0节“存储器构成”**。

恒流源模块是一个高精度电流发生器，通过与ADC模块配合使用来测量连接到器件引脚上的外部电阻的阻值。

22.1 特性概述

恒流源模块提供以下主要特性：

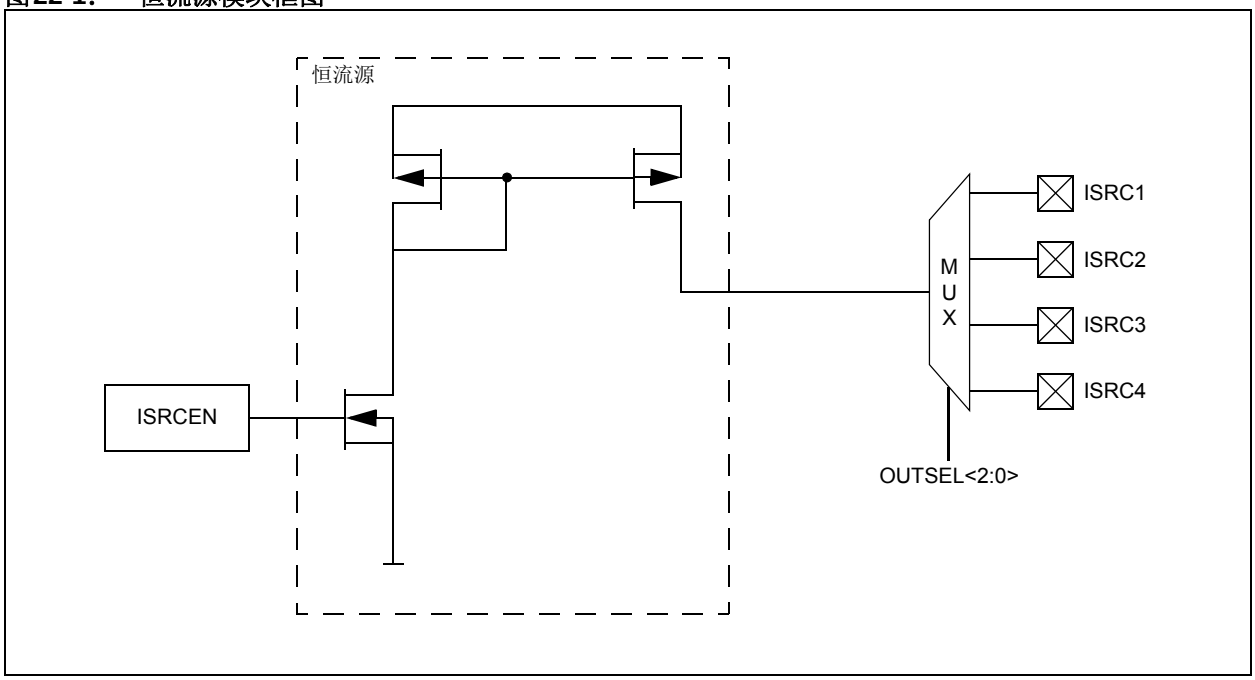
- 恒流发生器（标称值为10 μA）
- 内部可选连接，可连接到4个引脚之一
- 使能/禁止位

22.2 模块说明

图22-1给出了恒流源模块的功能框图。它包含一个高精度电流发生器，其标称值为10 μA。该模块可以使用ISRCCON寄存器中的ISRCEN位使能和禁止。电流发生器的输出在内部连接到某个器件引脚。dsPIC33EPXXGS50X系列最多具有4个可选电流源引脚。寄存器ISRCCON中的OUTSEL<2:0>位可用于选择目标引脚。

电流源在测试过程中进行校准。

图22-1： 恒流源模块框图



22.3 电流源控制寄存器

寄存器22-1： ISRCCON：恒流源控制寄存器

R/W-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
ISRCEN	—	—	—	—	OUTSEL2	OUTSEL1	OUTSEL0
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	ISRCCAL5	ISRCCAL4	ISRCCAL3	ISRCCAL2	ISRCCAL1	ISRCCAL0
bit 7							bit 0

图注：			
R = 可读位	W = 可写位	U = 未实现位，读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知

bit 15 **ISRCEN：**恒流源使能位
1 = 使能电流源
0 = 禁止电流源

bit 14-11 **未实现：**读为0

bit 10-8 **OUTSEL<2:0>：**输出恒流选择位
111 = 保留
110 = 保留
101 = 保留
100 = 输入引脚ISRC4（AN4）
011 = 输入引脚ISRC3（AN5）
010 = 输入引脚ISRC2（AN6）
001 = 输入引脚ISRC1（AN12）
000 = 不选择任何输出

bit 7-6 **未实现：**读为0

bit 5-0 **ISRCCAL<5:0>：**恒流源校准位
使能模块之前，必须将校准值从闪存地址0x800E78复制到这些位中。更多信息，请参见**第23.0节“特殊功能”**中的校准数据地址表（表23-3）。

© 2015-2018 Microchip Technology Inc.

23.0 特殊功能

注： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》的相关章节，该文档可从Microchip网站（www.microchip.com）下载。

dsPIC33EPXXGS50X系列器件具有几项特殊功能旨在最大限度地提高应用的灵活性和可靠性，并通过减少外部元件将成本降至最低。提供的特殊功能包括：

- 灵活的配置
- 看门狗定时器（WDT）
- 代码保护和CodeGuard™安全性
- JTAG边界扫描接口
- 在线串行编程（ICSP）
- 在线仿真
- 欠压复位（Brown-out Reset，BOR）

23.1 配置位

在dsPIC33EPXXGS50X系列器件中，配置字以易失性存储方式实现。这就意味着在器件每次上电时都必须对配置数据进行编程。配置数据存储在片上程序存储空间的末尾，称为闪存配置字。表23-1列出了它们的具体位置，表23-2给出了其详细说明。器件复位期间，配置数据会自动从闪存配置字装入到相应的配置影子寄存器中。

对于在双分区模式下工作的器件，BSEQx位（FBTSEQ<11:0>）决定哪个分区在启动时成为活动分区，该分区的配置字将装入配置影子寄存器。

注： 所有类型的器件复位都会重新装入配置数据。

在为这些器件创建应用程序时，用户应总是在其相应代码中告知编译器特别为配置数据分配闪存配置字地址，以确保当编译代码时程序代码不会存储到该地址。从配置空间执行程序代码会导致器件复位。

注： 在程序存储器的最后一页上执行页擦除操作会清零闪存配置字。

表23-1： 配置寄存器映射(3)

名称	地址	器件存储器大小（KB）	Bit 23-16	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSEC	002B80	16	—	AIVTDIS	—	—	—	CSS<2:0>			CWRP	GSS<1:0>		GWRP	—	BSEN	BSS<1:0>		BWRP
	005780	32																	
	00AF80	64																	
FBSLIM	002B90	16	—	—	—	—	BSLIM<12:0>												
	005790	32																	
	00AF90	64																	
FSIGN	002B94	16	—	保留(2)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	005794	32																	
	00AF94	64																	
FOSCSEL	002B98	16	—	—	—	—	—	—	—	—	—	IESO	—	—	—	—	FNOSC<2:0>		
	005798	32																	
	00AF98	64																	
FOSC	002B9C	16	—	—	—	—	—	—	—	—	PLLKEN	FCKSM<1:0>		IOL1WAY	—	—	OSCIOFNC	POSCMD<1:0>	
	00579C	32																	
	00AF9C	64																	
FWDT	002BA0	16	—	—	—	—	—	—	—	WDTWIN<1:0>		WINDIS	WDTEN<1:0>		WDTPRE	WDTPOST<3:0>			
	0057A0	32																	
	00AFA0	64																	
FPOR	002BA4	16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	保留(1)
	0057A4	32																	
	00AFA4	64																	
FICD	002BA8	16	—	BTSWP	—	—	—	—	—	—	—	保留(1)	—	JTAGEN	—	—	—	ICS<1:0>	
	0057A8	32																	
	00AFA8	64																	

注 1： 这些位保留，必须编程为1。
2： 该位保留，必须编程为0。
3： 在双分区模式下工作时，每个分区都将具有专用的配置寄存器。器件复位时，活动分区的配置值将在启动时读取，但在软交换期间，新的活动分区的配置设置将被忽略。
4： FBOOT位于配置存储空间中。

© 2015-2018 Microchip Technology Inc.

表23-1： 配置寄存器映射(3)（续）

名称	地址	器件存储器大小（KB）	Bit 23-16	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FDEVOPT	002BAC	16	—	—	—	—	—	—	—	—	—	—	DBCC	—	ALTI2C2	ALTI2C1	保留(1)	—	PWMLOCK
	0057AC	32																	
	00AFAC	64																	
FALTREG	002BB0	16	—	—	—	—	—	—	—	—	—	—	CTXT2 <2:0>			—	CTXT1 <2:0>		
	0057B0	32																	
	00AFB0	64																	
FBTSEQ	002BFC	16	IBSEQ<11:0>					BSEQ<11:0>											
	0057FC	32																	
	00AFFC	64																	
FBOOT(4)	801000	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BTMODE<1:0>	

注 1： 这些位保留，必须编程为1。
2： 该位保留，必须编程为0。
3： 在双分区模式下工作时，每个分区都将具有专用的配置寄存器。器件复位时，活动分区的配置值将在启动时读取，但在软交换期间，新的活动分区的配置设置将被忽略。
4： FBOOT位于配置存储空间中。

© 2015-2018 Microchip Technology Inc.

表23-2： 配置位说明

位域	说明
BSS<1:0>	引导段代码保护级别位 11 = 引导段不被代码保护（BWRP写保护除外） 10 = 标准安全性 0x = 高安全性
BSEN	引导段控制位 1 = 未使能引导段 0 = 引导段大小由BSLIM<12:0>位决定
BWRP	引导段写保护位 1 = 引导段可以写入 0 = 引导段被写保护
BSLIM<12:0>	引导段闪存页地址限制位 包含最后一个有效的引导段页。要编程的值为页地址的补码，这样编程额外的0只会增加引导段的大小（即，0x1FFD = 2页或1024个指令字）。
GSS<1:0>	通用段代码保护级别位 11 = 用户程序存储区不被代码保护 10 = 标准安全性 0x = 高安全性
GWRP	通用段写保护位 1 = 用户程序存储区不被写保护 0 = 用户程序存储区被写保护
CWRP	配置段写保护位 1 = 配置数据不被写保护 0 = 配置数据被写保护
CSS<2:0>	配置段代码保护级别位 111 = 配置数据不被代码保护 110 = 标准安全性 10x = 增强型安全性 0xx = 高安全性
BTSWP	BOOTSWP指令使能/禁止位 1 = 禁止BOOTSWP指令 0 = 使能BOOTSWP指令
BSEQ<11:0>	引导序列号位（仅限双分区模式） 相对值，用于定义器件复位后的活动分区；包含较小引导号的分区将成为活动分区。
IBSEQ<11:0>	引导序列号反码位（仅限双分区模式） BSEQ<11:0>的反码；必须由用户计算，写入后才能进行器件编程。如果BSEQx和IBSEQx并非互为反码，则引导序列号被视为无效。
AIVTDIS(1)	备用中断向量表位 1 = 禁止备用中断向量表 0 = 使能备用中断向量表（INTCON2<8> = 1时）
IESO	双速振荡器启动使能位 1 = 使用FRC启动器件，然后自动切换到就绪的用户选择的振荡器源 0 = 使用用户选择的振荡器源启动器件
PWMLOCK	PWMx锁定使能位 1 = 只有在密钥序列之后，才能对某些PWMx寄存器进行写操作 0 = 无需密钥序列即可对PWMx寄存器进行写操作

注 1： 必须存在引导段才能使用备用中断向量表。

© 2015-2018 Microchip Technology Inc.

表23-2： 配置位说明（续）

位域	说明
FNOSC<2:0>	振荡器选择位 111 = N分频快速RC振荡器（FRCDIVN） 110 = 16分频快速RC振荡器 101 = 低功耗RC振荡器（LPRC） 100 = 保留；不要使用 011 = 带PLL模块的主振荡器（XTPLL、HSPLL和ECPLL） 010 = 主振荡器（XT、HS和EC） 001 = 带PLL模块的N分频快速RC振荡器（FRCPLL） 000 = 快速RC振荡器（FRC）
FCKSM<1:0>	时钟切换模式位 1x = 禁止时钟切换，禁止故障保护时钟监视器 01 = 使能时钟切换，禁止故障保护时钟监视器 00 = 使能时钟切换，使能故障保护时钟监视器
IOL1WAY	外设引脚选择配置位 1 = 只允许一次重新配置 0 = 允许多次重新配置
OSCIOFNC	OSC2引脚功能位（XT和HS模式除外） 1 = OSC2为时钟输出 0 = OSC2为通用数字I/O引脚
POSCMD<1:0>	主振荡器模式选择位 11 = 禁止主振荡器 10 = HS晶振模式 01 = XT晶振模式 00 = EC（外部时钟）模式
WDTEN<1:0>	看门狗定时器使能位 11 = 总是使能看门狗定时器（不能禁止LPRC振荡器；清零RCON寄存器中的SWDTEN位将不起作用） 10 = 通过用户软件使能/禁止看门狗定时器（可通过清零RCON寄存器中的SWDTEN位来禁止LPRC） 01 = 看门狗定时器仅在器件激活时使能，在休眠模式下禁止；该模式下禁止软件控制 00 = 禁止看门狗定时器和SWDTEN位
WINDIS	看门狗定时器窗口使能位 1 = 看门狗定时器处于非窗口模式 0 = 看门狗定时器处于窗口模式
PLLKEN	PLL锁定使能位 1 = 使能PLL锁定 0 = 禁止PLL锁定
WDTPRE	看门狗定时器预分频比位 1 = 1:128 0 = 1:32
WDTPOST<3:0>	看门狗定时器后分频比位 1111 = 1:32,768 1110 = 1:16,384 • • • 0001 = 1:2 0000 = 1:1

注 1： 必须存在引导段才能使用备用中断向量表。

表23-2： 配置位说明（续）

位域	说明
WDTWIN<1:0>	看门狗定时器窗口选择位 11 = WDT窗口为WDT周期的25% 10 = WDT窗口为WDT周期的37.5% 01 = WDT窗口为WDT周期的50% 00 = WDT窗口为WDT周期的75%
ALTI2C1	备用I2C1引脚位 1 = I2C1映射到SDA1/SCL1引脚 0 = I2C1映射到ASDA1/ASCL1引脚
ALTI2C2	备用I2C2引脚位 1 = I2C2映射到SDA2/SCL2引脚 0 = I2C2映射到ASDA2/ASCL2引脚
JTAGEN	JTAG使能位 1 = 使能JTAG 0 = 禁止JTAG
ICS<1:0>	ICD通信通道选择位 11 = 通过PGEC1和PGED1进行通信 10 = 通过PGEC2和PGED2进行通信 01 = 通过PGEC3和PGED3进行通信 00 = 保留；不要使用
DBCC	DACx输出交叉连接选择位 1 = DAC输出间无交叉连接 0 = DACOUT1和DACOUT2互连
CTXT1<2:0>	备用工作寄存器组1中断优先级（IPL）选择位 111 = 保留 110 = 分配IPL级别7 101 = 分配IPL级别6 100 = 分配IPL级别5 011 = 分配IPL级别4 010 = 分配IPL级别3 001 = 分配IPL级别2 000 = 分配IPL级别1
CTXT2<2:0>	备用工作寄存器组2中断优先级（IPL）选择位 111 = 保留 110 = 分配IPL级别7 101 = 分配IPL级别6 100 = 分配IPL级别5 011 = 分配IPL级别4 010 = 分配IPL级别3 001 = 分配IPL级别2 000 = 分配IPL级别1
BTMODE<1:0>	引导模式配置位 11 = 单分区模式 10 = 双分区模式 01 = 受保护双分区模式 00 = 特权双分区模式

注 1： 必须存在引导段才能使用备用中断向量表。

© 2015-2018 Microchip Technology Inc.

23.2 器件校准和标识

dsPIC33EPXXGS50X系列器件上的PGAx和电流源模块需要使用校准数据寄存器来提高自身在宽工作范围内的性能。这些校准寄存器为只读寄存器，并且存储在配置存储空间中。使能模块之前，必须读取校准数据（通过TBLPAG和表读指令）并将其装入相应的SFR寄存器中。表23-3列出了器件校准地址。

dsPIC33EPXXGS50X器件在配置存储空间末尾处附近有两个标识寄存器，分别存储器件ID（DEVID）和器件版本（DEVREV）。这些寄存器用于确定器件的掩码、型号和生产信息。这两个寄存器为只读寄存器，如寄存器23-1和寄存器23-2所示。

表23-3： 器件校准地址(1)

校准名称	地址	Bit 23-16	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PGA1CAL	800E48	—	—	—	—	—	—	—	—	—	—	—	PGA1校准数据					
PGA2CAL	800E4C	—	—	—	—	—	—	—	—	—	—	—	PGA2校准数据					
ISRCCAL	800E78	—	—	—	—	—	—	—	—	—	—	—	电流源校准数据					

注 1： 使能模块之前，必须将校准数据复制到相应的寄存器中。

寄存器23-1： DEVID：器件ID寄存器

R	R	R	R	R	R	R	R
DEVID<23:16>							
bit 23							bit 16

R	R	R	R	R	R	R	R
DEVID<15:8>							
bit 15							bit 8

R	R	R	R	R	R	R	R
DEVID<7:0>							
bit 7							bit 0

图注：	R = 只读位	U = 未实现位

bit 23-0 **DEVID<23:0>：**器件标识符位

寄存器23-2： DEVREV：器件版本寄存器

R	R	R	R	R	R	R	R
DEVREV<23:16>							
bit 23							bit 16

R	R	R	R	R	R	R	R
DEVREV<15:8>							
bit 15							bit 8

R	R	R	R	R	R	R	R
DEVREV<7:0>							
bit 7							bit 0

图注：	R = 只读位	U = 未实现位

bit 23-0 **DEVREV<23:0>：**器件版本位

© 2015-2018 Microchip Technology Inc.

23.3 用户OTP存储器

dsPIC33EPXXGS50X系列器件包含64字的用户可一次性编程（One-Time-Programmable，OTP）存储器，地址范围为0x800F80到0x800FFE。用户OTP字可用于存储校验和、代码版本、产品信息（如序列号、系统制造日期、制造批号）和其他特定于应用的信息。这些字只能在编程时写入一次，在运行时不能写入但可以读取。

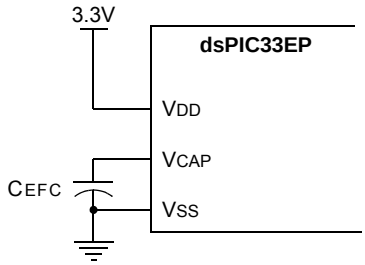
23.4 片上稳压器

所有dsPIC33EPXXGS50X系列器件使用标称值为1.8V的电压为其内核数字逻辑供电。对于需要工作在一个更高的典型电压值（如3.3V）的设计，这可能会产生冲突。为了简化系统设计，dsPIC33EPXXGS50X系列中的所有器件均包含一个片上稳压器，可使器件内核逻辑通过VDD工作。

稳压器通过其他VDD引脚为内核供电。必须将一个低ESR（小于1Ω）电容（例如钽电容或陶瓷电容）连接到VCAP引脚（图23-1）。这有助于维持稳压器的稳定性。滤波电容的推荐值在**第26.0节“电气特性”**的表26-5中提供。

注：	低ESR电容要尽可能靠近VCAP引脚放置，这一点很重要。

图23-1： 片上稳压器的连接(1,2,3)



注 1： 这些为典型的工作电压值。关于VDD和VCAP的全部工作电压范围，请参见**第26.0节“电气特性”**中的表26-5。

2： 低ESR电容要尽可能靠近VCAP引脚放置，这一点很重要。

3： 当VDD ≥ VDDMIN时，典型VCAP引脚电压 = 1.8V。

23.5 欠压复位（BOR）

欠压复位（BOR）模块基于内部参考电压电路，该电路监视经过稳压的电源电压VCAP。BOR模块的主要用途是在发生欠压条件时产生器件复位。欠压条件通常由交流电源线上的毛刺（例如，由于电力传输线路不良造成的交流周期波形部分丢失，或者由于接入大感性负载时电流消耗过大造成电压骤降）产生。

BOR将产生复位器件的复位脉冲。BOR会根据器件配置位（FNOSC<2:0>和POSCMD<1:0>）的值选择时钟源。

如果选择了振荡器模式，BOR将激活振荡器起振定时器（Oscillator Start-up Timer，OST）。系统时钟将保持到OST超时。如果使用了PLL，则时钟将被保持到LOCK位（OSCCON<5>）为1。

同时，将在内部复位释放前应用PWRT延时（TPWRT）。如果TPWRT = 0且使用了晶振，那么会应用TFSCM的标称延时。这种情况下总的延时为TFSCM。关于具体的TFSCM值，请参见**第26.0节“电气特性”**的表26-23中的SY35。

BOR状态位（RCON<1>）置1，指示发生了BOR。BOR电路在休眠或空闲模式下继续工作，当VDD下降到BOR阈值电压以下时将复位器件。

23.6 看门狗定时器（WDT）

对于dsPIC33EPXXGS50X系列器件，WDT由LPRC振荡器驱动。当使能WDT时，时钟源也将使能。

23.6.1 预分频器/后分频器

由LPRC提供的WDT时钟源的频率标称值为32 kHz。该信号输入给可配置为5位（32分频）或7位（128分频）工作的预分频器。预分频比由WDTPRE配置位设置。使用32 kHz输入，预分频器将产生WDT超时周期（TWDT），如表26-23中的参数SY12所示。

分频比可变的后分频器对WDT预分频器的输出进行分频，以获得范围较宽的超时周期。后分频比由WDTPOST<3:0>配置位（FWDT<3:0>）控制，这些配置位允许选择16种设置，从1:1至1:32,768。使用预分频器和后分频器，可以使超时周期的范围扩展到1 ms至131秒。

WDT、预分频器和后分频器在以下条件下复位：

- 任何器件复位时
- 在完成时钟切换时，无论时钟切换是由软件（即，在更改NOSCx位后将OSWEN位置1）引起还是由硬件（即，故障保护时钟监视器）引起
- 执行PWRSAV指令时（即，进入休眠或空闲模式）
- 当器件退出休眠或空闲模式恢复正常工作时
- 当在正常执行过程中执行CLRWDT指令时

注： 执行CLRWDT和PWRSAV指令会将预分频器和后分频器的计数值清零。

23.6.2 休眠和空闲模式

如果使能了WDT，它将在休眠或空闲模式下继续运行。当发生WDT超时时，将唤醒器件并且将从执行PWRSAV指令处继续执行代码。在器件唤醒后，需要用软件将相应的SLEEP或IDLE位（RCON<3:2>）清零。

23.6.3 使能WDT

WDT的使能或禁止由FWDT配置寄存器中的WDTEN<1:0>配置位控制。当WDTEN<1:0>配置位已编程为0b11时，WDT始终使能。

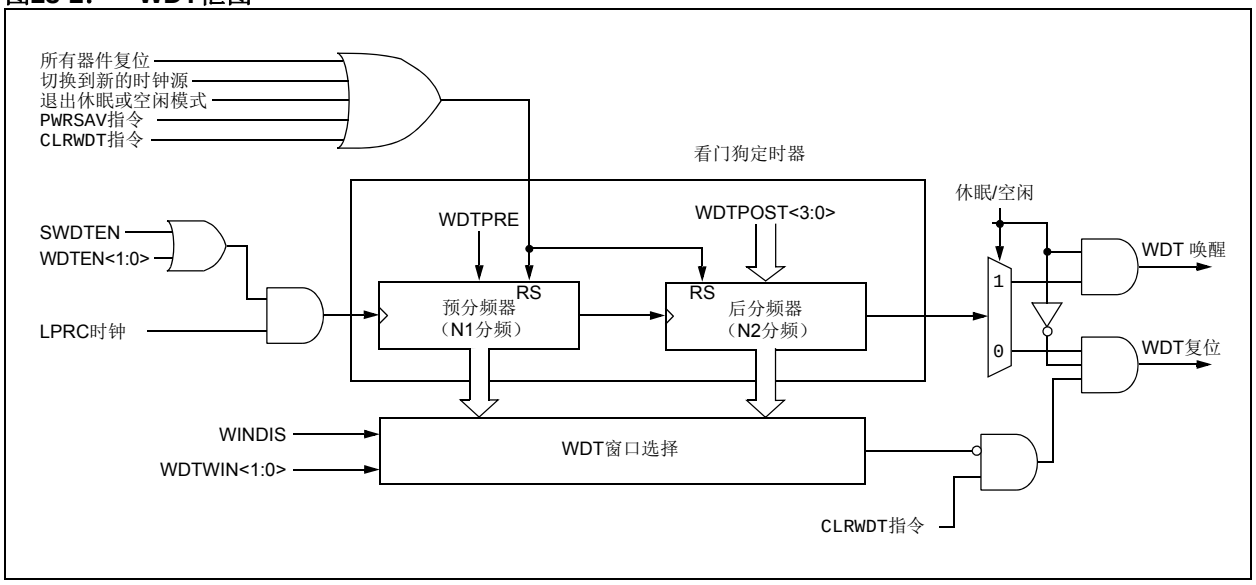
当WDTEN<1:0>配置位已编程为0b10时，可以选择用软件控制WDT。通过将SWDTEN控制位（RCON<5>）置1来用软件使能WDT。任何器件复位都会导致SWDTEN控制位清零。软件WDT选项允许用户应用程序在关键代码段使能WDT并在非关键代码段禁止WDT，从而最大限度地降低功耗。

WDT超时标志位WDTO（RCON<4>）不会在WDT超时后自动清零。要检测后续的WDT事件，必须用软件将该标志位清零。

23.6.4 WDT窗口

看门狗定时器有一种可选的窗口模式，可通过编程WDT配置寄存器中的WINDIS位（FWDT<7>）来使能该模式。在窗口模式（WINDIS = 0）下，WDT应根据可编程看门狗定时器窗口选择位（WDTWIN<1:0>）的设置进行清零。

图23-2： WDT框图



© 2015-2018 Microchip Technology Inc.

23.7 JTAG接口

dsPIC33EPXXGS50X系列器件实现了一个JTAG接口，该接口支持边界扫描器件测试。关于该接口的详细信息将会在文档以后的版本中提供。

注： 关于JTAG接口使用、配置和操作方面的更多信息，请参见《dsPIC33/PIC24系列参考手册》中的**“编程和诊断”**（DS70608）。

23.8 在线串行编程

可以在最终的应用电路中对dsPIC33EPXXGS50X系列器件进行串行编程。只需要5根线即可实现这一操作，其中时钟线、数据线各一根，其余3根分别是电源线、地线和编程序列线。串行编程允许用户在生产电路板时使用未编程器件，而仅在产品交付之前才对器件进行编程，从而可以使用最新版本的固件或者定制固件进行编程。关于在线串行编程（ICSP）的详细信息，请参见《带易失性配置位的dsPIC33E/PIC24E器件的闪存编程规范》（DS70663A_CN）。

可使用3对编程时钟/数据引脚中的任意一对：

- PGEC1和PGED1
- PGEC2和PGED2
- PGEC3和PGED3

23.9 在线调试器

当选择MPLAB ICD 3或者REAL ICE仿真器作为调试器时，将使能在线调试功能。该功能允许与MPLAB IDE配合使用来进行简单的调试。通过PGECx（仿真/调试时钟）和PGEDx（仿真/调试数据）引脚功能控制调试功能。

可使用3对调试时钟/数据引脚中的任意一对：

- PGEC1和PGED1
- PGEC2和PGED2
- PGEC3和PGED3

要使用器件的在线调试功能，就必须在设计中对MCLR、V_{DD}、V_{SS}和PGECx/PGEDx引脚对进行ICSP连接。此外，当使能该功能时，某些资源就不能用于一般用途了。这些资源包括数据RAM的前80字节和两个I/O引脚（PGECx和PGEDx）。

23.10 代码保护和CodeGuard安全性

dsPIC33EPXXGS50X器件提供了多个安全级别，用于保护各方的知识产权。闪存程序存储器保护可分为以下三个段：引导段（Boot Segment，BS）、通用段（General Segment，GS）和配置段（Configuration Segment，CS）。引导段的安全权限最高，可被认为在访问其他段时的限制是有限的。通用段的安全权限最低，用于最终用户的系统代码。配置段仅包含器件的用户配置数据，这些数据位于程序存储空间的末尾。

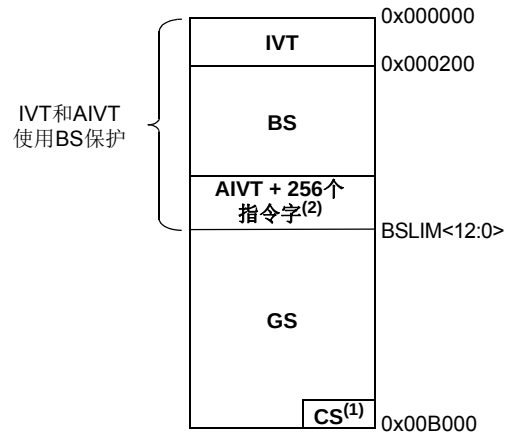
代码保护功能由配置寄存器FSEC和FBSLIM控制。FSEC寄存器用于控制各个段的代码保护级别以及是否被写保护。BS和GS的大小将取决于BSLIM<12:0>设置以及是否使能了备用中断向量表（AIVT）。BSLIM<12:0>位用于定义BS的页数，其中每页包含512个指令字。最小的BS大小为一页，其中包含中断向量表（IVT）和代码保护的256个指令字。

如果使能了AIVT，则BS的最后一页将包含AIVT，而不包含任何BS代码。使能AIVT时，最小的BS大小为两页（1024个指令字），其中一页用于IVT和BS代码，另一页用于AIVT。BS的写保护不包含AIVT。BS的最后一页始终可被BS代码编程或擦除。通用段将从下一页开始，占用程序闪存中除闪存配置字以外的剩余部分。只有在未使能BS时，IVT才将使用GS安全性。当BS和GS中任一安全段已使能写保护时，将防止对IVT进行编程或页擦除操作。

注： 关于CodeGuard安全性的使用、配置和操作的更多信息，请参见《dsPIC33/PIC24系列参考手册》中的**“CodeGuard中级安全性”**（DS70005182）。

图23-3给出了器件的各个安全段。图中显示了全部三个段，但并非都是必需的。如果只需要基本代码保护，则可以根据需要单独使能GS或者组合使能GS与CS。

图23-3： dsPIC33EP64GS50X器件的安全段示例



注 1： 如果CS被写保护，则将防止对程序存储器的最后一页（GS + CS）进行擦除操作。

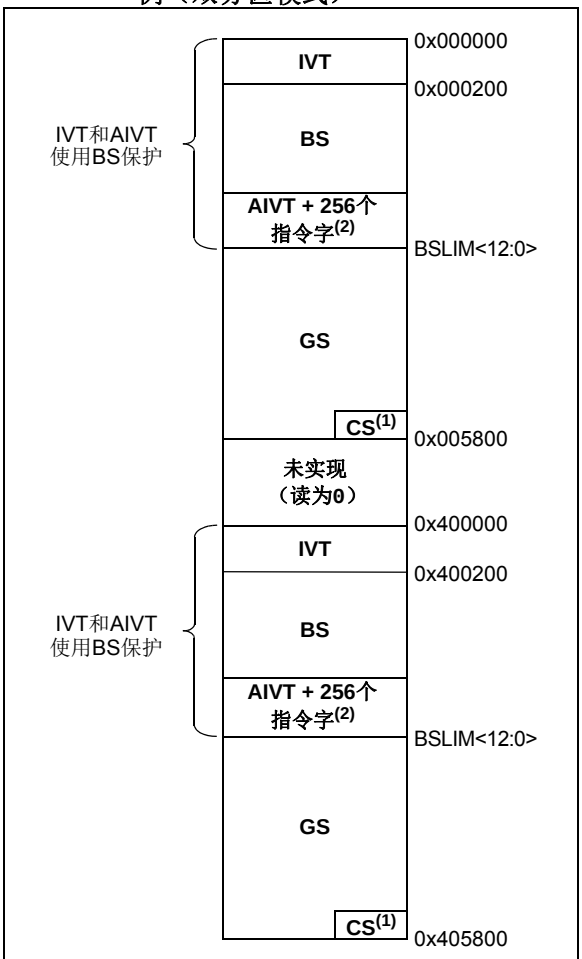
2： BS最后一页的后半部分（256个指令字）为不可用的程序存储区。

dsPIC33EP64GS50X系列器件可在双分区模式下工作，每个分区都需要一定的安全性。在双分区模式下工作时，活动分区和非活动分区均包含复位向量、中断向量表（IVT和AIVT（如果已使能））和闪存配置字的惟一副本。两个分区均包含之前所述的三个安全段。代码不能从非活动分区执行，但可被活动分区编程和读取，但要受到已定义代码保护的限制。图23-4显示了器件在双分区模式下工作时的各个安全段。

器件也可在受保护双分区模式或特权双分区模式下工作。在受保护双分区模式下，分区1具有永久的擦除保护和写保护。该实现可用作“出厂默认”模式，该模式下在分区1中存储了故障保护备份映像。例如，故障保护自举程序可与故障保护备份代码映像一同置于分区1中，故障保护备份代码映像可在分区2的闪存更新失败时使用或重新写入分区2。

特权双分区模式执行与受保护双分区模式相同的功能，但为了避免引导段与通用段中的代码使用发生冲突，会受到额外限制。

图23-4： dsPIC33EP64GS50X器件的安全段示例（双分区模式）



注 1： 如果 CS 被写保护，则将防止对程序存储器的最后一页（GS + CS）进行擦除操作。

2： BS最后一页的后半部分（256个指令字）为不可用的程序存储区。

© 2015-2018 Microchip Technology Inc.

24.0 指令集汇总

注： 本数据手册总结了dsPIC33EPXXGS50X系列器件的特性。但是不应把本手册当作无所不包的参考资料来使用。如需了解本数据手册的补充信息，请参见《dsPIC33/PIC24系列参考手册》中的相关章节，该文档可从Microchip网站（www.microchip.com）下载。

dsPIC33EP系列器件的指令集与dsPIC30F和dsPIC33F系列器件的指令集几乎完全相同。

大部分指令的长度为一个程序存储字（24位）。只有三条指令需要两个程序存储单元。

每一条单字指令长24位，分为一个指定指令类型的8位操作码和进一步指定指令操作的一个或多个操作数。

指令集是高度正交的，分为5个基本类别：

- 针对字或字节的操作
- 针对位的操作
- 立即数操作
- DSP操作
- 控制操作

表24-1列出了在说明指令时使用的通用符号。

表24-2是dsPIC33E指令集的汇总，列出了所有指令以及每条指令影响的状态标志。

大多数针对字或字节的W寄存器指令（包括桶形移位指令）有三个操作数：

- 第一个源操作数，通常是寄存器Wb，不带任何地址修改量
- 第二个源操作数，通常是寄存器Ws，带或不带地址修改量
- 保存结果的目标寄存器，通常是寄存器 Wd，带或不带地址修改量

不过，针对字或字节的文件寄存器指令只有两个操作数：

- 文件寄存器，由f值指定
- 目标寄存器，可以是文件寄存器f或W0寄存器（用WREG表示）

大多数位操作类指令（包括简单的循环/移位指令）有两个操作数：

- W寄存器（带或不带地址修改量）或文件寄存器（由Ws或f的值指定）
- W寄存器或文件寄存器中的位（由一个立即数值指定，或者由寄存器Wb的内容间接指定）

涉及数据传送的立即数指令，可以使用下列操作数：

- 要被装入到W寄存器或文件寄存器中的立即数（由k指定）
- 要装入立即数的W寄存器或文件寄存器（由Wb或f指定）

然而，涉及算术或逻辑运算的立即数指令，使用如下的操作数：

- 第一个源操作数是寄存器Wb，不带任何地址修改量
- 第二个源操作数是立即数
- 操作结果的目标寄存器（仅在与第一个源操作数不同时）通常是寄存器Wd（带或不带地址修改量）

MAC类DSP指令可使用下列操作数：

- 要使用的累加器（A或B）（必需的操作数）
- 要用作两个操作数的W寄存器
- X和Y地址空间预取操作
- X和Y地址空间预取目标寄存器
- 累加器回写目标寄存器

与乘法无关的其他DSP指令使用的操作数可能包括：

- 要使用的累加器（必需）
- 源操作数或目标操作数（分别由 Wso 或 Wdo 指定），带或不带地址修改量
- 移位位数，由W寄存器Wn或立即数指定

控制指令可以使用下列操作数：

- 程序存储器地址
- 表读和表写指令的模式

大多数指令都是单字指令。设计了一些双字指令，用48位来提供所需信息。在第二个字中，高8位全为0。如果指令自身将第二个字当作一条指令来执行的话，它将作为一条NOP指令来执行。

双字指令执行需要两个指令周期。

大多数单字长指令都在一个指令周期内执行，除非条件测试为真、指令执行结果改变了程序计数器或者执行了PSV或表读操作。在这些情况下，指令执行需要多个指令周期，在额外的指令周期中执行NOP指令。某些可能涉及到跳过后续指令的指令，如果要执行跳过的话，可能需要两个或三个周期，这取决于被跳过的指令是单字还是双字指令。此外，双字传送需要两个周期。

注： 关于指令集的更多详细信息，请参见《16位MCU和DSC程序员参考手册》（DS70157E_CN）。

表24-1： 操作码说明中使用的符号

字段	说明
#text	表示由text定义的立即数
(text)	表示text的内容
[text]	表示由text寻址的存储单元
{ }	可选字段或操作
a ∈ {b, c, d}	a从值b、c和d的集合中选择
<n:m>	寄存器位域
.b	字节模式选择
.d	双字模式选择
.S	影子寄存器选择
.w	字模式选择（默认）
Acc	两个累加器{A, B}之一
AWB	累加器回写目标地址寄存器 ∈ {W13, [W13]+ = 2}
bit4	4位位选择字段（用于字寻址指令）∈ {0...15}
C, DC, N, OV, Z	MCU状态位：进位、半进位、负、溢出和全零标志位
Expr	绝对地址、标号或表达式（由链接器解析）
f	文件寄存器地址 ∈ {0x0000...0x1FFF}
lit1	1位无符号立即数 ∈ {0,1}
lit4	4位无符号立即数 ∈ {0...15}
lit5	5位无符号立即数 ∈ {0...31}
lit8	8位无符号立即数 ∈ {0...255}
lit10	10位无符号立即数 ∈ {0...255}（对于字节模式）或{0:1023}（对于字模式）
lit14	14位无符号立即数 ∈ {0...16384}
lit16	16位无符号立即数 ∈ {0...65535}
lit23	23位无符号立即数 ∈ {0...8388608}；LSb必须为0
无	字段无需内容，可为空
OA, OB, SA, SB	DSP状态位：ACCA溢出、ACCB溢出、ACCA饱和和ACCB饱和
PC	程序计数器
Slit10	10位有符号立即数 ∈ {-512...511}
Slit16	16位有符号立即数 ∈ {-32768...32767}
Slit6	6位有符号立即数 ∈ {-16...16}
Wb	基本W寄存器 ∈ {W0...W15}
Wd	目标W寄存器 ∈ {Wd, [Wd], [Wd++], [Wd--], [++Wd], [--Wd]}
Wdo	目标W寄存器 ∈ {Wnd, [Wnd], [Wnd++], [Wnd--], [++Wnd], [--Wnd], [Wnd+Wb]}
Wm,Wn	被除数和除数工作寄存器对（直接寻址）

© 2015-2018 Microchip Technology Inc.

表24-1： 操作码说明中使用的符号（续）

字段	说明
Wm*Wm	用于平方指令的被乘数和乘数工作寄存器对 ∈ {W4 * W4,W5 * W5,W6 * W6,W7 * W7}
Wm*Wn	用于DSP指令的被乘数和乘数工作寄存器对 ∈ {W4 * W5,W4 * W6,W4 * W7,W5 * W6,W5 * W7,W6 * W7}
Wn	16个工作寄存器之一 ∈ {W0...W15}
Wnd	16个目标工作寄存器之一 ∈ {W0...W15}
Wns	16个源工作寄存器之一 ∈ {W0...W15}
WREG	W0（文件寄存器指令中使用的工作寄存器）
Ws	源W寄存器 ∈ {Ws, [Ws], [Ws++], [Ws--], [++Ws], [--Ws]}
Wso	源W寄存器 ∈ {Wns, [Wns], [Wns++], [Wns--], [++Wns], [--Wns], [Wns+Wb]}
Wx	用于DSP指令的X数据空间预取地址寄存器 ∈ {[W8] + = 6, [W8] + = 4, [W8] + = 2, [W8], [W8] - = 6, [W8] - = 4, [W8] - = 2, [W9] + = 6, [W9] + = 4, [W9] + = 2, [W9], [W9] - = 6, [W9] - = 4, [W9] - = 2, [W9 + W12], 无}
Wxd	用于DSP指令的X数据空间预取目标寄存器 ∈ {W4...W7}
Wy	用于DSP指令的Y数据空间预取地址寄存器 ∈ {[W10] + = 6, [W10] + = 4, [W10] + = 2, [W10], [W10] - = 6, [W10] - = 4, [W10] - = 2, [W11] + = 6, [W11] + = 4, [W11] + = 2, [W11], [W11] - = 6, [W11] - = 4, [W11] - = 2, [W11 + W12], 无}
Wyd	用于DSP指令的Y数据空间预取目标寄存器 ∈ {W4...W7}

表24-2： 指令集概述

基本指令编号	汇编助记符	汇编语法		说明	字数	周期数(1)	影响的状态标志
1	ADD	ADD	Acc	累加器相加	1	1	OA,OB,SA,SB
		ADD	f	f = f + WREG	1	1	C,DC,N,OV,Z
		ADD	f,WREG	WREG = f + WREG	1	1	C,DC,N,OV,Z
		ADD	#lit10,Wn	Wd = lit10 + Wd	1	1	C,DC,N,OV,Z
		ADD	Wb,Ws,Wd	Wd = Wb + Ws	1	1	C,DC,N,OV,Z
		ADD	Wb,#lit5,Wd	Wd = Wb + lit5	1	1	C,DC,N,OV,Z
		ADD	Wso,#Slit4,Acc	将16位有符号立即数加到累加器	1	1	OA,OB,SA,SB
2	ADDC	ADDC	f	f = f + WREG + (C)	1	1	C,DC,N,OV,Z
		ADDC	f,WREG	WREG = f + WREG + (C)	1	1	C,DC,N,OV,Z
		ADDC	#lit10,Wn	Wd = lit10 + Wd + (C)	1	1	C,DC,N,OV,Z
		ADDC	Wb,Ws,Wd	Wd = Wb + Ws + (C)	1	1	C,DC,N,OV,Z
		ADDC	Wb,#lit5,Wd	Wd = Wb + lit5 + (C)	1	1	C,DC,N,OV,Z
3	AND	AND	f	f = f .AND. WREG	1	1	N,Z
		AND	f,WREG	WREG = f .AND. WREG	1	1	N,Z
		AND	#lit10,Wn	Wd = lit10 .AND. Wd	1	1	N,Z
		AND	Wb,Ws,Wd	Wd = Wb .AND. Ws	1	1	N,Z
		AND	Wb,#lit5,Wd	Wd = Wb .AND. lit5	1	1	N,Z
4	ASR	ASR	f	f = 算术右移f	1	1	C,N,OV,Z
		ASR	f,WREG	WREG = 算术右移f	1	1	C,N,OV,Z
		ASR	Ws,Wd	Wd = 算术右移Ws	1	1	C,N,OV,Z
		ASR	Wb,Wns,Wnd	Wnd = 将Wb算术右移Wns位	1	1	N,Z
		ASR	Wb,#lit5,Wnd	Wnd = 将Wb算术右移lit5位	1	1	N,Z
5	BCLR	BCLR	f,#bit4	将f中的指定位清零	1	1	无
		BCLR	Ws,#bit4	将Ws中的指定位清零	1	1	无
6	BOOTSWP	BOOTSWP		交换活动和非活动程序闪存空间	1	2	无
7	BRA	BRA	C,Expr	如果有进位则跳转	1	1（4）	无
		BRA	GE,Expr	如果大于或等于则跳转	1	1（4）	无
		BRA	GEU,Expr	如果无符号大于或等于则跳转	1	1（4）	无
		BRA	GT,Expr	如果大于则跳转	1	1（4）	无
		BRA	GTU,Expr	如果无符号大于则跳转	1	1（4）	无
		BRA	LE,Expr	如果小于或等于则跳转	1	1（4）	无
		BRA	LEU,Expr	如果无符号小于或等于则跳转	1	1（4）	无
		BRA	LT,Expr	如果小于则跳转	1	1（4）	无
		BRA	LTU,Expr	如果无符号小于则跳转	1	1（4）	无
		BRA	N,Expr	如果为负则跳转	1	1（4）	无
		BRA	NC,Expr	如果没有进位则跳转	1	1（4）	无
		BRA	NN,Expr	如果不为负则跳转	1	1（4）	无
		BRA	NOV,Expr	如果未溢出则跳转	1	1（4）	无
		BRA	NZ,Expr	如果不为零则跳转	1	1（4）	无
		BRA	OA,Expr	如果累加器A溢出则跳转	1	1（4）	无
		BRA	OB,Expr	如果累加器B溢出则跳转	1	1（4）	无
		BRA	OV,Expr	如果溢出则跳转	1	1（4）	无
		BRA	SA,Expr	如果累加器A饱和则跳转	1	1（4）	无
		BRA	SB,Expr	如果累加器B饱和则跳转	1	1（4）	无
		BRA	Expr	无条件跳转	1	4	无
		BRA	Z,Expr	如果为零则跳转	1	1（4）	无
		BRA	Wn	计算跳转	1	4	无
8	BSET	BSET	f,#bit4	将f中的指定位置1	1	1	无
		BSET	Ws,#bit4	将Ws中的指定位置1	1	1	无

注 1： 对非CPU SFR执行读操作和读-修改-写操作（例如，位操作和逻辑运算）时需要一个额外的指令周期。

© 2015-2018 Microchip Technology Inc.

表24-2： 指令集概述（续）

基本指令编号	汇编助记符	汇编语法		说明	字数	周期数(1)	影响的状态标志
9	BSW	BSW.C	Ws,Wb	将C位内容写入Ws<Wb>	1	1	无
		BSW.Z	Ws,Wb	将Z位内容取反写入Ws<Wb>	1	1	无
10	BTG	BTG	f,#bit4	将f中的指定位取反	1	1	无
		BTG	Ws,#bit4	将Ws中的指定位取反	1	1	无
11	BTSC	BTSC	f,#bit4	对f中的指定位进行测试，如果为零则跳过	1	1（2或3）	无
		BTSC	Ws,#bit4	对Ws中的指定位进行测试，如果为零则跳过	1	1（2或3）	无
12	BTSS	BTSS	f,#bit4	对f中的指定位进行测试，如果为1则跳过	1	1（2或3）	无
		BTSS	Ws,#bit4	对Ws中的指定位进行测试，如果为1则跳过	1	1（2或3）	无
13	BTST	BTST	f,#bit4	对f中的指定位进行测试	1	1	Z
		BTST.C	Ws,#bit4	对Ws中的指定位进行测试，并将其值存储到C	1	1	C
		BTST.Z	Ws,#bit4	对Ws中的指定位进行测试，并将其反码存储到Z	1	1	Z
		BTST.C	Ws,Wb	对Ws<Wb>位进行测试，并将其值存储到C	1	1	C
		BTST.Z	Ws,Wb	对Ws<Wb>位进行测试，并将其反码存储到Z	1	1	Z
14	BTSTS	BTSTS	f,#bit4	对f中的指定位进行测试，并将f中的该位置1	1	1	Z
		BTSTS.C	Ws,#bit4	对Ws中的指定位进行测试，并将其值存储到C，然后将Ws中的该位置1	1	1	C
		BTSTS.Z	Ws,#bit4	对Ws中的指定位进行测试，并将其反码存储到Z，然后将Ws中的该位置1	1	1	Z
15	CALL	CALL	lit23	调用子程序	2	4	SFA
		CALL	Wn	间接调用子程序	1	4	SFA
		CALL.L	Wn	间接调用子程序（长地址）	1	4	SFA
16	CLR	CLR	f	f = 0x0000	1	1	无
		CLR	WREG	WREG = 0x0000	1	1	无
		CLR	Ws	Ws = 0x0000	1	1	无
		CLR	Acc,Wx,Wxd,Wy,Wyd,AWB	将累加器清零	1	1	OA,OB,SA,SB
17	CLRWDT	CLRWDT		将看门狗定时器清零	1	1	WDTO,Sleep
18	COM	COM	f	$f = \bar{f}$	1	1	N,Z
		COM	f,WREG	$WREG = \bar{f}$	1	1	N,Z
		COM	Ws,Wd	$Wd = \overline{Ws}$	1	1	N,Z
19	CP	CP	f	比较f和WREG	1	1	C,DC,N,OV,Z
		CP	Wb,#lit8	比较Wb和lit8	1	1	C,DC,N,OV,Z
		CP	Wb,Ws	比较Wb和Ws（Wb – Ws）	1	1	C,DC,N,OV,Z
20	CP0	CP0	f	比较f和0x0000	1	1	C,DC,N,OV,Z
		CP0	Ws	比较Ws和0x0000	1	1	C,DC,N,OV,Z
21	CPB	CPB	f	带借位比较f和WREG	1	1	C,DC,N,OV,Z
		CPB	Wb,#lit8	带借位比较Wb和lit8	1	1	C,DC,N,OV,Z
		CPB	Wb,Ws	带借位比较Wb和Ws（Wb – Ws – $\overline{C}$）	1	1	C,DC,N,OV,Z
22	CPSEQ	CPSEQ	Wb,Wn	比较Wb和Wn，如果相等则跳过	1	1（2或3）	无
	CPBEQ	CPBEQ	Wb,Wn,Expr	比较Wb和Wn，如果相等则跳转	1	1（5）	无
23	CPSGT	CPSGT	Wb,Wn	比较Wb和Wn，如果大于则跳过	1	1（2或3）	无
	CPBGT	CPBGT	Wb,Wn,Expr	比较Wb和Wn，如果大于则跳转	1	1（5）	无
24	CPSLT	CPSLT	Wb,Wn	比较Wb和Wn，如果小于则跳过	1	1（2或3）	无
	CPBLT	CPBLT	Wb,Wn,Expr	比较Wb和Wn，如果小于则跳转	1	1（5）	无
25	CPSNE	CPSNE	Wb,Wn	比较Wb和Wn，如果不相等则跳过	1	1（2或3）	无
	CPBNE	CPBNE	Wb,Wn,Expr	比较Wb和Wn，如果不相等则跳转	1	1（5）	无

注 1： 对非CPU SFR执行读操作和读-修改-写操作（例如，位操作和逻辑运算）时需要一个额外的指令周期。

表24-2： 指令集概述（续）

基本指令编号	汇编助记符	汇编语法	说明	字数	周期数(1)	影响的状态标志
26	CTXTSWP	CTXTSWP #1it3	将CPU寄存器现场切换至lit3定义的现场	1	2	无
		CTXTSWP Wn	将CPU寄存器现场切换至Wn定义的现场	1	2	无
27	DAW	DAW Wn	Wn = 十进制调整Wn	1	1	C
28	DEC	DEC f	f = f – 1	1	1	C,DC,N,OV,Z
		DEC f,WREG	WREG = f – 1	1	1	C,DC,N,OV,Z
		DEC Ws,Wd	Wd = Ws – 1	1	1	C,DC,N,OV,Z
29	DEC2	DEC2 f	f = f – 2	1	1	C,DC,N,OV,Z
		DEC2 f,WREG	WREG = f – 2	1	1	C,DC,N,OV,Z
		DEC2 Ws,Wd	Wd = Ws – 2	1	1	C,DC,N,OV,Z
30	DISI	DISI #lit14	在k个指令周期内禁止中断	1	1	无
31	DIV	DIV.S Wm,Wn	有符号16/16位整数除法	1	18	N,Z,C,OV
		DIV.SD Wm,Wn	有符号32/16位整数除法	1	18	N,Z,C,OV
		DIV.U Wm,Wn	无符号16/16位整数除法	1	18	N,Z,C,OV
		DIV.UD Wm,Wn	无符号32/16位整数除法	1	18	N,Z,C,OV
32	DIVF	DIVF Wm,Wn	有符号16/16位小数除法	1	18	N,Z,C,OV
33	DO	DO #lit15,Expr	执行DO循环代码到PC + Expr，执行次数为lit15 + 1次	2	2	无
		DO Wn,Expr	执行DO循环代码到PC + Expr，执行次数为(Wn) + 1次	2	2	无
34	ED	ED Wm*Wm,Acc,Wx,Wy,Wxd	欧几里德距离（无累加）	1	1	OA,OB,OAB, SA,SB,SAB
35	EDAC	EDAC Wm*Wm,Acc,Wx,Wy,Wxd	欧几里德距离	1	1	OA,OB,OAB, SA,SB,SAB
36	EXCH	EXCH Wns,Wnd	交换Wns和Wnd的内容	1	1	无
37	FBCL	FBCL Ws,Wnd	从左边（MSb）开始查找第一个位变化	1	1	C
38	FF1L	FF1L Ws,Wnd	从左边（MSb）开始查找第一个1	1	1	C
39	FF1R	FF1R Ws,Wnd	从右边（LSb）开始查找第一个1	1	1	C
40	GOTO	GOTO Expr	跳转到地址	2	4	无
		GOTO Wn	间接跳转到地址	1	4	无
		GOTO.L Wn	间接跳转到地址（长地址）	1	4	无
41	INC	INC f	f = f + 1	1	1	C,DC,N,OV,Z
		INC f,WREG	WREG = f + 1	1	1	C,DC,N,OV,Z
		INC Ws,Wd	Wd = Ws + 1	1	1	C,DC,N,OV,Z
42	INC2	INC2 f	f = f + 2	1	1	C,DC,N,OV,Z
		INC2 f,WREG	WREG = f + 2	1	1	C,DC,N,OV,Z
		INC2 Ws,Wd	Wd = Ws + 2	1	1	C,DC,N,OV,Z
43	IOR	IOR f	f = f .IOR. WREG	1	1	N,Z
		IOR f,WREG	WREG = f .IOR. WREG	1	1	N,Z
		IOR #lit10,Wn	Wd = lit10 .IOR. Wd	1	1	N,Z
		IOR Wb,Ws,Wd	Wd = Wb .IOR. Ws	1	1	N,Z
		IOR Wb,#lit5,Wd	Wd = Wb .IOR. lit5	1	1	N,Z
44	LAC	LAC Wso,#Slit4,Acc	装载累加器	1	1	OA,OB,OAB, SA,SB,SAB
45	LNK	LNK #lit14	分配堆栈帧	1	1	SFA
46	LSR	LSR f	f = 逻辑右移f	1	1	C,N,OV,Z
		LSR f,WREG	WREG = 逻辑右移f	1	1	C,N,OV,Z
		LSR Ws,Wd	Wd = 逻辑右移Ws	1	1	C,N,OV,Z
		LSR Wb,Wns,Wnd	Wnd = 将Wb逻辑右移Wns位	1	1	N,Z
		LSR Wb,#lit5,Wnd	Wnd = 将Wb逻辑右移lit5位	1	1	N,Z
47	MAC	MAC Wm*Wn,Acc,Wx,Wxd,Wy, Wyd,AWB	相乘并累加	1	1	OA,OB,OAB, SA,SB,SAB
		MAC Wm*Wm,Acc,Wx,Wxd,Wy, Wyd	平方并累加	1	1	OA,OB,OAB, SA,SB,SAB

注 1： 对非CPU SFR执行读操作和读-修改-写操作（例如，位操作和逻辑运算）时需要一个额外的指令周期。

© 2015-2018 Microchip Technology Inc.

表24-2： 指令集概述（续）

基本指令编号	汇编助记符	汇编语法	说明	字数	周期数(1)	影响的状态标志
48	MOV	MOV f,Wn	将f中的内容送入Wn	1	1	无
		MOV f	将f中的内容送入f	1	1	无
		MOV f,WREG	将f中的内容送入WREG	1	1	无
		MOV #lit16,Wn	将16位立即数送入Wn	1	1	无
		MOV.b #lit8,Wn	将8位立即数送入Wn	1	1	无
		MOV Wn,f	将Wn中的内容送入f	1	1	无
		MOV Wso,Wdo	将Ws中的内容送入Wd	1	1	无
		MOV WREG,f	将WREG中的内容送入f	1	1	无
		MOV.D Wns,Wd	将W(ns):W(ns + 1)中的双字内容送入Wd	1	2	无
		MOV.D Ws,Wnd	将Ws中的双字内容送入W(nd + 1):W(nd)	1	2	无
49	MOVPAG	MOVPAG #lit10,DSRPAG	将10位立即数送入DSRPAG	1	1	无
		MOVPAG #lit8,TBLPAG	将8位立即数送入TBLPAG	1	1	无
		MOVPAGW Ws, DSRPAG	将Ws<9:0>中的内容送入DSRPAG	1	1	无
		MOVPAGW Ws, TBLPAG	将Ws<7:0>中的内容送入TBLPAG	1	1	无
50	MOVSAC	MOVSAC Acc,Wx,Wxd,Wy,Wyd,AWB	预取操作数并保存累加器	1	1	无
51	MPY	MPY Wm*Wn,Acc,Wx,Wxd,Wy,Wyd	Wm与Wn相乘，结果存入累加器	1	1	OA,OB,OAB,SA,SB,SAB
		MPY Wm*Wm,Acc,Wx,Wxd,Wy,Wyd	Wm平方，结果存入累加器	1	1	OA,OB,OAB,SA,SB,SAB
52	MPY.N	MPY.N Wm*Wn,Acc,Wx,Wxd,Wy,Wyd	Wm与Wn相乘并取相反数，结果存入累加器	1	1	无
53	MSC	MSC Wm*Wm,Acc,Wx,Wxd,Wy,Wyd,AWB	相乘再从累加器中减去	1	1	OA,OB,OAB,SA,SB,SAB
54	MUL	MUL.SS Wb,Ws,Wnd	{Wnd + 1, Wnd} = 有符号(Wb) * 有符号(Ws)	1	1	无
		MUL.SS Wb,Ws,Acc	累加器 = 有符号(Wb) * 有符号(Ws)	1	1	无
		MUL.SU Wb,Ws,Wnd	{Wnd + 1, Wnd} = 有符号(Wb) * 无符号(Ws)	1	1	无
		MUL.SU Wb,Ws,Acc	累加器 = 有符号(Wb) * 无符号(Ws)	1	1	无
		MUL.SU Wb,#lit5,Acc	累加器 = 有符号(Wb) * 无符号(lit5)	1	1	无
		MUL.US Wb,Ws,Wnd	{Wnd + 1, Wnd} = 无符号(Wb) * 有符号(Ws)	1	1	无
		MUL.US Wb,Ws,Acc	累加器 = 无符号(Wb) * 有符号(Ws)	1	1	无
		MUL.UU Wb,Ws,Wnd	{Wnd + 1, Wnd} = 无符号(Wb) * 无符号(Ws)	1	1	无
		MUL.UU Wb,#lit5,Acc	累加器 = 无符号(Wb) * 无符号(lit5)	1	1	无
		MUL.UU Wb,Ws,Acc	累加器 = 无符号(Wb) * 无符号(Ws)	1	1	无
		MULW.SS Wb,Ws,Wnd	Wnd = 有符号(Wb) * 有符号(Ws)	1	1	无
		MULW.SU Wb,Ws,Wnd	Wnd = 有符号(Wb) * 无符号(Ws)	1	1	无
		MULW.US Wb,Ws,Wnd	Wnd = 无符号(Wb) * 有符号(Ws)	1	1	无
		MULW.UU Wb,Ws,Wnd	Wnd = 无符号(Wb) * 无符号(Ws)	1	1	无
		MUL.SU Wb,#lit5,Wnd	{Wnd + 1, Wnd} = 有符号(Wb) * 无符号(lit5)	1	1	无
		MUL.SU Wb,#lit5,Wnd	Wnd = 有符号(Wb) * 无符号(lit5)	1	1	无
		MUL.UU Wb,#lit5,Wnd	{Wnd + 1, Wnd} = 无符号(Wb) * 无符号(lit5)	1	1	无
		MUL.UU Wb,#lit5,Wnd	Wnd = 无符号(Wb) * 无符号(lit5)	1	1	无
		MUL f	W3:W2 = f * WREG	1	1	无

注 1： 对非CPU SFR执行读操作和读-修改-写操作（例如，位操作和逻辑运算）时需要一个额外的指令周期。

表24-2： 指令集概述（续）

基本指令编号	汇编助记符	汇编语法	说明	字数	周期数(1)	影响的状态标志
55	NEG	NEG Acc	将累加器内容求补	1	1	OA,OB,OAB, SA,SB,SAB
		NEG f	f = $\bar{f}$ + 1	1	1	C,DC,N,OV,Z
		NEG f,WREG	WREG = $\bar{f}$ + 1	1	1	C,DC,N,OV,Z
		NEG Ws,Wd	Wd = $\overline{Ws}$ + 1	1	1	C,DC,N,OV,Z
56	NOP	NOP	空操作	1	1	无
		NOPR	空操作	1	1	无
57	POP	POP f	将栈顶（Top-of-Stack，TOS）的内容弹出到f	1	1	无
		POP Wdo	将栈顶（TOS）的内容弹出到Wdo	1	1	无
		POP.D Wnd	将栈顶（TOS）的内容弹出到W(nd):W(nd + 1)	1	2	无
		POP.S	将影子寄存器的内容弹出到主寄存器	1	1	全部
58	PUSH	PUSH f	将f的内容压入栈顶（TOS）	1	1	无
		PUSH Wso	将Wso的内容压入栈顶（TOS）	1	1	无
		PUSH.D Wns	将W(ns):W(ns + 1)的内容压入栈顶（TOS）	1	2	无
		PUSH.S	将主寄存器中的内容压入影子寄存器	1	1	无
59	PWRSAV	PWRSAV #lit1	进入休眠或空闲模式	1	1	WDTO,Sleep
60	RCALL	RCALL Expr	相对调用	1	4	SFA
		RCALL Wn	计算调用	1	4	SFA
61	REPEAT	REPEAT #lit15	将下一条指令重复执行lit15 + 1次	1	1	无
		REPEAT Wn	将下一条指令重复执行(Wn) + 1次	1	1	无
62	RESET	RESET	软件器件复位	1	1	无
63	RETFIE	RETFIE	从中断返回	1	6（5）	SFA
64	RETLW	RETLW #lit10,Wn	返回并将立即数存入Wn	1	6（5）	SFA
65	RETURN	RETURN	从子程序返回	1	6（5）	SFA
66	RLC	RLC f	f = 对f执行带进位的循环左移	1	1	C,N,Z
		RLC f,WREG	WREG = 对f执行带进位的循环左移	1	1	C,N,Z
		RLC Ws,Wd	Wd = 对Ws执行带进位的循环左移	1	1	C,N,Z
67	RLNC	RLNC f	f = 循环左移f（不带进位）	1	1	N,Z
		RLNC f,WREG	WREG = 循环左移f（不带进位）	1	1	N,Z
		RLNC Ws,Wd	Wd = 循环左移Ws（不带进位）	1	1	N,Z
68	RRC	RRC f	f = 对f执行带进位的循环右移	1	1	C,N,Z
		RRC f,WREG	WREG = 对f执行带进位的循环右移	1	1	C,N,Z
		RRC Ws,Wd	Wd = 对Ws执行带进位的循环右移	1	1	C,N,Z
69	RRNC	RRNC f	f = 循环右移f（不带进位）	1	1	N,Z
		RRNC f,WREG	WREG = 循环右移f（不带进位）	1	1	N,Z
		RRNC Ws,Wd	Wd = 循环右移Ws（不带进位）	1	1	N,Z
70	SAC	SAC Acc,#Slit4,Wdo	保存累加器内容	1	1	无
		SAC.R Acc,#Slit4,Wdo	保存舍入后的累加器内容	1	1	无
71	SE	SE Ws,Wnd	Wnd = 符号扩展后的Ws	1	1	C,N,Z
72	SETM	SETM f	f = 0xFFFF	1	1	无
		SETM WREG	WREG = 0xFFFF	1	1	无
		SETM Ws	Ws = 0xFFFF	1	1	无
73	SFTAC	SFTAC Acc,Wn	对累加器算术移位(Wn)次	1	1	OA,OB,OAB, SA,SB,SAB
		SFTAC Acc,#Slit6	对累加器算术移位Slit6次	1	1	OA,OB,OAB, SA,SB,SAB

注 1： 对非CPU SFR执行读操作和读-修改-写操作（例如，位操作和逻辑运算）时需要一个额外的指令周期。

© 2015-2018 Microchip Technology Inc.

表24-2： 指令集概述（续）

基本指令编号	汇编助记符	汇编语法		说明	字数	周期数(1)	影响的状态标志
74	SL	SL	f	f = 左移f	1	1	C,N,OV,Z
		SL	f,WREG	WREG = 左移f	1	1	C,N,OV,Z
		SL	Ws,Wd	Wd = 左移Ws	1	1	C,N,OV,Z
		SL	Wb,Wns,Wnd	Wnd = 将Wb左移Wns位	1	1	N,Z
		SL	Wb,#lit5,Wnd	Wnd = 将Wb左移lit5位	1	1	N,Z
75	SUB	SUB	Acc	从累加器减去	1	1	OA,OB,OAB, SA,SB,SAB
		SUB	f	f = f – WREG	1	1	C,DC,N,OV,Z
		SUB	f,WREG	WREG = f – WREG	1	1	C,DC,N,OV,Z
		SUB	#lit10,Wn	Wn = Wn – lit10	1	1	C,DC,N,OV,Z
		SUB	Wb,Ws,Wd	Wd = Wb – Ws	1	1	C,DC,N,OV,Z
		SUB	Wb,#lit5,Wd	Wd = Wb – lit5	1	1	C,DC,N,OV,Z
76	SUBB	SUBB	f	f = f – WREG – ($\overline{C}$)	1	1	C,DC,N,OV,Z
		SUBB	f,WREG	WREG = f – WREG – ($\overline{C}$)	1	1	C,DC,N,OV,Z
		SUBB	#lit10,Wn	Wn = Wn – lit10 – ($\overline{C}$)	1	1	C,DC,N,OV,Z
		SUBB	Wb,Ws,Wd	Wd = Wb – Ws – ($\overline{C}$)	1	1	C,DC,N,OV,Z
		SUBB	Wb,#lit5,Wd	Wd = Wb – lit5 – ($\overline{C}$)	1	1	C,DC,N,OV,Z
77	SUBR	SUBR	f	f = WREG – f	1	1	C,DC,N,OV,Z
		SUBR	f,WREG	WREG = WREG – f	1	1	C,DC,N,OV,Z
		SUBR	Wb,Ws,Wd	Wd = Ws – Wb	1	1	C,DC,N,OV,Z
		SUBR	Wb,#lit5,Wd	Wd = lit5 – Wb	1	1	C,DC,N,OV,Z
78	SUBBR	SUBBR	f	f = WREG – f – ($\overline{C}$)	1	1	C,DC,N,OV,Z
		SUBBR	f,WREG	WREG = WREG – f – ($\overline{C}$)	1	1	C,DC,N,OV,Z
		SUBBR	Wb,Ws,Wd	Wd = Ws – Wb – ($\overline{C}$)	1	1	C,DC,N,OV,Z
		SUBBR	Wb,#lit5,Wd	Wd = lit5 – Wb – ($\overline{C}$)	1	1	C,DC,N,OV,Z
79	SWAP	SWAP.b	Wn	Wn = 半字节交换Wn内容	1	1	无
		SWAP	Wn	Wn = 将Wn的两个字节相交换	1	1	无
80	TBLRDH	TBLRDH	Ws,Wd	将程序存储器中某个单元的bit<23:16>读入Wd<7:0>	1	5	无
81	TBLRDL	TBLRDL	Ws,Wd	将程序存储器中某个单元的bit<15:0>读入Wd	1	5	无
82	TBLWTH	TBLWTH	Ws,Wd	将Ws<7:0>写入程序存储器中某个单元的bit<23:16>	1	2	无
83	TBLWTL	TBLWTL	Ws,Wd	将Ws写入程序存储器中某个单元的bit<15:0>	1	2	无
84	ULNK	ULNK		释放堆栈帧	1	1	SFA
85	XOR	XOR	f	f = f .XOR. WREG	1	1	N,Z
		XOR	f,WREG	WREG = f .XOR. WREG	1	1	N,Z
		XOR	#lit10,Wn	Wd = lit10 .XOR. Wd	1	1	N,Z
		XOR	Wb,Ws,Wd	Wd = Wb .XOR. Ws	1	1	N,Z
		XOR	Wb,#lit5,Wd	Wd = Wb .XOR. lit5	1	1	N,Z
86	ZE	ZE	Ws,Wnd	Wnd = 零扩展后的Ws	1	1	C,Z,N

注 1： 对非CPU SFR执行读操作和读-修改-写操作（例如，位操作和逻辑运算）时需要一个额外的指令周期。

注：

© 2015-2018 Microchip Technology Inc.

25.0 开发支持

一系列软件及硬件开发工具对 PIC® 单片机（MCU）和 dsPIC® 数字信号控制器（DSC）提供支持：

- 集成开发环境
  - MPLAB® X IDE 软件
- 编译器 / 汇编器 / 链接器
  - MPLAB XC 编译器
  - MPASM™ 汇编器
  - MPLINK™ 目标链接器 / MPLIB™ 目标库管理器
  - 适用于各种器件系列的 MPLAB 汇编器 / 链接器 / 库管理器
- 模拟器
  - MPLAB X SIM 软件模拟器
- 仿真器
  - MPLAB REAL ICE™ 在线仿真器
- 在线调试器 / 编程器
  - MPLAB ICD 3
  - PICkit™ 3
- 器件编程器
  - MPLAB PM3 器件编程器
- 低成本演示 / 开发板、评估工具包及入门工具包
- 第三方开发工具

25.1 MPLAB X集成开发环境软件

MPLAB X IDE 是适用于 Microchip 和第三方软硬件开发工具统一的通用图形用户界面，可以在 Windows®、Linux 和 Mac OS® X 上运行。MPLAB X IDE 是一款全新的 IDE，它基于 NetBeans IDE，包含许多免费的软件组件和插件，适用于高性能的应用程序开发和调试。通过这一无缝交互的用户界面，在不同工具之间的迁移以及从软件模拟器到硬件调试和编程工具的升级都变得极为简便。

MPLAB X IDE 具有完善的项目管理、可视化的调用图、可配置的观察窗口以及包含代码补全功能和上下文菜单的功能丰富编辑器，因此对于新用户来说非常灵活和友好。 MPLAB X IDE 支持对多个项目使用多个工具和同时调试，因此也完全可以满足经验丰富用户的需求。

功能丰富的编辑器：

- 彩色高亮显示语法
- 智能代码补全功能，在输入代码时提供建议和提示
- 基于用户定义规则，代码自动格式化
- 即时解析

用户友好的可定制界面：

- 完全可定制界面：工具栏、工具栏图标、窗口和窗口放置等
- 调用图窗口

基于项目的工作空间：

- 多个项目
- 多个工具
- 多种配置
- 同时调试会话

文件历史和错误跟踪：

- 本地文件历史功能
- 内建对 Bugzilla 缺陷跟踪系统的支持

25.2 MPLAB XC编译器

MPLAB XC编译器是适用于Microchip所有8位、16位和32位MCU以及DSC器件的完全ANSI C编译器。这些编译器提供强大的集成功能以及出色的代码优化功能，且易于使用。MPLAB XC 编译器可在 Windows、Linux 或 Mac OS X 上运行。

为方便进行源代码级调试，编译器提供了已针对 MPLAB X IDE 优化的调试信息。

MPLAB XC 编译器的免费版支持所有器件和命令，没有时间或存储容量限制，且为大多数应用程序提供了充分的代码优化。

MPLAB XC 编译器包含汇编器、链接器和实用程序。汇编器生成可重定位目标文件，然后通过链接器将生成的可重定位目标文件与其他可重定位目标文件或归档文件归档或链接在一起，进而生成可执行文件。MPLAB XC 编译器使用汇编器来生成目标文件。汇编器具有如下突出特性：

- 支持全部器件指令集
- 支持定点和浮点数据
- 命令行接口
- 丰富的伪指令集
- 灵活的宏语言
- 与 MPLAB X IDE 兼容

25.3 MPASM汇编器

MPASM 汇编器是全功能通用宏汇编器，适用于 PIC10/12/16/18 MCU。

MPASM 汇编器可生成用于 MPLINK 目标链接器的可重定位目标文件、Intel® 标准 HEX 文件、详细描述存储器使用状况和符号参考的 MAP 文件、包含源代码行及生成机器码的绝对 LST 文件以及用于调试的 COFF 文件。

MPASM 汇编器具有如下特性：

- 集成在 MPLAB X IDE 项目中
- 用户定义的宏可简化汇编代码
- 对多用途源文件进行条件汇编
- 允许完全控制汇编过程的指令

25.4 MPLINK目标链接器/ MPLIB目标库管理器

MPLINK 目标链接器组合由 MPASM 汇编器生成的可重定位目标文件。通过使用链接器脚本中的伪指令，它还可链接预编译库中的可重定位目标文件。

MPLIB目标库管理器管理预编译代码库文件的创建和修改。当从源文件调用库中的一段子程序时，只有包含此子程序的模块被链接到应用程序。这样可使大型库在许多不同应用中被高效地利用。

目标链接器 / 库管理器具有如下特性：

- 高效地连接单个的库而不是许多小文件
- 通过将相关的模块组合在一起来增强代码的可维护性
- 只要列出、替换、删除和抽取模块，便可灵活地创建库

25.5 适用于各种器件系列的 MPLAB 汇编器、链接器和库管理器

MPLAB汇编器为PIC24和PIC32 MCU以及dsPIC DSC器件从符号汇编语言生成可重定位机器码。MPLAB XC编译器使用该汇编器生成目标文件。汇编器产生可重定位目标文件之后，可将这些目标文件存档，或与其他可重定位目标文件和存档链接以生成可执行文件。该汇编器有如下显著特性：

- 支持整个器件指令集
- 支持定点和浮点数据
- 命令行接口
- 丰富的指令集
- 与 MPLAB X IDE 兼容

© 2015-2018 Microchip Technology Inc.

25.6 MPLAB X SIM软件模拟器

MPLAB X SIM 软件模拟器通过在指令级对 PIC MCU 和 dsPIC DSC 进行模拟，可在 PC 主机环境下进行代码开发。对于任何给定的指令，都可以对数据区进行检查或修改，并通过一个全面的激励控制器来施加激励。可以将各寄存器记录在文件中，以便进行进一步的运行时分析。跟踪缓冲区和逻辑分析器的显示使软件模拟器还能记录和跟踪程序的执行、 I/O 的动作、大部分的外设及内部寄存器。

MPLAB X SIM 软件模拟器完全支持使用 MPLAB XC 编译器以及 MPASM 和 MPLAB 汇编器的符号调试。该软件模拟器可用于在硬件实验室环境外灵活地开发和调试代码，是一款完美且经济的软件开发工具。

25.7 MPLAB REAL ICE在线仿真器系统

MPLAB REAL ICE 在线仿真器系统是 Microchip 针对其闪存 DSC 和 MCU 器件推出的新一代高速仿真器。结合 MPLAB X IDE 易于使用且功能强大的图形用户界面，该仿真器可对所有 8 位、16 位和 32 位 MCU 及 DSC 器件进行调试和编程。

该仿真器通过高速 USB 2.0 接口与设计工程师的 PC 相连，并利用与在线调试器系统兼容的连接器（RJ-11）或新型抗噪声、高速低压差分信号（LVDS）互连电缆（CAT5）与目标板相连。

可通过 MPLAB X IDE 下载将来版本的固件，对该仿真器进行现场升级。在同类仿真器中，MPLAB REAL ICE 的优势十分明显：全速仿真、运行时变量观察、跟踪分析、复杂断点、逻辑探针、耐用的探针接口及较长（长达 3 米）的互连电缆。

25.8 MPLAB ICD 3在线调试器系统

MPLAB ICD 3 在线调试器系统是 Microchip 成本效益最高的高速硬件调试器 / 编程器，适用于 Microchip 的闪存 DSC 和 MCU 器件。结合 MPLAB X IDE 功能强大但易于使用的图形用户界面，该调试器可对 PIC 闪存单片机和 dsPIC DSC 进行调试和编程。

MPLAB ICD 3 在线调试器通过高速 USB 2.0 接口与设计工程师的PC相连，并利用与MPLAB ICD 2或MPLAB REAL ICE 系统兼容的连接器（RJ-11）与目标板相连。MPLAB ICD 3 支持所有 MPLAB ICD 2 连接器。

25.9 PICkit 3在线调试器/编程器

结合 MPLAB X IDE 功能强大的图形用户界面，MPLAB PICkit 3 可对 PIC 闪存单片机和 dsPIC 数字信号控制器进行调试和编程，且价位较低。MPLAB PICkit 3 通过全速USB接口与设计工程师的PC相连，并利用Microchip 调试连接器 （RJ-11）（与 MPLAB ICD 3 和 MPLAB REAL ICE 兼容）与目标板相连。连接器使用两个器件 I/O 引脚和复位线来实现在线调试和在线串行编程 （In-Circuit Serial Programming™， ICSP™）。

PICkit 3 Debug Express 包括 PICkit 3、演示板和单片机、连接电缆和光盘（内含用户指南、课程、教程、编译器和 MPLAB IDE 软件）。

25.10 MPLAB PM3器件编程器

MPLAB PM3 器件编程器是一款符合 CE 规范的通用器件编程器，在 V_{DDMIN} 和 V_{DDMAX} 点对其可编程电压进行校验以确保可靠性最高。它有一个用来显示菜单和错误消息的大 LCD 显示器（128 x 64），以及一个支持各种封装类型的可拆卸模块化插槽装置。编程器标准配置中带有一根 ICSP 电缆。在单机模式下， MPLAB PM3 器件编程器不必与 PC 相连即可对 PIC MCU 和 dsPIC DSC 器件进行读取、校验和编程。在该模式下它还可设置代码保护。MPLAB PM3 通过 RS-232 或 USB 电缆连接到 PC 主机上。 MPLAB PM3 具备高速通信能力以及优化算法，可对具有大存储器的器件进行快速编程。它还包含了 MMC 卡，用于文件存储及数据应用。

25.11 演示 / 开发板、评估工具包及入门工具包

有许多演示、开发和评估板可用于各种 PIC MCU 和 dsPIC DSC，实现对全功能系统的快速应用开发。大多数的演示、开发和评估板都有实验布线区，供用户添加定制电路；还有应用固件和源代码，用于检查和修改。

这些板支持多种功能部件，包括 LED、温度传感器、开关、扬声器、 RS-232 接口、 LCD 显示器、电位计和附加 EEPROM 存储器。

演示和开发板可用于教学环境，在实验布线区设计定制电路，从而掌握各种单片机应用。

除了 PICDEM™ 和 dsPICDEM™ 演示 / 开发板系列电路外，Microchip 还有一系列评估工具包和演示软件，适用于模拟滤波器设计、KEELOQ® 数据安全产品 IC、CAN、IrDA®、 PowerSmart 电池管理、 SEEVAL® 评估系统、Σ–Δ ADC、流速传感器，等等。

同时还提供入门工具包，其中包含体验指定器件功能所需的所有软硬件。通常提供单个应用以及调试功能，都包含在一块电路板上。

有关演示、开发和评估工具包的完整列表，请访问 Microchip 网站 （www.microchip.com）。

25.12 第三方开发工具

Microchip 还提供一些来自第三方供应商的优秀开发工具。这些工具均经过精心挑选，功能独特，物有所值。

- SoftLog 和 CCS 等公司提供的器件编程器和量产编程器
- Gimpel 和 Trace Systems 等公司提供的软件工具
- Saleae 和 Total Phase 等公司提供的协议分析器
- MikroElektronika、Digilent® 和 Olimex 等公司提供的演示板
- EZ Web Lynx、WIZnet 和 IPLogika® 等公司提供的嵌入式以太网解决方案

© 2015-2018 Microchip Technology Inc.

26.0 电气特性

本章将对dsPIC33EPXXGS50X系列的电气特性进行概括介绍。其余信息在本文档的将来版本中提供。

下面列出了dsPIC33EPXXGS50X系列的绝对最大值。器件长时间工作在最大值条件下，其可靠性可能会受到影响。我们建议不要使器件工作在最大值甚至超过最大值的条件下。

绝对最大值(1)

偏置时的环境温度 ..... -40°C至+125°C
储存温度 ..... -65°C至+150°C
V_{DD}引脚相对于V_{SS}的电压 ..... 0.3V至+4.0V
任一非5V耐压引脚相对于V_{SS}的电压(3) ..... -0.3V至（V_{DD} + 0.3V）
任一5V耐压引脚相对于V_{SS}的电压（当$V_{DD} \geq 3.0V$时）(3) ..... -0.3V至+5.5V
任一5V耐压引脚相对于V_{SS}的电压（当$V_{DD} < 3.0V$时）(3) ..... -0.3V至+3.6V
流出V_{SS}引脚的最大电流 ..... 300 mA
流入V_{DD}引脚的最大电流(2) ..... 300 mA
任一4x I/O引脚的最大灌电流/拉电流 ..... 15 mA
任一8x I/O引脚的最大灌电流/拉电流 ..... 25 mA
所有端口的最大灌电流(2) ..... 200 mA

注 1： 如果器件工作条件超过上述“绝对最大值”，可能对器件造成永久性损坏。上述数值仅是极限参数，我们建议不要使器件工作在最大值甚至超过最大值的条件下。器件长时间工作在最大值条件下，其可靠性可能受到影响。

2： 允许的最大电流由器件最大功耗决定（见表26-2）。

3： 关于5V耐压的引脚，请参见**“引脚图”**部分。

26.1 直流特性

表26-1： 工作MIPS与电压

特性	VDD范围（单位：V）	温度范围（单位：°C）	最大MIPS
			dsPIC33EPXXGS50X系列
—	3.0V至3.6V(1)	-40°C至+85°C	70
—	3.0V至3.6V(1)	-40°C至+125°C	60

注 1： 器件可在VBORMIN < VDD < VDDMIN条件下工作，但此时模拟模块（ADC、PGA和比较器）的性能可能下降。此条件下的器件功能经过测试，但未确定特性值。关于最小和最大BOR值，请参见表26-13中的参数BO10。

表26-2： 热工作条件

参数	符号	最小值	典型值	最大值	单位
工业级温度器件					
工作结温范围	TJ	-40	—	+125	°C
工作环境温度范围	TA	-40	—	+85	°C
扩展级温度器件					
工作结温范围	TJ	-40	—	+140	°C
工作环境温度范围	TA	-40	—	+125	°C
功耗： 芯片内部功耗： PINT = VDD x (IDD – Σ IOH) I/O引脚功耗： I/O = Σ ({VDD – VOH} x IOH) + Σ (VOL x IOL)	PD	PINT + PI/O			W
最大允许功耗	PDMAX	(TJ – TA)/θJA			W

表26-3： 热封装特性

特性	符号	典型值	最大值	单位	注
封装热阻，64引脚TQFP（10x10x1 mm）	θJA	49.0	—	°C/W	1
封装热阻，48引脚TQFP（7x7x1.0 mm）	θJA	63.0	—	°C/W	1
封装热阻，44引脚QFN（8x8 mm）	θJA	29.0	—	°C/W	1
封装热阻，44引脚TQFP（10x10x1 mm）	θJA	50.0	—	°C/W	1
封装热阻，28引脚QFN-S（6x6x0.9 mm）	θJA	30.0	—	°C/W	1
封装热阻，28引脚UQFN（6x6x0.5 mm）	θJA	26.0	—	°C/W	1
封装热阻，28引脚SOIC（7.50 mm）	θJA	70.0	—	°C/W	1

注 1： 通过封装模拟获得结与环境的热阻值θJA。

© 2015-2018 Microchip Technology Inc.

表26-4： 直流特性的温度和电压规范

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明）(1) 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
工作电压							
DC10	VDD	供电电压	3.0	—	3.6	V	
DC12	VDR	RAM保持电压(2)	1.8	—	—	V	-40ºC
			2	—	—		+25ºC, +85ºC, +125ºC
DC16	VPOR	确保内部上电复位信号的VDD启动电压	—	—	VSS	V	
DC17	SVDD	确保内部上电复位信号的VDD上升速率	1.0	—	—	V/ms	0V-3V/3 ms

注 1： 器件可在VBORMIN < VDD < VDDMIN条件下工作，但此时模拟模块（ADC、PGA和比较器）的性能可能下降。此条件下的器件功能经过测试，但未确定特性值。关于最小和最大BOR值，请参见表26-13中的参数BO10。

2： 这是VDD的下限值，RAM内容将始终保持。

表26-5： 滤波电容（CEFC）规范

标准工作条件（除非另外声明）： 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）							
参数编号	**符号**	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**备注**
	CEFC	外部滤波电容值(1)	4.7	10	—	µF	电容必须具有较小的等效串联电阻（<1Ω）

注 1： 当VDD ≥ VDDMIN时，典型VCAP电压 = 1.8V。

表26-6： 直流特性：工作电流（IDD）

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）			
参数编号	典型值	最大值	单位	条件		
工作电流（IDD）(1)						
DC20d	7	12	mA	-40°C	3.3V	10 MIPS
DC20a	7	12	mA	+25°C		
DC20b	7	12	mA	+85°C		
DC20c	7	12	mA	+125°C		
DC22d	11	19	mA	-40°C	3.3V	20 MIPS
DC22a	11	19	mA	+25°C		
DC22b	11	19	mA	+85°C		
DC22c	11	19	mA	+125°C		
DC24d	19	30	mA	-40°C	3.3V	40 MIPS
DC24a	19	30	mA	+25°C		
DC24b	19	30	mA	+85°C		
DC24c	19	30	mA	+125°C		
DC25d	26	41	mA	-40°C	3.3V	60 MIPS
DC25a	26	41	mA	+25°C		
DC25b	26	41	mA	+85°C		
DC25c	26	41	mA	+125°C		
DC26d	30	46	mA	-40°C	3.3V	70 MIPS
DC26a	30	46	mA	+25°C		
DC26b	30	46	mA	+85°C		
DC27d	51	81	mA	-40°C	3.3V	70 MIPS（注2）
DC27a	51	81	mA	+25°C		
DC27b	52	82	mA	+85°C		

注 1： IDD主要受工作电压和频率的影响。其他因素，如I/O引脚负载和开关速率、振荡器类型、内部代码执行模式和温度也会对电流消耗产生影响。所有IDD测量值的测试条件如下：

- 振荡器配置为带PLL的EC模式，OSC1使用轨到轨的外部方波驱动（要求EC时钟过冲/下冲 < 250 mV）
- 在配置字中将CLKO配置为I/O输入引脚
- 所有I/O引脚配置为输入且被拉到VSS
- $\overline{\text{MCLR}}$ = VDD，WDT和FSCM被禁止
- CPU、SRAM、程序存储器和数据存储器处于工作状态
- 所有外设模块都不工作，也不为其提供时钟（所有已定义的PMDx位均置1）
- CPU执行`while(1)`语句
- 禁止JTAG

2： 对于此规范，以下测试条件适用：

- 使能APLL时钟
- 5个PWM全部使能并且以最大速度工作（PTCON2<2:0> = `000`），PTPER = 1000h，50%占空比
- 所有其他外设都被禁止（对应的PMDx位置1）

© 2015-2018 Microchip Technology Inc.

表26-7： 直流特性：空闲电流（IIDLE）

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）			
参数编号	典型值	最大值	单位	条件		
空闲电流（IIDLE）(1)						
DC40d	2	4	mA	-40°C	3.3V	10 MIPS
DC40a	2	4	mA	+25°C		
DC40b	2	4	mA	+85°C		
DC40c	2	4	mA	+125°C		
DC42d	3	6	mA	-40°C	3.3V	20 MIPS
DC42a	3	6	mA	+25°C		
DC42b	3	6	mA	+85°C		
DC42c	3	6	mA	+125°C		
DC44d	6	12	mA	-40°C	3.3V	40 MIPS
DC44a	6	12	mA	+25°C		
DC44b	6	12	mA	+85°C		
DC44c	6	12	mA	+125°C		
DC45d	8	15	mA	-40°C	3.3V	60 MIPS
DC45a	8	15	mA	+25°C		
DC45b	8	15	mA	+85°C		
DC45c	8	15	mA	+125°C		
DC46d	10	20	mA	-40°C	3.3V	70 MIPS
DC46a	10	20	mA	+25°C		
DC46b	10	20	mA	+85°C		

注 1： 基本空闲电流（IIDLE）的测量条件如下：

- CPU 内核不工作，振荡器配置为 EC 模式且外部时钟有效； OSC1 使用轨到轨的外部方波驱动（要求 EC 时钟过冲/下冲 < 250 mV）
- 在配置字中将CLKO配置为I/O输入引脚
- 所有I/O引脚配置为输入且被拉到VSS
- $\overline{\text{MCLR}}$ = VDD，WDT和FSCM被禁止
- 所有外设模块都不工作，也不为其提供时钟（所有已定义的PMDx位均置1）
- NVMSIDL位（NVMCON<12>）= 1（即，在器件处于空闲模式时，闪存稳压器设置为待机模式）
- VREGSF位（RCON<11>）= 0（即，在器件处于休眠模式时，闪存稳压器设置为待机模式）
- 禁止JTAG

表26-8： 直流特性：掉电电流（IPD）

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）		
参数编号	**典型值**	**最大值**	**单位**	**条件**	
掉电电流（IPD）(1)					
DC60d	12	100	μA	-40°C	3.3V
DC60a	18	100	μA	+25°C	
DC60b	130	400	μA	+85°C	
DC60c	500	1100	μA	+125°C	

注 1： IPD（休眠）电流的测量条件如下：
- CPU内核不工作，振荡器配置为EC模式且外部时钟有效； OSC1使用轨到轨的外部方波驱动（要求EC时钟过冲/下冲 < 250 mV）
- 在配置字中将CLKO配置为I/O输入引脚
- 所有I/O引脚配置为输入且被拉到VSS
- $\overline{MCLR}$ = VDD，WDT和FSCM被禁止
- 所有外设模块都被禁止（所有PMDx位均置1）
- VREGS位（RCON<8>）= 0（即，在器件处于休眠模式时，内核稳压器设置为待机模式）
- VREGSF位（RCON<11>）= 0（即，在器件处于休眠模式时，闪存稳压器设置为待机模式）
- 禁止JTAG

表26-9： 直流特性：看门狗定时器增加电流（ΔIWDT）(1)

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）		
参数编号	**典型值**	**最大值**	**单位**	**条件**	
DC61d	13	50	μA	-40°C	3.3V
DC61a	19	80	μA	+25°C	
DC61b	12	—	μA	+85°C	
DC61c	13	—	μA	+125°C	

注 1： ΔIWDT电流为当模块使能时额外消耗的电流。此电流应被加到基本IPD电流。所有参数均为特性值，但生产时未经测试。

© 2015-2018 Microchip Technology Inc.

表26-10： 直流特性：打盹电流（IDOZE）

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**典型值**	**最大值**	**打盹模式时钟分频比**	**单位**	**条件**		
打盹电流（IDOZE）(1)							
DC73a(2)	20	40	1:2	mA	-40°C	3.3V	FOSC = 140 MHz
DC73g	9	20	1:128	mA			
DC70a(2)	20	40	1:2	mA	+25°C	3.3V	FOSC = 140 MHz
DC70g	9	20	1:128	mA			
DC71a(2)	20	40	1:2	mA	+85°C	3.3V	FOSC = 140 MHz
DC71g	9	20	1:128	mA			
DC72a(2)	20	40	1:2	mA	+125°C	3.3V	FOSC = 120 MHz
DC72g	9	20	1:128	mA			

注 1： IDOZE主要受工作电压和频率的影响。其他因素，如I/O引脚负载和开关速率、振荡器类型、内部代码执行模式和温度也会对电流消耗产生影响。所有IDOZE测量值的测试条件如下：

- 振荡器配置为EC模式且外部时钟有效，OSC1使用轨到轨的外部方波驱动（要求EC时钟过冲/下冲 < 250 mV）
- 在配置字中将CLKO配置为I/O输入引脚
- 所有I/O引脚配置为输入且被拉到VSS
- $\overline{MCLR}$ = VDD，WDT和FSCM被禁止
- CPU、SRAM、程序存储器和数据存储器处于工作状态
- 所有外设模块都不工作，也不为其提供时钟（所有已定义的PMDx位均置1）
- CPU执行`while(1)`语句
- 禁止JTAG

2： 这些参数为特性值，但生产时未经测试。

表26-11： 直流特性：I/O引脚输入规范

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值(1)**	**最大值**	**单位**	**条件**
	VIL	**输入低电压**					
DI10		所有I/O引脚和MCLR	VSS	—	0.2 VDD	V	
DI18		与SDAx和SCLx复用的I/O引脚	VSS	—	0.3 VDD	V	禁止SMBus
DI19		与SDAx和SCLx复用的I/O引脚	VSS	—	0.8	V	使能SMBus
	VIH	**输入高电压**					
DI20		非5V耐压的I/O引脚(4)	0.8 VDD	—	VDD	V	
		5V耐压的I/O引脚和MCLR(4)	0.8 VDD	—	5.5	V	
		与SDAx和SCLx复用的5V耐压I/O引脚(4)	0.8 VDD	—	5.5	V	禁止SMBus
		与SDAx和SCLx复用的5V耐压I/O引脚(4)	2.1	—	5.5	V	使能SMBus
		与SDAx和SCLx复用的非5V耐压I/O引脚(4)	0.8 VDD	—	VDD	V	禁止SMBus
		与SDAx和SCLx复用的非5V耐压I/O引脚(4)	2.1	—	VDD	V	使能SMBus
DI30	ICNPU	**输入电平变化通知上拉电流**	150	340	550	μA	VDD = 3.3V，VPIN = VSS
DI31	ICNPD	**输入电平变化通知下拉电流(5)**	20	60	100	μA	VDD = 3.3V，VPIN = VDD

注 1： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

2： MCLR引脚上的泄漏电流主要取决于所施加的电压。规定电压为正常工作条件下的电压。在不同的输入电压下可能测得更高的泄漏电流。

3： 负电流定义为引脚的拉电流。

4： 关于5V耐压的I/O引脚，请参见**“引脚图”**部分。

5： VIL源 <（VSS – 0.3）。特性值，但未经测试。

6： VIH源 >（VDD + 0.3）仅适用于非5V耐压的引脚。

7： 数字5V耐压引脚没有与VDD相连的内部高端二极管，因此不能承受任何“正”输入注入电流。

8： 注入电流不为零会影响ADC结果（约4-6个计数）。

9： 只要来自所有引脚的输入注入电流的“绝对瞬时值”的和不超出规定的限制值，就允许IICL或IICH条件下未排除的I/O引脚的任意数量和/或组合。特性值，但未经测试。

© 2015-2018 Microchip Technology Inc.

表26-11： 直流特性：I/O引脚输入规范（续）

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值(1)**	**最大值**	**单位**	**条件**
	IIL	**输入泄漏电流(2,3)**					
DI50		5V耐压的I/O引脚(4)	-1	—	+1	μA	VSS ≤ VPIN ≤ VDD， 引脚处于高阻态
DI51		非5V耐压的I/O引脚(4)	-1	—	+1	μA	VSS ≤ VPIN ≤ VDD， 引脚处于高阻态， -40°C ≤ TA ≤ +85°C
DI51a		非5V耐压的I/O引脚(4)	-1	—	+1	μA	模拟引脚与外部参考引脚共用， -40°C ≤ TA ≤ +85°C
DI51b		非5V耐压的I/O引脚(4)	-1	—	+1	μA	VSS ≤ VPIN ≤ VDD， 引脚处于高阻态， -40°C ≤ TA ≤ +125°C
DI51c		非5V耐压的I/O引脚(4)	-1	—	+1	μA	模拟引脚与外部参考引脚共用， -40°C ≤ TA ≤ +125°C
DI55		$\overline{\text{MCLR}}$	-5	—	+5	μA	VSS ≤ VPIN ≤ VDD
DI56		OSC1	-5	—	+5	μA	VSS ≤ VPIN ≤ VDD， XT和HS模式

注 1： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

2： $\overline{\text{MCLR}}$引脚上的泄漏电流主要取决于所施加的电压。规定电压为正常工作条件下的电压。在不同的输入电压下可能测得更高的泄漏电流。

3： 负电流定义为引脚的拉电流。

4： 关于5V耐压的I/O引脚，请参见**“引脚图”**部分。

5： VIL源 <（VSS – 0.3）。特性值，但未经测试。

6： VIH源 >（VDD + 0.3）仅适用于非5V耐压的引脚。

7： 数字5V耐压引脚没有与VDD相连的内部高端二极管，因此不能承受任何“正”输入注入电流。

8： 注入电流不为零会影响ADC结果（约4-6个计数）。

9： 只要来自所有引脚的输入注入电流的“绝对瞬时值”的和不超出规定的限制值，就允许IICL或IICH条件下未排除的I/O引脚的任意数量和/或组合。特性值，但未经测试。

表26-11： 直流特性：I/O引脚输入规范（续）

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值(1)**	**最大值**	**单位**	**条件**
DI60a	IICL	**输入低注入电流**	0	—	-5(5,8)	mA	除VDD、VSS、AVDD、AVSS、MCLR、VCAP和RB7外的所有引脚
DI60b	IICH	**输入高注入电流**	0	—	+5(6,7,8)	mA	除VDD、VSS、AVDD、AVSS、MCLR、VCAP、RB7和所有5V耐压引脚外的所有引脚(7)
DI60c	∑IICT	**总输入注入电流（所有I/O和控制引脚电流的和）**	-20(9)	—	+20(9)	mA	来自所有I/O引脚的所有±输入注入电流的绝对瞬时值的和 (| IICL | + | IICH |) ≤ ∑IICT

注 1： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

2： MCLR引脚上的泄漏电流主要取决于所施加的电压。规定电压为正常工作条件下的电压。在不同的输入电压下可能测得更高的泄漏电流。

3： 负电流定义为引脚的拉电流。

4： 关于5V耐压的I/O引脚，请参见**“引脚图”**部分。

5： VIL源 <（VSS – 0.3）。特性值，但未经测试。

6： VIH源 >（VDD + 0.3）仅适用于非5V耐压的引脚。

7： 数字5V耐压引脚没有与VDD相连的内部高端二极管，因此不能承受任何“正”输入注入电流。

8： 注入电流不为零会影响ADC结果（约4-6个计数）。

9： 只要来自所有引脚的输入注入电流的“绝对瞬时值”的和不超出规定的限制值，就允许IICL或IICH条件下未排除的I/O引脚的任意数量和/或组合。特性值，但未经测试。

© 2015-2018 Microchip Technology Inc.

表26-12： 直流特性：I/O引脚输出规范

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数	**符号**	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
DO10	VOL	**输出低电压** 4x灌电流驱动引脚(2)	—	—	0.4	V	VDD = 3.3V， IOL ≤ 6 mA，-40°C ≤ TA ≤ +85°C， IOL ≤ 5 mA，+85°C < TA ≤ +125°C
		输出低电压 8x灌电流驱动引脚(3)	—	—	0.4	V	VDD = 3.3V， IOL ≤ 12 mA，-40°C ≤ TA ≤ +85°C， IOL ≤ 8 mA，+85°C < TA ≤ +125°C
DO20	VOH	**输出高电压** 4x拉电流驱动引脚(2)	2.4	—	—	V	IOH ≥ -10 mA，VDD = 3.3V
		输出高电压 8x拉电流驱动引脚(3)	2.4	—	—	V	IOH ≥ -15 mA，VDD = 3.3V
DO20A	VOH1	**输出高电压** 4x拉电流驱动引脚(2)	1.5(1)	—	—	V	IOH ≥ -14 mA，VDD = 3.3V
			2.0(1)	—	—		IOH ≥ -12 mA，VDD = 3.3V
			3.0(1)	—	—		IOH ≥ -7 mA，VDD = 3.3V
		输出高电压 8x拉电流驱动引脚(3)	1.5(1)	—	—	V	IOH ≥ -22 mA，VDD = 3.3V
			2.0(1)	—	—		IOH ≥ -18 mA，VDD = 3.3V
			3.0(1)	—	—		IOH ≥ -10 mA，VDD = 3.3V

注 1： 参数为特性值，但未经测试。

2： 包括RA0-RA2、RB0-RB1、RB9-RB10、RC1-RC2、RC9-RC10、RC12和RD7引脚。

3： 包括所有不是4x驱动引脚的I/O引脚（见**注2**）。

表26-13： 电气特性：BOR

直流特性			标准工作条件：3.0V至3.6V（除非另外声明）(1) 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值(2)**	**典型值**	**最大值**	**单位**	**条件**
BO10	VBOR	当VDD从高电压变为低电压时的BOR事件	2.65	—	2.95	V	VDD （**注2**和**注3**）

注 1： 器件可在VBORMIN < VDD < VDDMIN条件下工作，但性能将下降。此条件下的器件功能经过测试，但未确定特性值。模拟模块（ADC、PGA和比较器）的性能可能下降。

2： 这些参数仅供设计参考，生产时未经测试。

3： VBOR规范与VDD相关。

表26-14： 直流特性：程序存储器

直流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值(1)**	**最大值**	**单位**	**条件**
		闪存程序存储器					
D130	EP	单元耐擦写能力	10,000	—	—	E/W	-40°C至+125°C
D131	VPR	读操作时的VDD	3.0	—	3.6	V	
D132b	VPEW	自定时写的VDD	3.0	—	3.6	V	
D134	TRETD	特性保持时间	20	—	—	年	假设没有违反其他规范，-40°C至+125°C
D135	IDDP	编程时的供电电流(2)	—	10	—	mA	
D136	IPEAK	启动期间的瞬时峰值电流	—	—	150	mA	
D137a	TPE	页擦除时间	19.7	—	20.1	ms	TPE = 146893个FRC周期，TA = +85°C（**注3**）
D137b	TPE	页擦除时间	19.5	—	20.3	ms	TPE = 146893个FRC周期，TA = +125°C（**注3**）
D138a	TWW	字写周期	46.5	—	47.3	µs	TWW = 346个FRC周期，TA = +85°C（**注3**）
D138b	TWW	字写周期	46.0	—	47.9	µs	TWW = 346个FRC周期，TA = +125°C（**注3**）
D139a	TRW	行写时间	667	—	679	µs	TRW = 4965个FRC周期，TA = +85°C（**注3**）
D139b	TRW	行写时间	660	—	687	µs	TRW = 4965个FRC周期，TA = +125°C（**注3**）

注 1： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

2： 该参数为特性值，但生产时未经测试。

3： 其他条件：FRC = 7.37 MHz，TUN<5:0> = 011111（对于最小值），TUN<5:0> = 100000（对于最大值）。该参数取决于FRC精度（见表26-20）和FRC振荡器调节寄存器（见寄存器8-4）的值。关于计算最小和最大时间的完整细节，请参见**第5.3节“编程操作”**。

© 2015-2018 Microchip Technology Inc.

26.2 交流特性和时序参数

本节定义了dsPIC33EPXXGS50X系列的交流特性和时序参数。

表26-15： 温度和电压规范——交流

交流特性	**标准工作条件： 3.0V至3.6V（除非另外声明）** 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级） 工作电压VDD范围如**第26.1节“直流特性”**中所述。

图26-1： 器件时序规范的负载条件

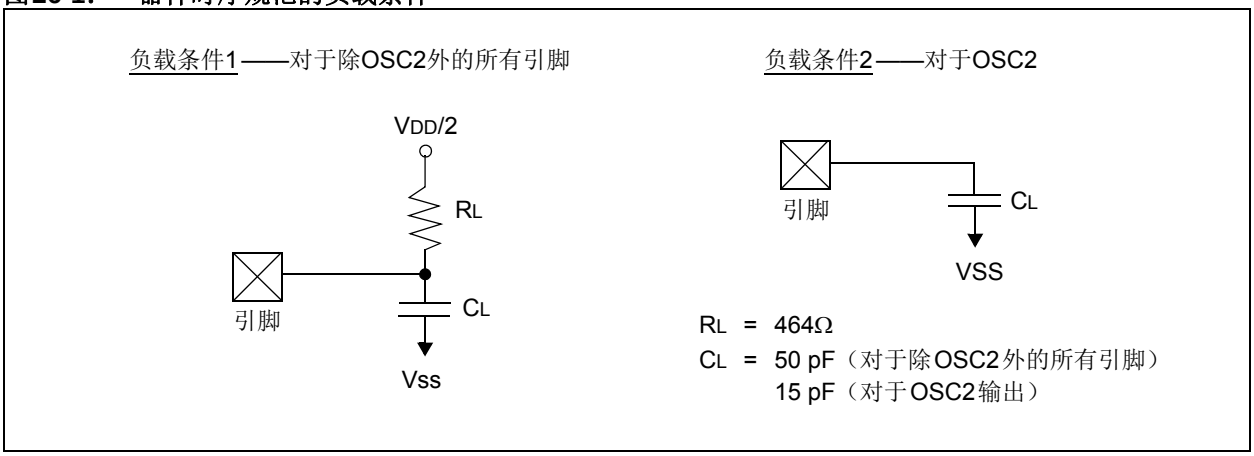


表26-16： 输出引脚上的容性负载要求

参数编号	符号	特性	最小值	典型值	最大值	单位	条件
DO50	COSCO	OSC2引脚	—	—	15	pF	当外部时钟用于驱动OSC1时，处于XT和HS模式下
DO56	CIO	所有I/O引脚和OSC2	—	—	50	pF	EC模式
DO58	CB	SCLx和SDAx	—	—	400	pF	在I^2C模式下

图26-2： 外部时钟时序

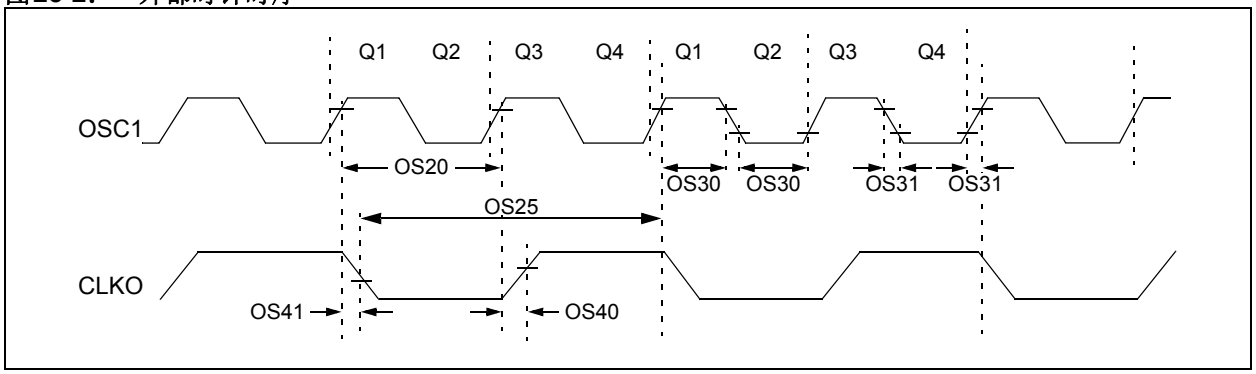


表26-17： 外部时钟时序要求

交流特性			**标准工作条件： 3.0V至3.6V（除非另外声明）** 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值(1)**	**最大值**	**单位**	**条件**
OS10	FIN	外部CLKI频率（外部时钟仅允许运行于EC和ECPLL模式）	DC	—	60	MHz	EC
		晶振频率	3.5 10	— —	10 40	MHz MHz	XT HS
OS20	TOSC	TOSC = 1/FOSC	8.33	—	DC	ns	+125°C
		TOSC = 1/FOSC	7.14	—	DC	ns	+85°C
OS25	TCY	指令周期(2)	16.67	—	DC	ns	+125°C
		指令周期(2)	14.28	—	DC	ns	+85°C
OS30	TosL，TosH	外部时钟输入（OSC1）的高电平或低电平时间	0.45 x TOSC	—	0.55 x TOSC	ns	EC
OS31	TosR，TosF	外部时钟输入（OSC1）的上升或下降时间	—	—	20	ns	EC
OS40	TckR	CLKO上升时间(3,4)	—	5.2	—	ns	
OS41	TckF	CLKO下降时间(3,4)	—	5.2	—	ns	
OS42	GM	外部振荡器跨导(4)	—	12	—	mA/V	HS，VDD = 3.3V，TA = +25°C
			—	6	—	mA/V	XT，VDD = 3.3V，TA = +25°C

注 1： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

2： 指令周期（TCY）等于输入振荡器时基周期的两倍。所有规定值均为基于针对特定振荡器类型，器件在标准工作条件下执行代码时的特性数据。超出这些规定的限定值，可能导致振荡器运行不稳定和/或导致电流消耗超出预期值。所有器件在测试“最小”值时，都在OSC1引脚连接了外部时钟。当使用了外部时钟输入时，所有器件的“最大”周期限制为“DC”（无时钟）。

3： 测量在EC模式下进行。在OSC2引脚上测量CLKO信号。

4： 该参数为特性值，但生产时未经测试。

© 2015-2018 Microchip Technology Inc.

表26-18： PLL时钟时序规范

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值(1)**	**最大值**	**单位**	**条件**
OS50	FPLLI	PLL压控振荡器（Voltage Controlled Oscillator，VCO）的输入频率范围	0.8	—	8.0	MHz	ECPLL和XTPLL模式
OS51	FVCO	片上VCO系统频率	120	—	340	MHz	
OS52	TLOCK	PLL起振时间（锁定时间）	0.9	1.5	3.1	ms	
OS53	DCLK	CLKO稳定性（抗抖动性）(2)	-3	0.5	3	%	

注 1： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。这些参数仅供设计参考，未经测试。

2： 该抖动规范值通过逐个时钟周期测量的方式获得。要获得应用所用的各个时基或通信时钟的实际抖动，请使用以下公式：

$$实际抖动 = \frac{DCLK}{\sqrt{\frac{FOSC}{时基或通信时钟}}}$$

例如，如果FOSC = 120 MHz且SPIx比特率 = 10 MHz，则实际抖动如下：

$$实际抖动 = \frac{DCLK}{\sqrt{\frac{120}{10}}} = \frac{DCLK}{\sqrt{12}} = \frac{DCLK}{3.464}$$

表26-19： 附属PLL时钟时序规范

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值(1)**	**最大值**	**单位**	**条件**
OS56	FHPOUT	片上16倍频PLL CCO频率	112	118	120	MHz	
OS57	FHPIN	片上16倍频PLL相位检测器输入频率	7.0	7.37	7.5	MHz	
OS58	TSU	频率发生器锁定时间	—	—	10	µs	

注 1： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。这些参数仅供设计参考，生产时未经测试。

表26-20： 内部FRC精度

交流特性		标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）					
参数编号	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
FRC频率 = 7.37 MHz时的内部FRC精度(1)							
F20a	FRC	-2	0.5	+2	%	-40°C ≤ TA ≤ -10°C	VDD = 3.0-3.6V
		-0.9	0.5	+0.9	%	-10°C ≤ TA ≤ +85°C	VDD = 3.0-3.6V
F20b	FRC	-2	1	+2	%	+85°C ≤ TA ≤ +125°C	VDD = 3.0-3.6V

注 1： 频率在+25°C和3.3V条件下校准。TUNx位可用来补偿温度漂移。

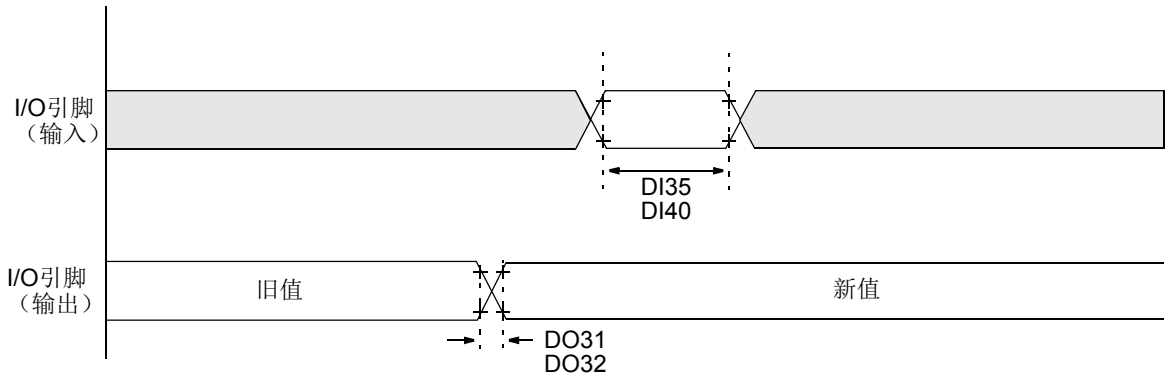
表26-21： 内部LPRC精度

交流特性		标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）					
参数编号	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**条件**	
频率为32.768 kHz时的LPRC(1)							
F21a	LPRC	-30	—	+30	%	-40°C ≤ TA ≤ -10°C	VDD = 3.0-3.6V
		-20	—	+20	%	-10°C ≤ TA ≤ +85°C	VDD = 3.0-3.6V
F21b	LPRC	-30	—	+30	%	+85°C ≤ TA ≤ +125°C	VDD = 3.0-3.6V

注 1： LPRC频率将随VDD的变化而变化。

© 2015-2018 Microchip Technology Inc.

图26-3： I/O时序特性



注： 负载条件请参见图26-1。

表26-22： I/O时序要求

交流特性			**标准工作条件： 3.0V至3.6V（除非另外声明）** 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值(1)**	**最大值**	**单位**	**条件**
DO31	TIOR	端口输出上升时间	—	5	10	ns	
DO32	TIOF	端口输出下降时间	—	5	10	ns	
DI35	TINP	INTx引脚高电平或低电平时间（输入）	20	—	—	ns	
DI40	TRBP	CNx高电平或低电平时间（输入）	2	—	—	TCY	

注 1： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

图26-4： BOR和主复位时序特性

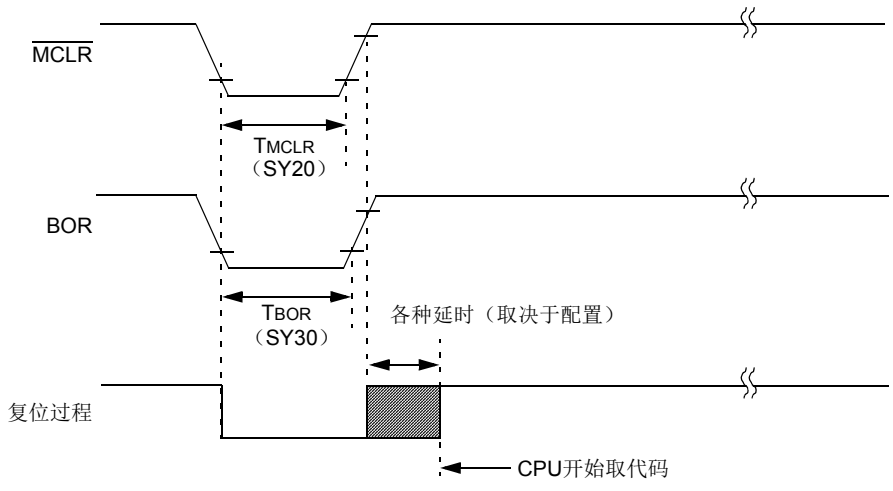


表26-23： 复位、看门狗定时器、振荡器起振定时器和上电延时定时器时序要求

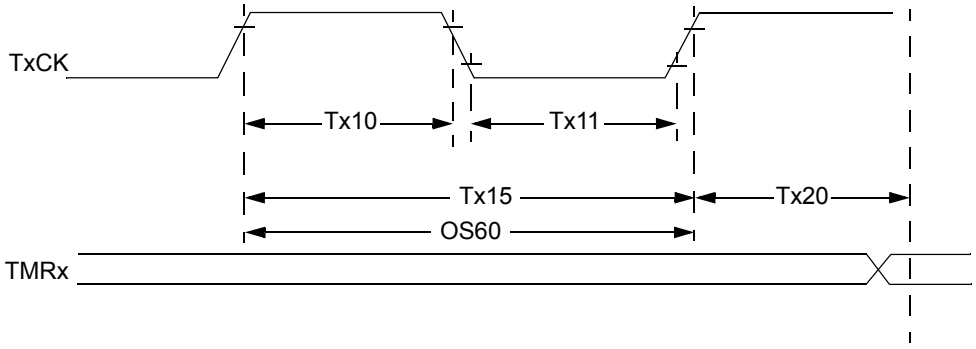
交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**典型值(2)**	**最大值**	**单位**	**条件**
SY00	TPU	上电周期	—	400	600	μs	
SY10	TOST	振荡器起振时间	—	1024 TOSC	—	—	TOSC = OSC1周期
SY12	TWDT	看门狗定时器超时周期	0.81	—	1.22	ms	WDTPRE = 0， WDTPOST<3:0> = 0000， 使用F21中给出的LPRC容差（见表26-21）（+85°C时）
			3.25	—	4.88	ms	WDTPRE = 1， WDTPOST<3:0> = 0000， 使用F21中给出的LPRC容差（见表26-21）（+85°C时）
SY13	TIOZ	自$\overline{\text{MCLR}}$低电平或看门狗定时器复位起I/O处于高阻态的时间	0.68	0.72	1.2	μs	
SY20	TMCLR	$\overline{\text{MCLR}}$脉冲宽度（低电平）	2	—	—	μs	
SY30	TBOR	BOR脉冲宽度（低电平）	1	—	—	μs	
SY35	TFSCM	故障保护时钟监视器延时	—	500	900	μs	-40°C至+85°C
SY36	TVREG	稳压器从待机状态变为工作模式的时间	—	—	30	μs	
SY37	TOSCDFRC	FRC振荡器起振延时	—	48	—	μs	
SY38	TOSCDLPRC	LPRC振荡器起振延时	—	—	70	μs	

注 1： 这些参数为特性值，但生产时未经测试。

2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

© 2015-2018 Microchip Technology Inc.

图26-5： TIMER1-TIMER5外部时钟时序特性



注： 负载条件请参见图26-1。

表26-24： TIMER1外部时钟时序要求(1)

交流特性				**标准工作条件：** **3.0V至3.6V（除非另外声明）** 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(2)**		**最小值**	**典型值**	**最大值**	**单位**	**条件**
TA10	TTxH	T1CK高电平时间	同步模式	取如下二者中较大值： 20或 (TCY + 20)/N	—	—	ns	还必须满足参数TA15， N = 预分频值（1、8、64和256）
			异步模式	35	—	—	ns	
TA11	TTxL	T1CK低电平时间	同步模式	取如下二者中较大值： 20或 (TCY + 20)/N	—	—	ns	还必须满足参数TA15， N = 预分频值（1、8、64和256）
			异步模式	10	—	—	ns	
TA15	TTxP	T1CK输入周期	同步模式	取如下二者中较大值： 40或 (2 TCY + 40)/N	—	—	ns	N = 预分频值（1、8、64和256）
OS60	Ft1	T1CK振荡器输入频率范围（通过置1 TCS位（T1CON<1>）使能振荡器）		DC	—	50	kHz	
TA20	TCKEXTMRL	从外部T1CK时钟边沿到定时器递增之间的延时		0.75 TCY + 40	—	1.75 TCY + 40	ns	

注 1： Timer1属于A类定时器。

2： 这些参数为特性值，但生产时未经测试。

表26-25： TIMER2和TIMER4（B类定时器）外部时钟时序要求

交流特性				标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**		**最小值**	**典型值**	**最大值**	**单位**	**条件**
TB10	TtxH	TxCK高电平时间	同步模式	取如下二者中较大值： 20或 (TCY + 20)/N	—	—	ns	还必须满足参数TB15，N = 预分频值（1、8、64和256）
TB11	TtxL	TxCK低电平时间	同步模式	取如下二者中较大值： 20或 (TCY + 20)/N	—	—	ns	还必须满足参数TB15，N = 预分频值（1、8、64和256）
TB15	TtxP	TxCK输入周期	同步模式	取如下二者中较大值： 40或 (2 TCY + 40)/N	—	—	ns	N = 预分频值（1、8、64和256）
TB20	TCKEXTMRL	从外部TxCK时钟边沿到定时器递增之间的延时		0.75 TCY + 40	—	1.75 TCY + 40	ns	

注 1： 这些参数为特性值，但生产时未经测试。

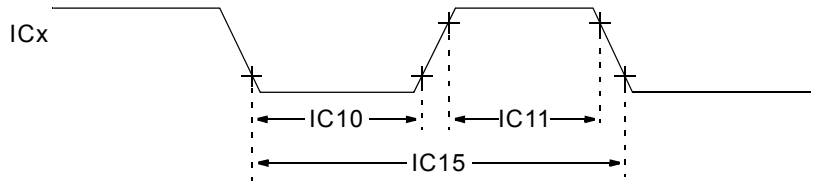
表26-26： TIMER3和TIMER5（C类定时器）外部时钟时序要求

交流特性				标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**		**最小值**	**典型值**	**最大值**	**单位**	**条件**
TC10	TtxH	TxCK高电平时间	同步	TCY + 20	—	—	ns	还必须满足参数TC15
TC11	TtxL	TxCK低电平时间	同步	TCY + 20	—	—	ns	还必须满足参数TC15
TC15	TtxP	TxCK输入周期	同步，带预分频器	2 TCY + 40	—	—	ns	N = 预分频值（1、8、64和256）
TC20	TCKEXTMRL	从外部TxCK时钟边沿到定时器递增之间的延时		0.75 TCY + 40	—	1.75 TCY + 40	ns	

注 1： 这些参数为特性值，但生产时未经测试。

© 2015-2018 Microchip Technology Inc.

图26-6： 输入捕捉x（ICx）时序特性



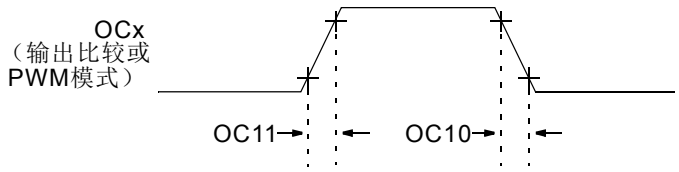
注： 负载条件请参见图26-1。

表26-27： 输入捕捉x模块时序要求

交流特性			**标准工作条件：** **3.0V至3.6V（除非另外声明）** 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**最大值**	**单位**	**条件**	
IC10	TccL	ICx输入低电平时间	取如下二者中较大值： 12.5 + 25或 (0.5 TCY/N) + 25	—	ns	还必须满足参数IC15	N = 预分频值（1、4和16）
IC11	TccH	ICx输入高电平时间	取如下二者中较大值： 12.5 + 25或 (0.5 TCY/N) + 25	—	ns	还必须满足参数IC15	
IC15	TccP	ICx输入周期	取如下二者中较大值： 25 + 50或 (1 TCY/N) + 50	—	ns		

注 1： 这些参数为特性值，但生产时未经测试。

图26-7： 输出比较x模块（OCx）时序特性



注： 负载条件请参见图26-1。

表26-28： 输出比较x模块时序要求

交流特性			**标准工作条件：** **3.0V至3.6V（除非另外声明）** 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
OC10	TccF	OCx输出下降时间	—	—	—	ns	见参数DO32
OC11	TccR	OCx输出上升时间	—	—	—	ns	见参数DO31

注 1： 这些参数为特性值，但生产时未经测试。

图26-8： OCx/PWMx模块时序特性

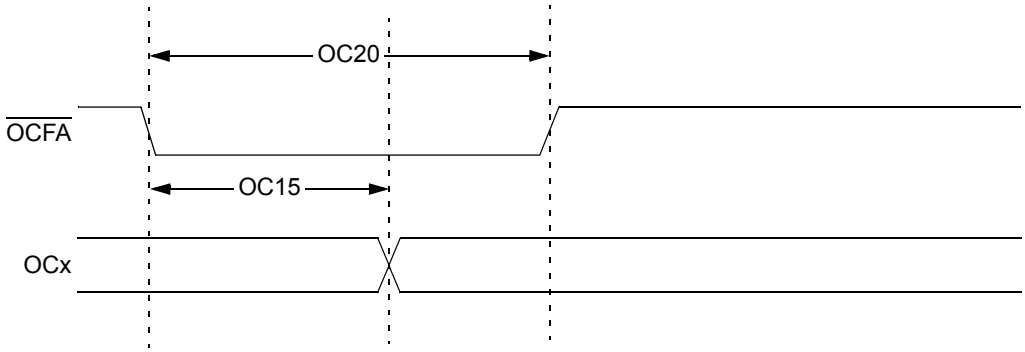


表26-29： OCx/PWMx模块时序要求

交流特性			**标准工作条件：** **3.0V至3.6V（除非另外声明）** 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
OC15	TFD	故障输入到PWMx I/O发生变化的时间	—	—	TCY + 20	ns	
OC20	TFLT	故障输入脉冲宽度	TCY + 20	—	—	ns	

注 1： 这些参数为特性值，但生产时未经测试。

© 2015-2018 Microchip Technology Inc.

图26-9： 高速PWMx模块故障时序特性

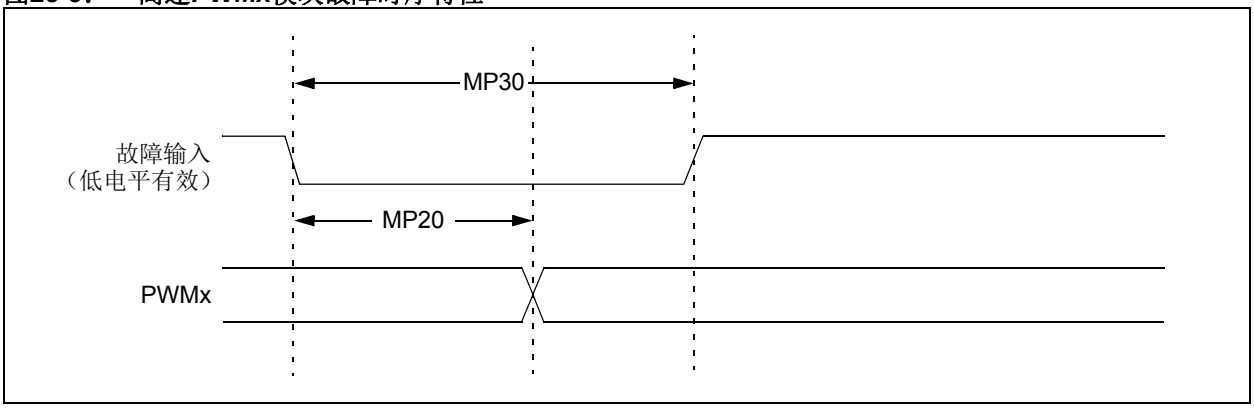
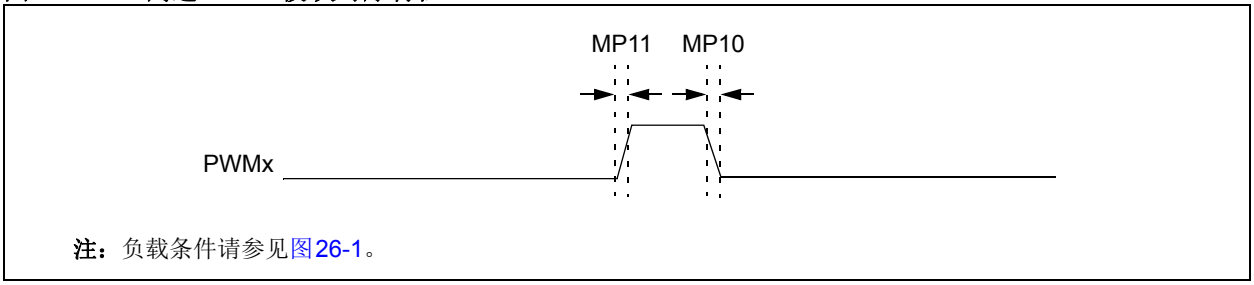


图26-10： 高速PWMx模块时序特性



注： 负载条件请参见图26-1。

表26-30： 高速PWMx模块时序要求

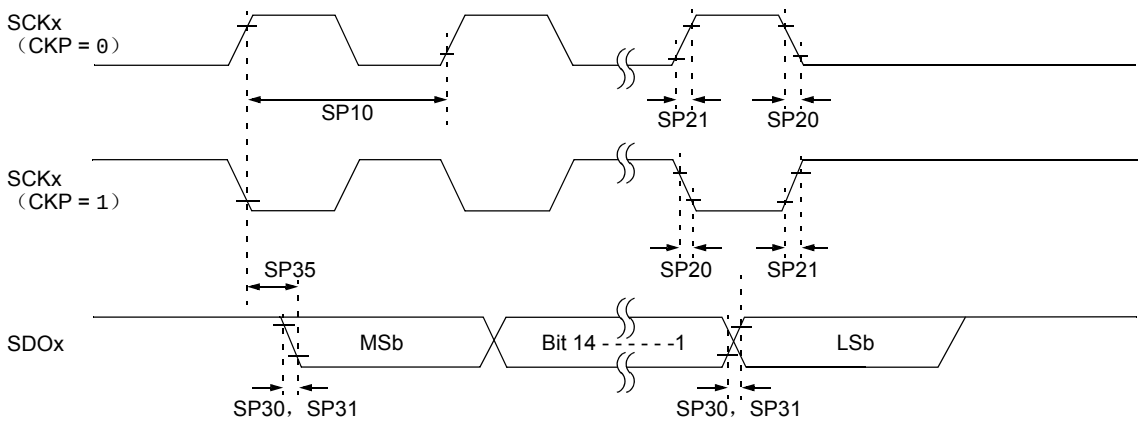
交流特性			**标准工作条件：** **3.0V至3.6V（除非另外声明）** 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
MP10	TFPWM	PWMx输出下降时间	—	—	—	ns	见参数DO32
MP11	TRPWM	PWMx输出上升时间	—	—	—	ns	见参数DO31
MP20	TFD	故障输入↓到PWMx I/O发生变化的时间	—	—	15	ns	
MP30	TFH	故障输入脉冲宽度	15	—	—	ns	

注 1： 这些参数为特性值，但生产时未经测试。

表26-31： SPIx最大数据/时钟速率汇总

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）			
最大数据速率	主模式 仅发送（半双工）	主模式 发送/接收 （全双工）	从模式 发送/接收 （全双工）	CKE	CKP	SMP
15 MHz	表26-31	—	—	0,1	0,1	0,1
9 MHz	—	表26-32	—	1	0,1	1
9 MHz	—	表26-33	—	0	0,1	1
15 MHz	—	—	表26-34	1	0	0
11 MHz	—	—	表26-35	1	1	0
15 MHz	—	—	表26-36	0	1	0
11 MHz	—	—	表26-37	0	0	0

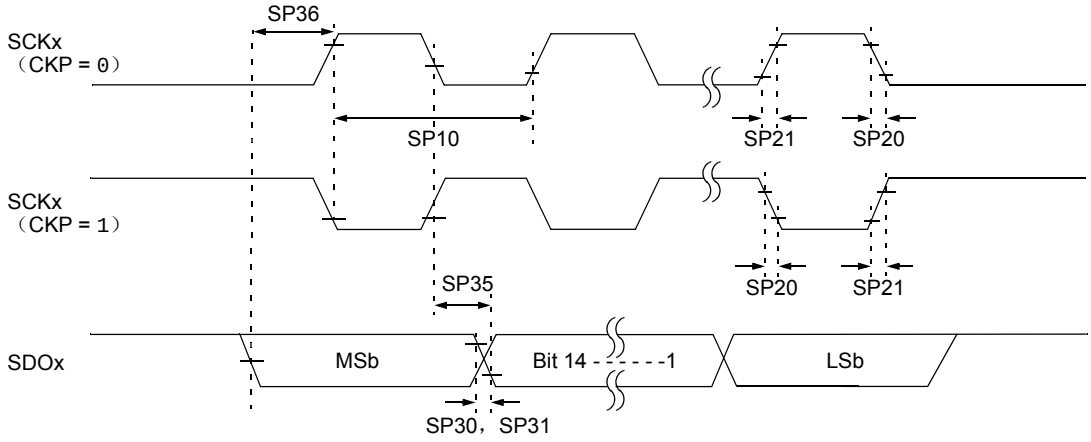
图26-11： SPIx主模式（半双工，仅发送，CKE = 0）时序特性



注： 负载条件请参见图26-1。

© 2015-2018 Microchip Technology Inc.

图26-12： SPIx主模式（半双工，仅发送，CKE = 1）时序特性



注： 负载条件请参见图26-1。

表26-32： SPIx主模式（半双工，仅发送）时序要求

交流特性			**标准工作条件：** **3.0V至3.6V（除非另外声明）** 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**典型值(2)**	**最大值**	**单位**	**条件**
SP10	FscP	最大SCKx频率	—	—	15	MHz	（注3）
SP20	TscF	SCKx输出下降时间	—	—	—	ns	见参数DO32（注4）
SP21	TscR	SCKx输出上升时间	—	—	—	ns	见参数DO31（注4）
SP30	TdoF	SDOx数据输出下降时间	—	—	—	ns	见参数DO32（注4）
SP31	TdoR	SDOx数据输出上升时间	—	—	—	ns	见参数DO31（注4）
SP35	TscH2doV，TscL2doV	SCKx边沿之后SDOx数据输出有效的时间	—	6	20	ns	
SP36	TdiV2scH，TdiV2scL	SDOx数据输出建立到出现第一个SCKx边沿的时间	30	—	—	ns	

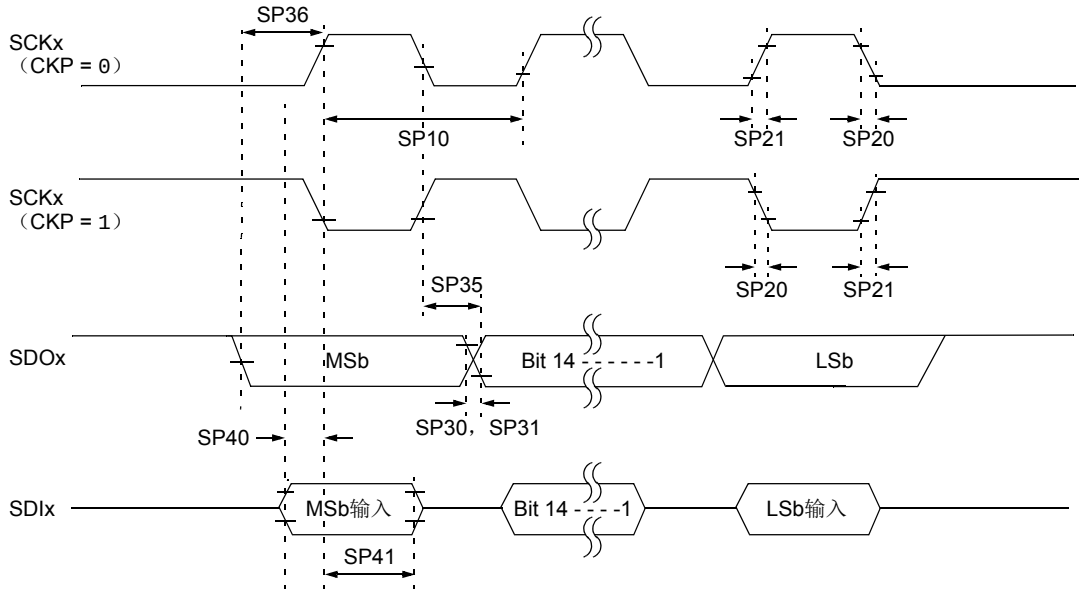
注 1： 这些参数为特性值，但生产时未经测试。

2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

3： SCKx的最小时钟周期为66.7 ns。因此，主模式下产生的时钟不应违反此规范。

4： 假定所有SPIx引脚上的负载均为50 pF。

图26-13： SPIx主模式（全双工，CKE = 1，CKP = x，SMP = 1）时序特性



注： 负载条件请参见图26-1。

表26-33： SPIx主模式（全双工，CKE = 1，CKP = x，SMP = 1）时序要求

交流特性			**标准工作条件：** **3.0V至3.6V**（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**典型值(2)**	**最大值**	**单位**	**条件**
SP10	FscP	最大SCKx频率	—	—	9	MHz	（注3）
SP20	TscF	SCKx输出下降时间	—	—	—	ns	见参数DO32（注4）
SP21	TscR	SCKx输出上升时间	—	—	—	ns	见参数DO31（注4）
SP30	TdoF	SDOx数据输出下降时间	—	—	—	ns	见参数DO32（注4）
SP31	TdoR	SDOx数据输出上升时间	—	—	—	ns	见参数DO31（注4）
SP35	TscH2doV，TscL2doV	SCKx边沿之后SDOx数据输出有效的时间	—	6	20	ns	
SP36	TdoV2sc，TdoV2scL	SDOx数据输出建立到出现第一个SCKx边沿的时间	30	—	—	ns	
SP40	TdiV2scH，TdiV2scL	SDIx数据输入到SCKx边沿的建立时间	30	—	—	ns	
SP41	TscH2diL，TscL2diL	SDIx数据输入到SCKx边沿的保持时间	30	—	—	ns	

注 1： 这些参数为特性值，但生产时未经测试。

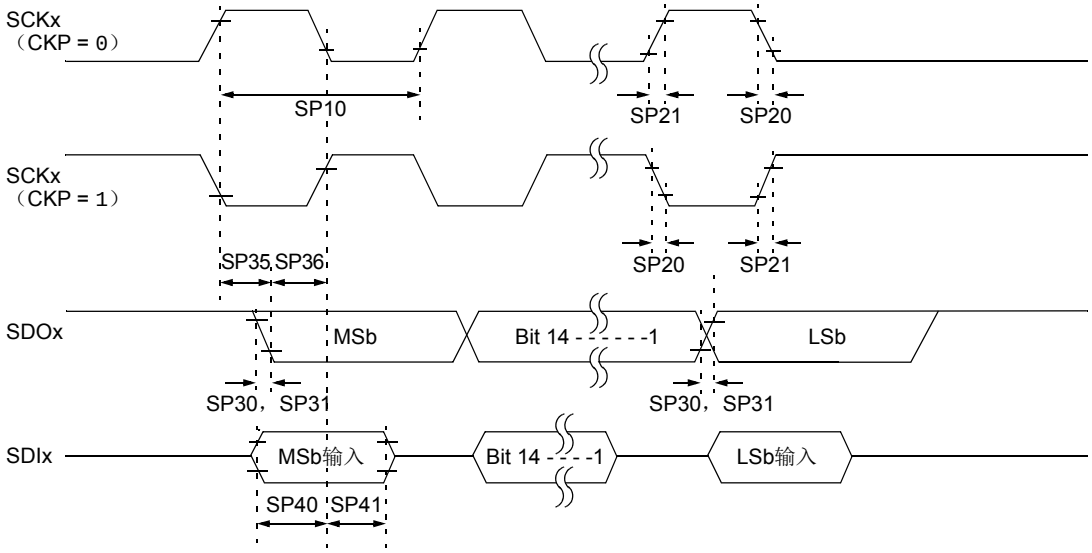
2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

3： SCKx的最小时钟周期为111 ns。主模式下产生的时钟不应违反此规范。

4： 假定所有SPIx引脚上的负载均为50 pF。

© 2015-2018 Microchip Technology Inc.

图26-14： SPIx主模式（全双工，CKE = 0，CKP = x，SMP = 1）时序特性



注： 负载条件请参见图26-1。

表26-34： SPIx主模式（全双工，CKE = 0，CKP = x，SMP = 1）时序要求

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**典型值(2)**	**最大值**	**单位**	**条件**
SP10	FscP	最大SCKx频率	—	—	9	MHz	-40°C至+125°C（**注3**）
SP20	TscF	SCKx输出下降时间	—	—	—	ns	见参数DO32（**注4**）
SP21	TscR	SCKx输出上升时间	—	—	—	ns	见参数DO31（**注4**）
SP30	TdoF	SDOx数据输出下降时间	—	—	—	ns	见参数DO32（**注4**）
SP31	TdoR	SDOx数据输出上升时间	—	—	—	ns	见参数DO31（**注4**）
SP35	TscH2doV，TscL2doV	SCKx边沿之后SDOx数据输出有效的时间	—	6	20	ns	
SP36	TdoV2scH，TdoV2scL	SDOx数据输出建立到出现第一个SCKx边沿的时间	30	—	—	ns	
SP40	TdiV2scH，TdiV2scL	SDIx数据输入到SCKx边沿的建立时间	30	—	—	ns	
SP41	TscH2diL，TscL2diL	SDIx数据输入到SCKx边沿的保持时间	30	—	—	ns	

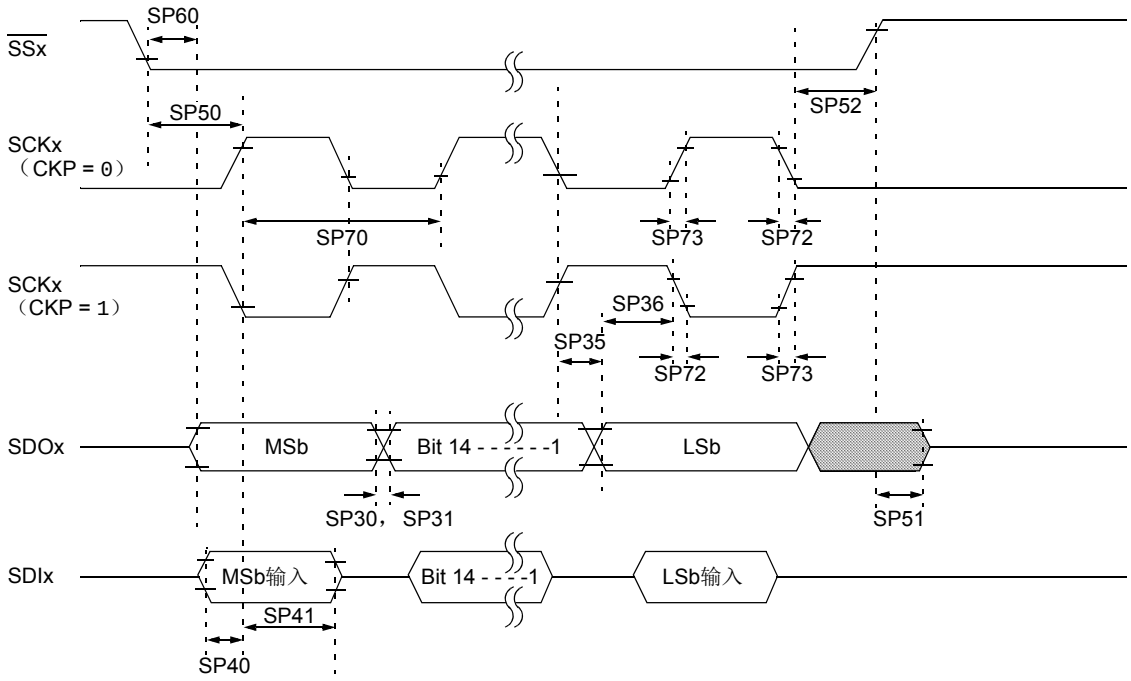
注 1： 这些参数为特性值，但生产时未经测试。

2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

3： SCKx的最小时钟周期为111 ns。主模式下产生的时钟不应违反此规范。

4： 假定所有SPIx引脚上的负载均为50 pF。

图26-15： SPIx从模式（全双工，CKE = 1，CKP = 0，SMP = 0）时序特性



注： 负载条件请参见图26-1。

© 2015-2018 Microchip Technology Inc.

表26-35： SPIx从模式（全双工，CKE = 1，CKP = 0，SMP = 0）时序要求

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	符号	特性(1)	最小值	典型值(2)	最大值	单位	条件
SP70	FscP	最大SCKx输入频率	—	—	取如下二者中较小值：FP或15	MHz	（注3）
SP72	TscF	SCKx输入下降时间	—	—	—	ns	见参数DO32（注4）
SP73	TscR	SCKx输入上升时间	—	—	—	ns	见参数DO31（注4）
SP30	TdoF	SDOx数据输出下降时间	—	—	—	ns	见参数DO32（注4）
SP31	TdoR	SDOx数据输出上升时间	—	—	—	ns	见参数DO31（注4）
SP35	TscH2doV，TscL2doV	SCKx边沿之后SDOx数据输出有效的时间	—	6	20	ns	
SP36	TdoV2scH，TdoV2scL	SDOx数据输出建立到出现第一个SCKx边沿的时间	30	—	—	ns	
SP40	TdiV2scH，TdiV2scL	SDIx数据输入到SCKx边沿的建立时间	30	—	—	ns	
SP41	TscH2diL，TscL2diL	SDIx数据输入到SCKx边沿的保持时间	30	—	—	ns	
SP50	TssL2scH，TssL2scL	$\overline{SSx}$↓到SCKx↑或SCKx↓输入的时间	120	—	—	ns	
SP51	TssH2doZ	$\overline{SSx}$↑到SDOx输出高阻态的时间	10	—	50	ns	（注4）
SP52	TscH2ssH，TscL2ssH	SCKx边沿之后$\overline{SSx}$↑的时间	1.5 TCY + 40	—	—	ns	（注4）
SP60	TssL2doV	$\overline{SSx}$边沿之后SDOx数据输出有效的时间	—	—	50	ns	

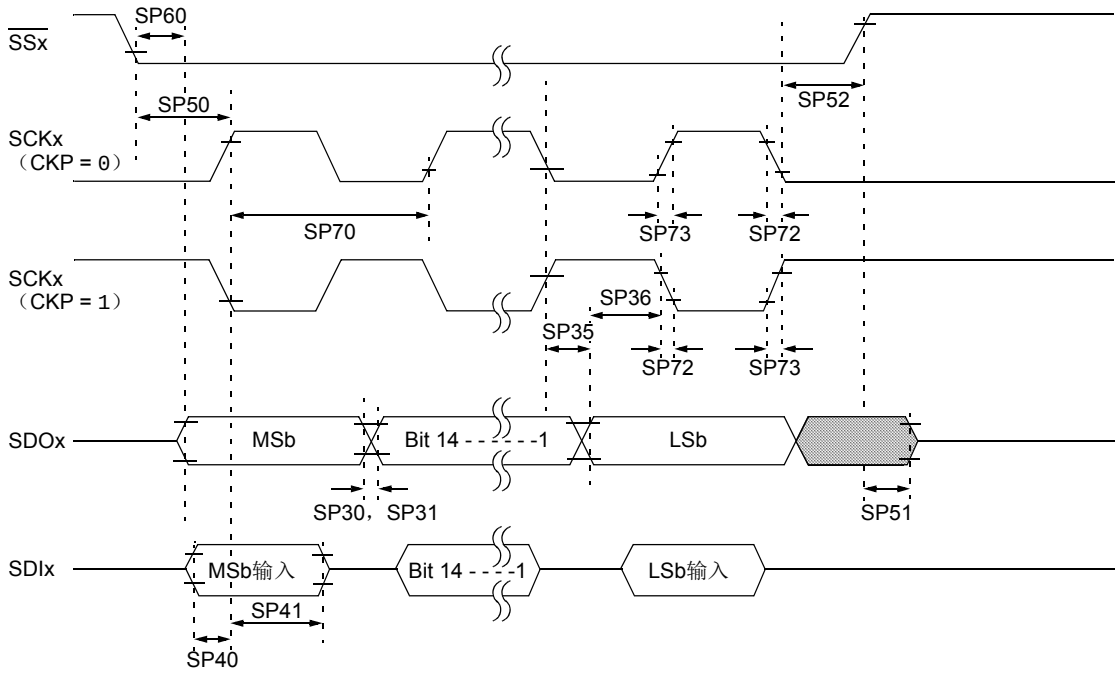
注 1： 这些参数为特性值，但生产时未经测试。

2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

3： SCKx的最小时钟周期为66.7 ns。因此，主器件产生的SCKx时钟不应违反此规范。

4： 假定所有SPIx引脚上的负载均为50 pF。

图26-16： SPIx从模式（全双工，CKE = 1，CKP = 1，SMP = 0）时序特性



注： 负载条件请参见图26-1。

© 2015-2018 Microchip Technology Inc.

表26-36： SPIx从模式（全双工，CKE = 1，CKP = 1，SMP = 0）时序要求

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	符号	特性(1)	最小值	典型值(2)	最大值	单位	条件
SP70	FscP	最大SCKx输入频率	—	—	取如下二者中较小值：FP或11	MHz	（注3）
SP72	TscF	SCKx输入下降时间	—	—	—	ns	见参数DO32（注4）
SP73	TscR	SCKx输入上升时间	—	—	—	ns	见参数DO31（注4）
SP30	TdoF	SDOx数据输出下降时间	—	—	—	ns	见参数DO32（注4）
SP31	TdoR	SDOx数据输出上升时间	—	—	—	ns	见参数DO31（注4）
SP35	TscH2doV，TscL2doV	SCKx边沿之后SDOx数据输出有效的时间	—	6	20	ns	
SP36	TdoV2scH，TdoV2scL	SDOx数据输出建立到出现第一个SCKx边沿的时间	30	—	—	ns	
SP40	TdiV2scH，TdiV2scL	SDIx数据输入到SCKx边沿的建立时间	30	—	—	ns	
SP41	TscH2diL，TscL2diL	SDIx数据输入到SCKx边沿的保持时间	30	—	—	ns	
SP50	TssL2scH，TssL2scL	$\overline{SSx}$↓到SCKx↑或SCKx↓输入的时间	120	—	—	ns	
SP51	TssH2doZ	$\overline{SSx}$↑到SDOx输出高阻态的时间	10	—	50	ns	（注4）
SP52	TscH2ssH，TscL2ssH	SCKx边沿之后$\overline{SSx}$↑的时间	1.5 TCY + 40	—	—	ns	（注4）
SP60	TssL2doV	$\overline{SSx}$边沿之后SDOx数据输出有效的时间	—	—	50	ns	

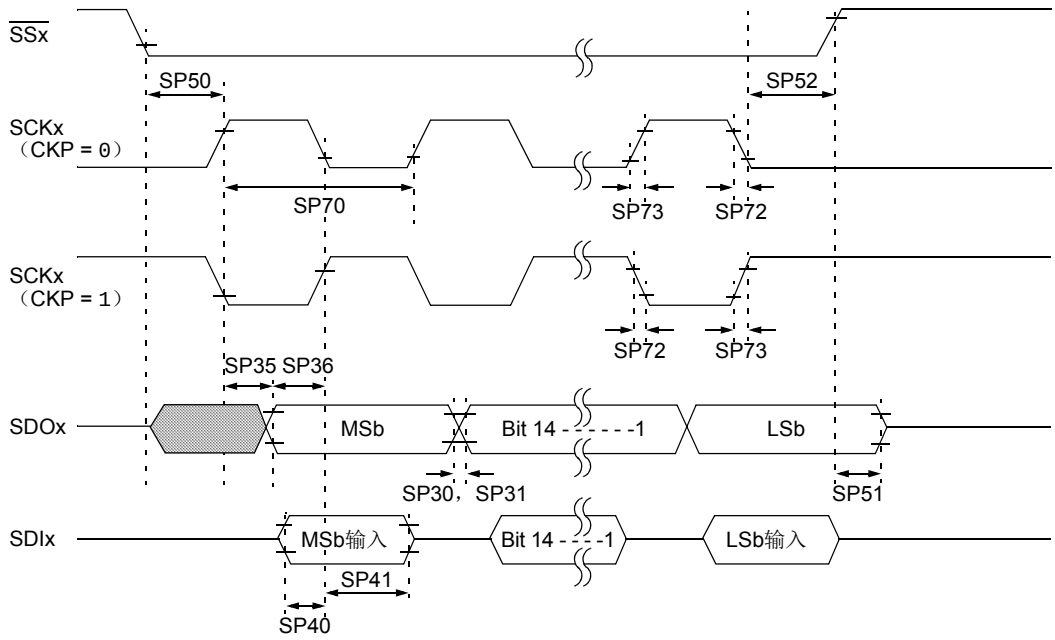
注 1： 这些参数为特性值，但生产时未经测试。

2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

3： SCKx的最小时钟周期为91 ns。因此，主器件产生的SCKx时钟不应违反此规范。

4： 假定所有SPIx引脚上的负载均为50 pF。

图26-17： SPIx从模式（全双工，CKE = 0，CKP = 1，SMP = 0）时序特性



注：负载条件请参见图26-1。

© 2015-2018 Microchip Technology Inc.

表26-37： SPIx从模式（全双工，CKE = 0，CKP = 1，SMP = 0）时序要求

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**典型值(2)**	**最大值**	**单位**	**条件**
SP70	FscP	最大SCKx输入频率	—	—	15	MHz	（注3）
SP72	TscF	SCKx输入下降时间	—	—	—	ns	见参数DO32（注4）
SP73	TscR	SCKx输入上升时间	—	—	—	ns	见参数DO31（注4）
SP30	TdoF	SDOx数据输出下降时间	—	—	—	ns	见参数DO32（注4）
SP31	TdoR	SDOx数据输出上升时间	—	—	—	ns	见参数DO31（注4）
SP35	TscH2doV，TscL2doV	SCKx边沿之后SDOx数据输出有效的时间	—	6	20	ns	
SP36	TdoV2scH，TdoV2scL	SDOx数据输出建立到出现第一个SCKx边沿的时间	30	—	—	ns	
SP40	TdiV2scH，TdiV2scL	SDIx数据输入到SCKx边沿的建立时间	30	—	—	ns	
SP41	TscH2diL，TscL2diL	SDIx数据输入到SCKx边沿的保持时间	30	—	—	ns	
SP50	TssL2scH，TssL2scL	$\overline{SSx}$ ↓到SCKx ↑或SCKx ↓输入的时间	120	—	—	ns	
SP51	TssH2doZ	$\overline{SSx}$ ↑到SDOx输出高阻态的时间	10	—	50	ns	（注4）
SP52	TscH2ssH，TscL2ssH	SCKx边沿之后$\overline{SSx}$ ↑的时间	1.5 TCY + 40	—	—	ns	（注4）

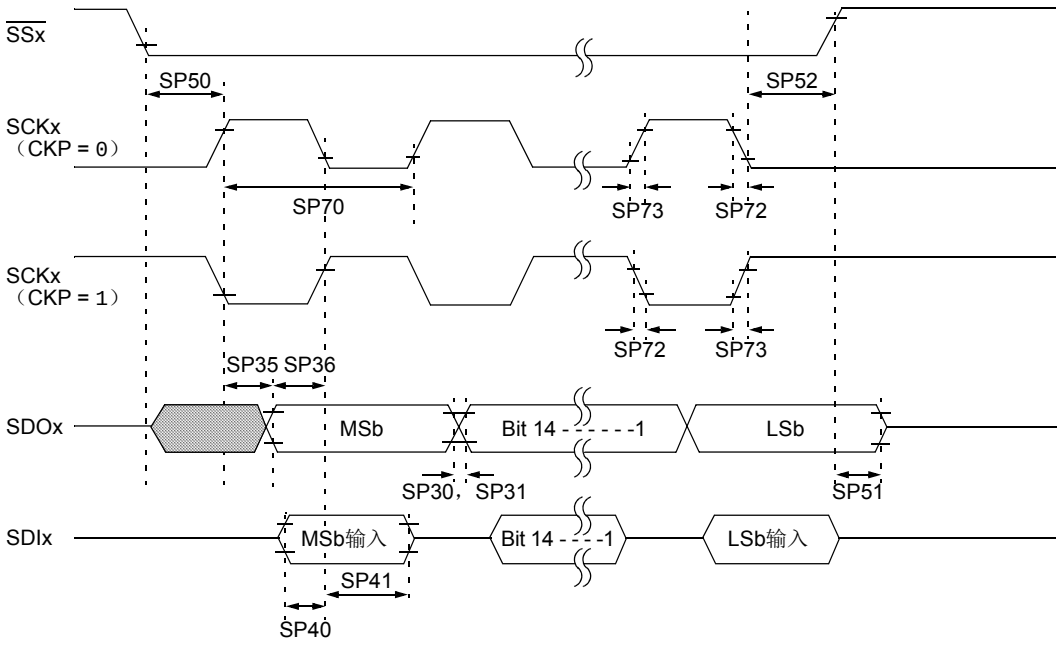
注 1： 这些参数为特性值，但生产时未经测试。

2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

3： SCKx的最小时钟周期为66.7 ns。因此，主器件产生的SCKx时钟不应违反此规范。

4： 假定所有SPIx引脚上的负载均为50 pF。

图26-18： SPIx从模式（全双工，CKE = 0，CKP = 0，SMP = 0）时序特性



注： 负载条件请参见图26-1。

© 2015-2018 Microchip Technology Inc.

表26-38： SPIx从模式（全双工，CKE = 0，CKP = 0，SMP = 0）时序要求

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性(1)**	**最小值**	**典型值(2)**	**最大值**	**单位**	**条件**
SP70	FscP	最大SCKx输入频率	—	—	11	MHz	（注3）
SP72	TscF	SCKx输入下降时间	—	—	—	ns	见参数DO32（注4）
SP73	TscR	SCKx输入上升时间	—	—	—	ns	见参数DO31（注4）
SP30	TdoF	SDOx数据输出下降时间	—	—	—	ns	见参数DO32（注4）
SP31	TdoR	SDOx数据输出上升时间	—	—	—	ns	见参数DO31（注4）
SP35	TscH2doV，TscL2doV	SCKx边沿之后SDOx数据输出有效的时间	—	6	20	ns	
SP36	TdoV2scH，TdoV2scL	SDOx数据输出建立到出现第一个SCKx边沿的时间	30	—	—	ns	
SP40	TdiV2scH，TdiV2scL	SDIx数据输入到SCKx边沿的建立时间	30	—	—	ns	
SP41	TscH2diL，TscL2diL	SDIx数据输入到SCKx边沿的保持时间	30	—	—	ns	
SP50	TssL2scH，TssL2scL	$\overline{SSx}$ ↓到SCKx ↑或SCKx ↓输入的时间	120	—	—	ns	
SP51	TssH2doZ	$\overline{SSx}$ ↑到SDOx输出高阻态的时间	10	—	50	ns	（注4）
SP52	TscH2ssH，TscL2ssH	SCKx边沿之后$\overline{SSx}$ ↑的时间	1.5 TCY + 40	—	—	ns	（注4）

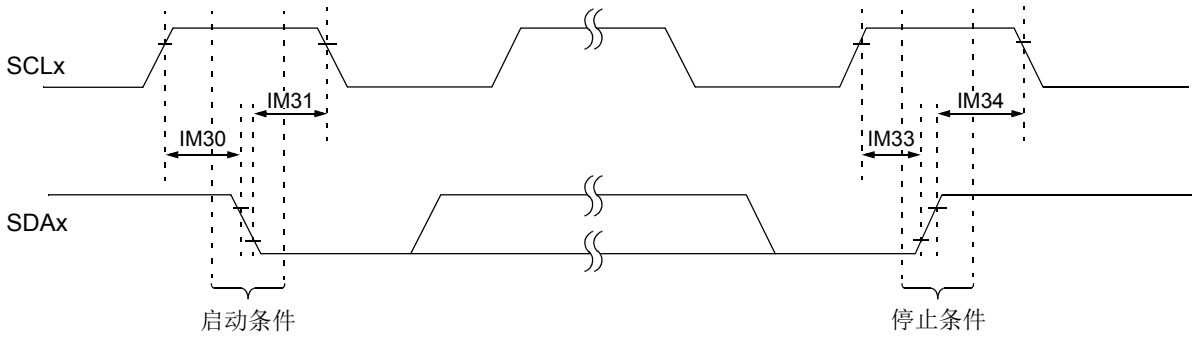
注 1： 这些参数为特性值，但生产时未经测试。

2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。

3： SCKx的最小时钟周期为91 ns。因此，主器件产生的SCKx时钟不应违反此规范。

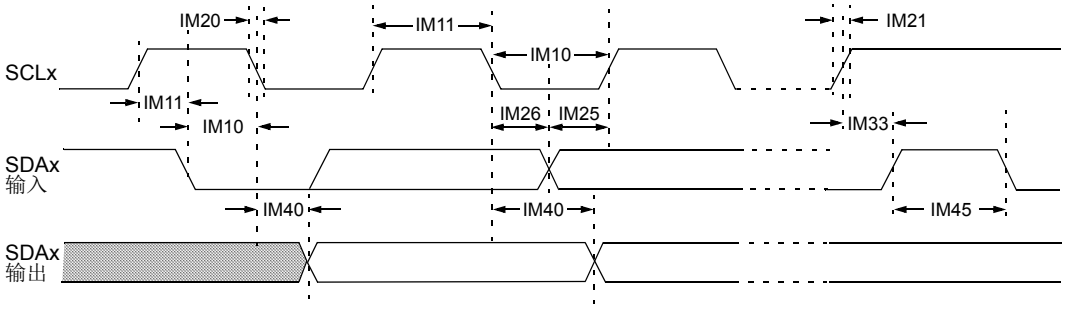
4： 假定所有SPIx引脚上的负载均为50 pF。

图26-19： I2Cx总线启动位/停止位时序特性（主模式）



注： 负载条件请参见图26-1。

图26-20： I2Cx总线数据时序特性（主模式）



注： 负载条件请参见图26-1。

© 2015-2018 Microchip Technology Inc.

表26-39： I2Cx总线数据时序要求（主模式）

交流特性				标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）			
参数编号	符号	特性(4)		最小值(1)	最大值	单位	条件
IM10	TLO:SCL	时钟低电平时间	100 kHz模式	TCY/2 (BRG + 2)	—	μs	
			400 kHz模式	TCY/2 (BRG + 2)	—	μs	
			1 MHz模式(2)	TCY/2 (BRG + 2)	—	μs	
IM11	THI:SCL	时钟高电平时间	100 kHz模式	TCY/2 (BRG + 2)	—	μs	
			400 kHz模式	TCY/2 (BRG + 2)	—	μs	
			1 MHz模式(2)	TCY/2 (BRG + 2)	—	μs	
IM20	TF:SCL	SDAx和SCLx下降时间	100 kHz模式	—	300	ns	CB值规定在10 pF至400 pF之间
			400 kHz模式	20 + 0.1 CB	300	ns	
			1 MHz模式(2)	—	100	ns	
IM21	TR:SCL	SDAx和SCLx上升时间	100 kHz模式	—	1000	ns	CB值规定在10 pF至400 pF之间
			400 kHz模式	20 + 0.1 CB	300	ns	
			1 MHz模式(2)	—	300	ns	
IM25	TSU:DAT	数据输入建立时间	100 kHz模式	250	—	ns	
			400 kHz模式	100	—	ns	
			1 MHz模式(2)	40	—	ns	
IM26	THD:DAT	数据输入保持时间	100 kHz模式	0	—	μs	
			400 kHz模式	0	0.9	μs	
			1 MHz模式(2)	0.2	—	μs	
IM30	TSU:STA	启动条件建立时间	100 kHz模式	TCY/2 (BRG + 2)	—	μs	仅与重复启动条件相关
			400 kHz模式	TCY/2 (BRG + 2)	—	μs	
			1 MHz模式(2)	TCY/2 (BRG + 2)	—	μs	
IM31	THD:STA	启动条件保持时间	100 kHz模式	TCY/2 (BRG + 2)	—	μs	这个周期后产生第一个时钟脉冲
			400 kHz模式	TCY/2 (BRG + 2)	—	μs	
			1 MHz模式(2)	TCY/2 (BRG + 2)	—	μs	
IM33	TSU:STO	停止条件建立时间	100 kHz模式	TCY/2 (BRG + 2)	—	μs	
			400 kHz模式	TCY/2 (BRG + 2)	—	μs	
			1 MHz模式(2)	TCY/2 (BRG + 2)	—	μs	
IM34	THD:STO	停止条件保持时间	100 kHz模式	TCY/2 (BRG + 2)	—	μs	
			400 kHz模式	TCY/2 (BRG + 2)	—	μs	
			1 MHz模式(2)	TCY/2 (BRG + 2)	—	μs	
IM40	TAA:SCL	自时钟边沿到输出有效的时间	100 kHz模式	—	3500	ns	
			400 kHz模式	—	1000	ns	
			1 MHz模式(2)	—	400	ns	
IM45	TBF:SDA	总线空闲时间	100 kHz模式	4.7	—	μs	在启动一个新的传输前总线必须保持空闲的时间
			400 kHz模式	1.3	—	μs	
			1 MHz模式(2)	0.5	—	μs	
IM50	CB	总线容性负载		—	400	pF	
IM51	TPGD	脉冲干扰抑制电路（Pulse Gobbler）延时		65	390	ns	（注3）

注 1： BRG为I^2C波特率发生器的值。

2： 所有I2Cx引脚的最大引脚电容为10 pF（仅对于1 MHz模式）。

3： 该参数的典型值为130 ns。

4： 这些参数为特性值，但生产时未经测试。

图26-21： I2Cx总线启动位/停止位时序特性（从模式）

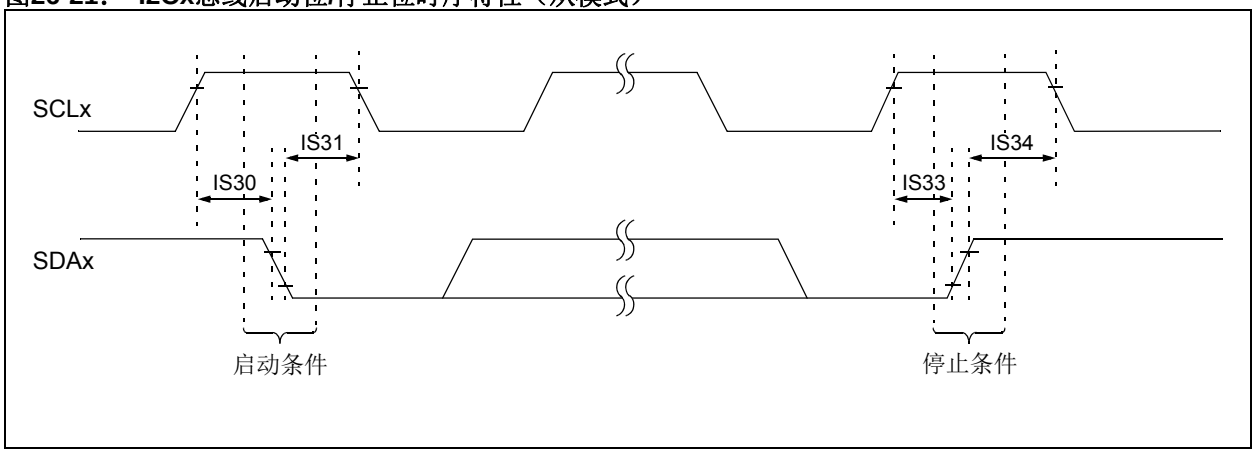
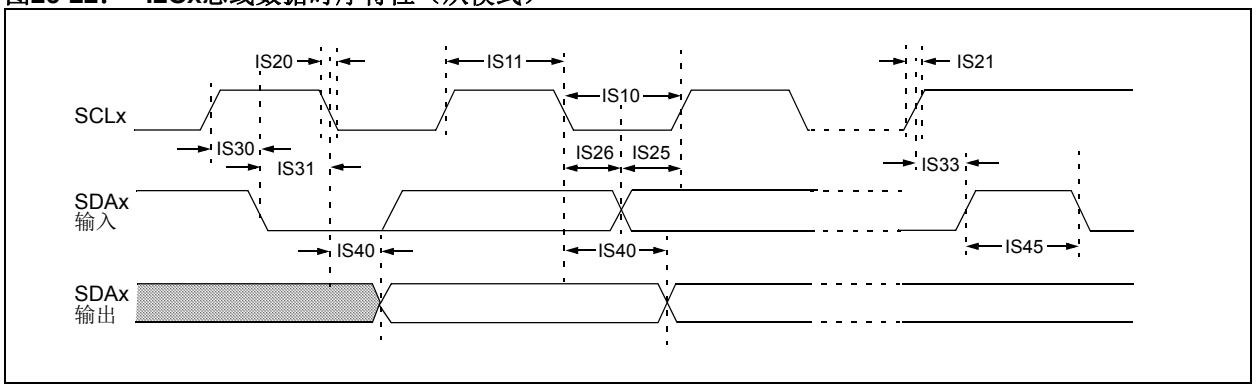


图26-22： I2Cx总线数据时序特性（从模式）



© 2015-2018 Microchip Technology Inc.

表26-40： I2Cx总线数据时序要求（从模式）

交流特性				标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）			
参数编号	**符号**	**特性(3)**		**最小值**	**最大值**	**单位**	**条件**
IS10	TLO:SCL	时钟低电平时间	100 kHz模式	4.7	—	μs	
			400 kHz模式	1.3	—	μs	
			1 MHz模式(1)	0.5	—	μs	
IS11	THI:SCL	时钟高电平时间	100 kHz模式	4.0	—	μs	器件工作频率不得低于1.5 MHz
			400 kHz模式	0.6	—	μs	器件工作频率不得低于10 MHz
			1 MHz模式(1)	0.5	—	μs	
IS20	TF:SCL	SDAx和SCLx下降时间	100 kHz模式	—	300	ns	CB值规定在10 pF至400 pF之间
			400 kHz模式	20 + 0.1 CB	300	ns	
			1 MHz模式(1)	—	100	ns	
IS21	TR:SCL	SDAx和SCLx上升时间	100 kHz模式	—	1000	ns	CB值规定在10 pF至400 pF之间
			400 kHz模式	20 + 0.1 CB	300	ns	
			1 MHz模式(1)	—	300	ns	
IS25	TSU:DAT	数据输入建立时间	100 kHz模式	250	—	ns	
			400 kHz模式	100	—	ns	
			1 MHz模式(1)	100	—	ns	
IS26	THD:DAT	数据输入保持时间	100 kHz模式	0	—	μs	
			400 kHz模式	0	0.9	μs	
			1 MHz模式(1)	0	0.3	μs	
IS30	TSU:STA	启动条件建立时间	100 kHz模式	4.7	—	μs	仅与重复启动条件相关
			400 kHz模式	0.6	—	μs	
			1 MHz模式(1)	0.25	—	μs	
IS31	THD:STA	启动条件保持时间	100 kHz模式	4.0	—	μs	这个周期后产生第一个时钟脉冲
			400 kHz模式	0.6	—	μs	
			1 MHz模式(1)	0.25	—	μs	
IS33	TSU:STO	停止条件建立时间	100 kHz模式	4.0	—	μs	
			400 kHz模式	0.6	—	μs	
			1 MHz模式(1)	0.25	—	μs	
IS34	THD:STO	停止条件保持时间	100 kHz模式	4	—	μs	
			400 kHz模式	0.6	—	μs	
			1 MHz模式(1)	0.25		μs	
IS40	TAA:SCL	自时钟边沿到输出有效的时间	100 kHz模式	0	3500	ns	
			400 kHz模式	0	1000	ns	
			1 MHz模式(1)	0	350	ns	
IS45	TBF:SDA	总线空闲时间	100 kHz模式	4.7	—	μs	在启动一个新的传输前总线必须保持空闲的时间
			400 kHz模式	1.3	—	μs	
			1 MHz模式(1)	0.5	—	μs	
IS50	CB	总线容性负载		—	400	pF	
IS51	TPGD	脉冲干扰抑制电路延时		65	390	ns	（注2）

注 1： 所有I2Cx引脚的最大引脚电容为10 pF（仅对于1 MHz模式）。

2： 该参数的典型值为130 ns。

3： 这些参数为特性值，但生产时未经测试。

图26-23： UARTx模块I/O时序特性

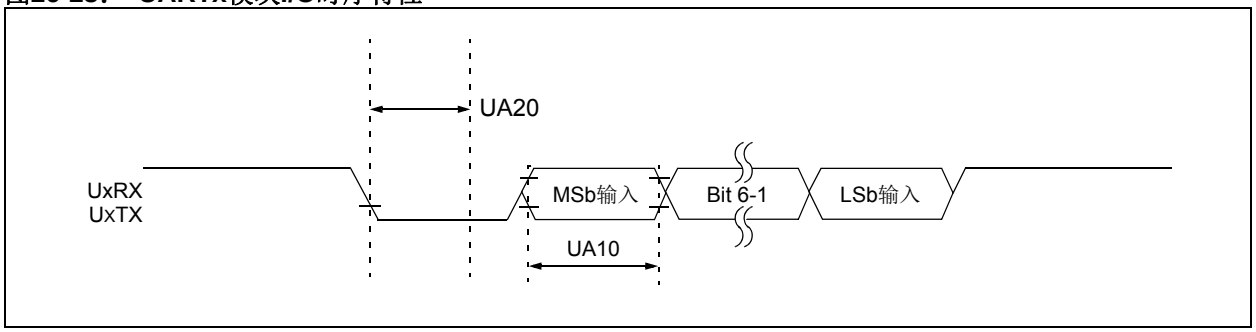


表26-41： UARTx模块I/O时序要求

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +125°C				
参数编号	符号	特性(1)	最小值	典型值(2)	最大值	单位	条件
UA10	TUABAUD	UARTx波特率时间	66.67	—	—	ns	
UA11	FBAUD	UARTx波特率频率	—	—	15	Mbps	
UA20	TCWF	触发UARTx唤醒的启动位脉冲宽度	500	—	—	ns	

注 1： 这些参数为特性值，但生产时未经测试。

2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。这些参数仅供设计参考，未经测试。

表26-42： 模拟电流规范

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +125°C				
参数编号	符号	特性(1)	最小值	典型值(2)	最大值	单位	条件
AVD01	IDD	模拟模块电流消耗	—	9	—	mA	使能如下模块时的特性数据：APLL、 5 个 ADC 内核、2 个 PGA 和 4 个模拟比较器

注 1： 这些参数为特性值，但生产时未经测试。

2： 除非另外声明，否则“典型值”栏中的数据均为3.3V和+25°C条件下的值。这些参数仅供设计参考，未经测试。

© 2015-2018 Microchip Technology Inc.

表26-43： ADC模块规范

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明）(5) 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
器件电源							
AD01	AVDD	模块电源VDD	取如下二者中较大值：VDD – 0.3或3.0	—	取如下二者中较小值：VDD + 0.3或3.6	V	AVDD电源电压与VDD电源电压之差始终不得超过±300 mV，即使在器件上电过程中。
AD02	AVSS	模块电源VSS	VSS	—	VSS + 0.3	V	
参考输入							
AD06	VREFL	参考电压低电压	—	AVSS	—	V	（注1）
AD07	VREF	绝对参考电压（VREFH – VREFL）	2.7	—	AVDD	V	（注3）
AD08	IREF	参考输入电流	—	5	10	μA	ADC工作或处于待机状态
模拟输入							
AD12	VINH-VINL	满量程输入范围	AVSS	—	AVDD	V	
AD14	VIN	绝对输入电压	AVSS – 0.3	—	AVDD + 0.3	V	
AD17	RIN	模拟电压源的推荐阻抗	—	100	—	Ω	对于最小采样时间（注1）
AD66	VBG	内部参考电压源	—	1.2	—	V	
ADC精度：伪差分输入							
AD20a	Nr	分辨率	12			位	
AD21a	INL	积分非线性误差	> -3	—	< 3	LSb	AVSS = 0V，AVDD = 3.3V
AD22a	DNL	微分非线性误差	> -1	—	< 1	LSb	AVSS = 0V，AVDD = 3.3V（注2）
AD23a	GERR	增益误差（专用内核）	> 5	13	< 20	LSb	AVSS = 0V，AVDD = 3.3V
		增益误差（共用内核）	> -1	5	< 10	LSb	
AD24a	EOFF	失调误差（专用内核）	> 2	7	< 12	LSb	AVSS = 0V，AVDD = 3.3V
		失调误差（共用内核）	> -2	3	< 8	LSb	
AD25a	—	单调性	—	—	—	—	保证

注 1： 这些参数不是特性值，或生产时未经测试。

2： 无丢失编码，极限值基于特性结果。

3： 这些参数为特性值，但生产时未经测试。

4： 采用1 kHz正弦波信号确定特性值。

5： ADC模块可在VBORMIN < VDD < VDDMIN条件下工作，但性能将下降。除非另外声明，否则模块功能可确保，但未确定特性值。

表26-43： ADC模块规范（续）

交流特性			标准工作条件： 3.0V至3.6V（除非另外声明）(5) 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
ADC精度：单端输入							
AD20b	Nr	分辨率	12			位	
AD21b	INL	积分非线性误差	> -3	—	< 3	LSb	AVSS = 0V，AVDD = 3.3V
AD22b	DNL	微分非线性误差	> -1	—	< 1.5	LSb	AVSS = 0V，AVDD = 3.3V（注2）
AD23b	GERR	增益误差（专用内核）	> 5	13	< 20	LSb	AVSS = 0V，AVDD = 3.3V
		增益误差（共用内核）	> -1	5	< 10	LSb	
AD24b	EOFF	失调误差（专用内核）	> 2	10	< 18	LSb	AVSS = 0V，AVDD = 3.3V
		失调误差（共用内核）	> 2	8	< 15	LSb	
AD25b	—	单调性	—	—	—	—	保证
动态性能							
AD31b	SINAD	信噪比和失真	63	—	> 65	dB	（注3和4）
AD34b	ENOB	有效位数	10.3	—	—	位	（注3和4）

注 1： 这些参数不是特性值，或生产时未经测试。

2： 无丢失编码，极限值基于特性结果。

3： 这些参数为特性值，但生产时未经测试。

4： 采用1 kHz正弦波信号确定特性值。

5： ADC模块可在VBORMIN < VDD < VDDMIN条件下工作，但性能将下降。除非另外声明，否则模块功能可确保，但未确定特性值。

© 2015-2018 Microchip Technology Inc.

表26-44： 模数转换时序要求

交流特性(2)			标准工作条件： 3.0V至3.6V（除非另外声明） (工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	符号	特性	最小值	典型值(1)	最大值	单位	条件
时钟参数							
AD50	TAD	ADC时钟周期	14.28	—	—	ns	
吞吐率							
AD51	FTP	SH0-SH3	—	—	3.25	Msps	70 MHz ADC时钟，12位，触发时无待处理的转换
		SH4	—	—	3.25	Msps	

注 1： 这些参数为特性值，但生产时未经测试。

2： ADC模块可在VBORMIN < VDD < VDDMIN条件下工作，但性能将下降。除非另外声明，否则模块功能可确保，但未确定特性值。

表26-45： 高速模拟比较器模块规范

交流/直流特性(2)			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	符号	特性	最小值	典型值	最大值	单位	备注
CM10	VIOFF	输入失调电压	-35	±5	+35	mV	
CM11	VICM	输入共模电压范围(1)	0	—	AVDD	V	
CM13	CMRR	共模抑制比	60	—	—	dB	
CM14	TRESP	大信号响应	—	15	—	ns	V-输入保持在AVDD/2时V+输入100 mV阶跃信号。延时从模拟输入引脚到PWMx输出引脚测得。
CM15	VHYST	输入滞后	5	10	20	mV	取决于HYSSEL<1:0>
CM16	TON	比较器使能到输出有效的时间	—	—	1	µs	

注 1： 这些参数仅供设计参考，生产时未经测试。

2： 比较器模块可在VBORMIN < VDD < VDDMIN条件下工作，但性能将下降。除非另外声明，否则模块功能经过测试，但未确定特性值。

表26-46： DACx模块规范

交流/直流特性(2)			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**备注**
DA01	EXTREF	外部参考电压(1)	0	—	AVDD	V	
DA02	CVRES	分辨率		12		位	
DA03	INL	积分非线性误差	-16	-12	0	LSB	
DA04	DNL	微分非线性误差	-1.8	±1	1.8	LSB	
DA05	EOFF	失调误差	-8	3	15	LSB	
DA06	EG	增益误差	-1.2	-0.5	0	%	
DA07	TSET	稳定时间(1)	—	700	—	ns	对于10-90%或90-10%的阶跃，输出电压容差达到稳定在所需输出电压的±2%范围内的时间

注 1： 这些参数仅供设计参考，生产时未经测试。

2： DACx模块可在VBORMIN < VDD < VDDMIN条件下工作，但性能将下降。除非另外声明，否则模块功能经过测试，但未确定特性值。

表26-47： DACx输出（DACOUTx引脚）规范

直流特性(1)			标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**备注**
DA11	RLOAD	阻性输出负载阻抗	10K	—	—	Ω	
DA11a	CLOAD	输出负载电容	—	—	35	pF	包括输出引脚电容
DA12	IOUT	输出电流驱动能力	—	300	—	µA	灌/拉电流
DA13	VRANGE	电流驱动（300 µA）时的输出驱动电压范围	AVSS + 250 mV	—	AVDD – 900 mV	V	
DA14	VLRANGE	降额电流驱动（50 µA）时的输出驱动电压范围	AVSS + 50 mV	—	AVDD – 500 mV	V	
DA15	IDD	模块使能时消耗的电流	—	—	1.3 x IOUT	µA	模块将总是消耗该电流，即使没有负载连接到输出
DA30	VOFFSET	输入失调电压	—	±5	—	mV	

注 1： DACx模块可在VBORMIN < VDD < VDDMIN条件下工作，但性能将下降。除非另外声明，否则模块功能经过测试，但未确定特性值。

© 2015-2018 Microchip Technology Inc.

表26-48： PGAx模块规范

交流/直流特性(1)				标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）				
参数编号	**符号**	**特性**		**最小值**	**典型值**	**最大值**	**单位**	**备注**
PA01	VIN	输入电压范围		AVSS – 0.3	—	AVDD + 0.3	V	
PA02	VCM	共模输入电压范围		AVSS	—	AVDD – 1.6	V	
PA03	VOS	输入失调电压		-10	—	10	mV	
PA04	VOS	随温度变化的输入失调电压漂移		—	±15	—	µV/°C	
PA05	RIN+	同相输入的输入阻抗		—	>1M || 7 pF	—	Ω|| pF	
PA06	RIN-	反相输入的输入阻抗		—	10K || 7 pF	—	Ω|| pF	
PA07	GERR	增益误差		-2	—	2	%	增益 = 4x和8x
				-3	—	3	%	增益 = 16x
				-4	—	4	%	增益 = 32x和64x
PA08	LERR	增益非线性误差		—	—	0.5	%	满量程的百分比， 增益 = 16x
PA09	IDD	电流消耗		—	2.0	—	mA	使能模块，2V峰峰输出电压摆幅
PA10a	BW	小信号带宽 （-3 dB）	G = 4x	—	10	—	MHz	
PA10b			G = 8x	—	5	—	MHz	
PA10c			G = 16x	—	2.5	—	MHz	
PA10d			G = 32x	—	1.25	—	MHz	
PA10e			G = 64x	—	0.625	—	MHz	
PA11	OST	输出容差达到稳定在最终值的±1%内的时间		—	0.4	—	µs	增益 = 16x，100 mV输入阶跃变化
PA12	SR	输出压摆率		—	40	—	V/µs	增益 = 16x
PA13	TGSEL	增益选择时间		—	1	—	µs	
PA14	TON	模块导通/稳定时间		—	—	10	µs	

注 1： PGAx模块可在VBORMIN < VDD < VDDMIN条件下工作，但性能将下降。除非另外声明，否则模块功能经过测试，但未确定特性值。

表26-49： 恒流源规范

直流特性(1)				标准工作条件： 3.0V至3.6V（除非另外声明） 工作温度 -40°C ≤ TA ≤ +85°C（工业级） -40°C ≤ TA ≤ +125°C（扩展级）			
参数编号	**符号**	**特性**	**最小值**	**典型值**	**最大值**	**单位**	**条件**
CC01	IDD	电流消耗	—	30	—	µA	
CC02	IREG	电压开启时的电流稳定度	—	±3	—	%	
CC03	IOUT	端子处的输出电流	—	10	—	µA	

注 1： 恒流源模块可在VBORMIN < VDD < VDDMIN条件下工作，但性能将下降。除非另外声明，否则模块功能经过测试，但未确定特性值。

注：

© 2015-2018 Microchip Technology Inc.

27.0 器件直流和交流特性曲线图

注： 以下曲线图来自有限数量样本的统计结果，仅供设计参考。此处列出的性能特性未经测试，不做任何保证。一些曲线图中列出的数据可能超出规定的工作范围（例如，超出了规定的电源范围），因此不在担保范围内。

图27-1： VOH—4x驱动引脚曲线

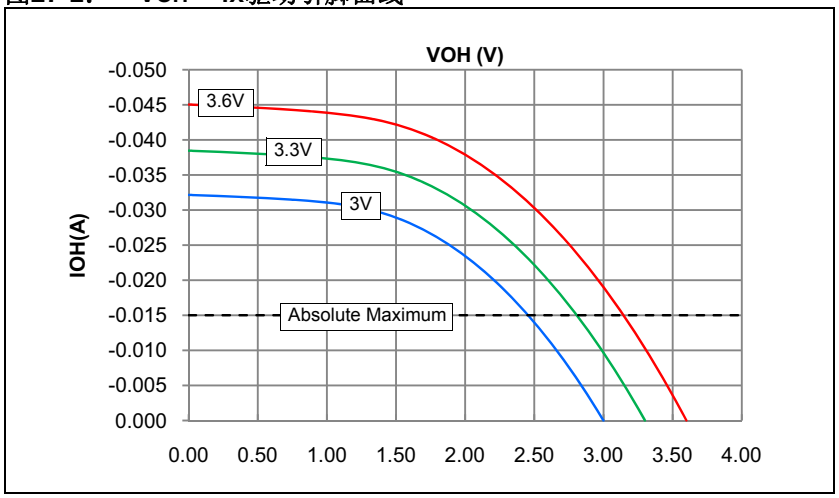


图27-2： VOH—8x驱动引脚曲线

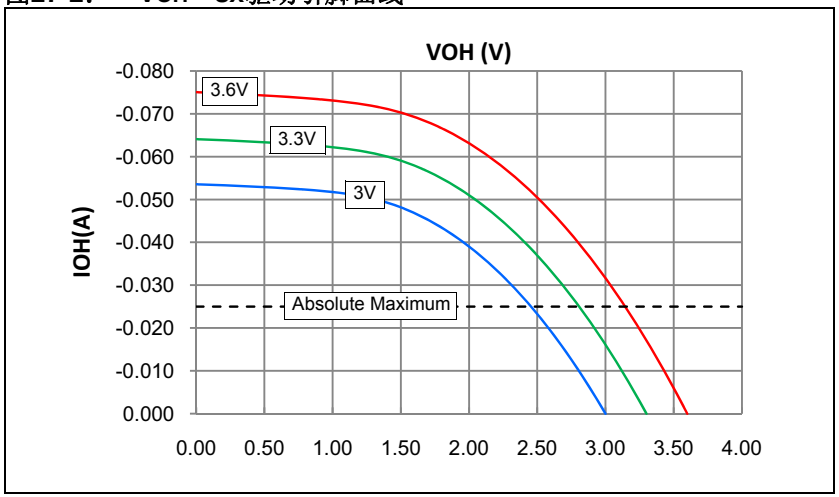


图27-3： VOL—4x驱动引脚曲线

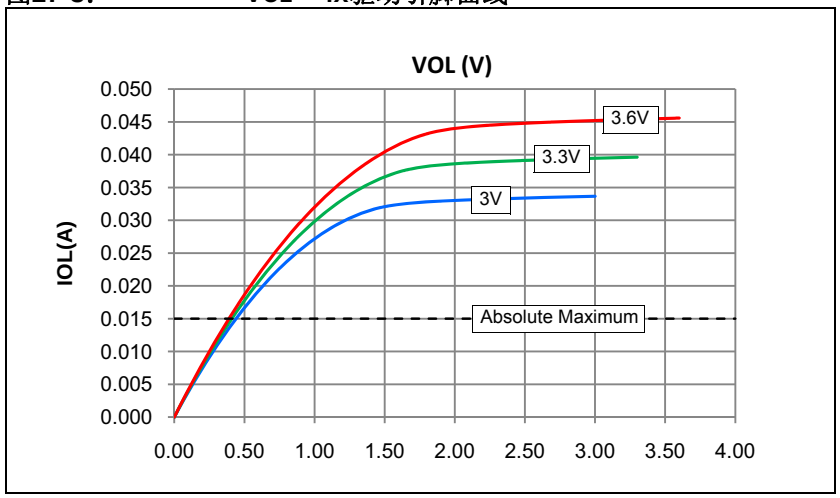
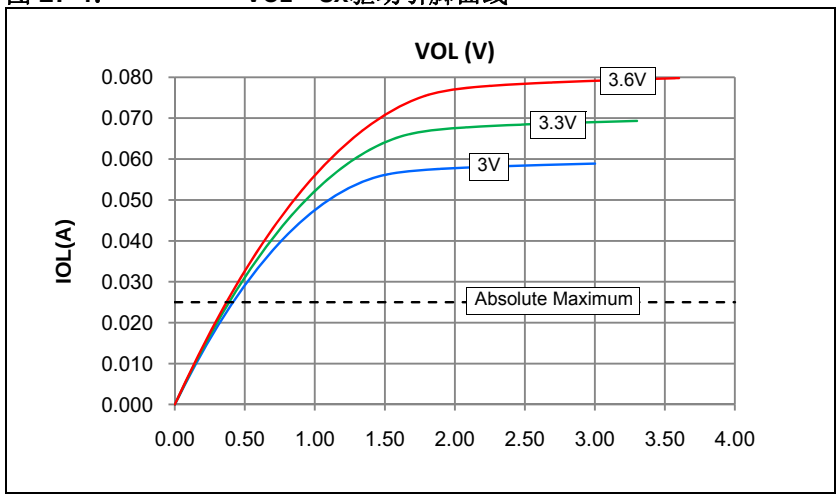


图 27-4： VOL—8x驱动引脚曲线



© 2015-2018 Microchip Technology Inc.

图27-5： 典型IPD电流曲线（VDD = 3.3V）

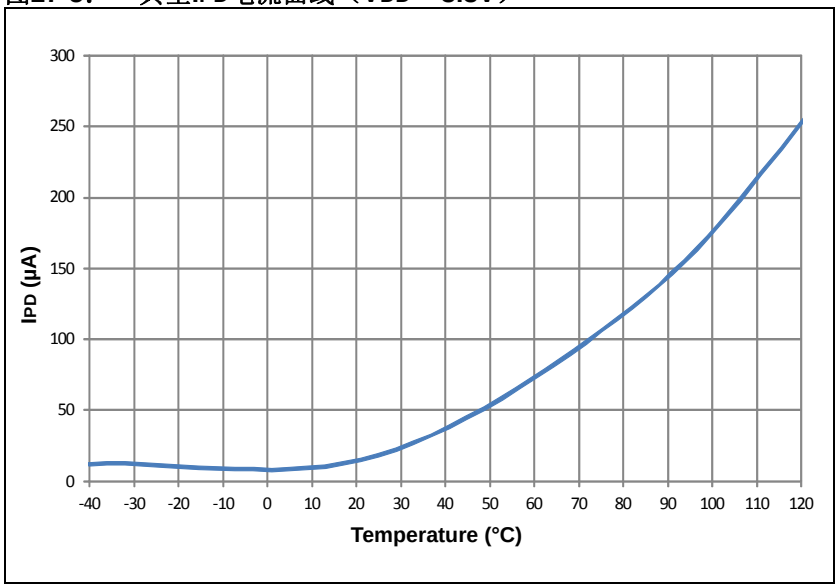


图27-6： 典型IDD电流曲线（VDD = 3.3V，+25°C）

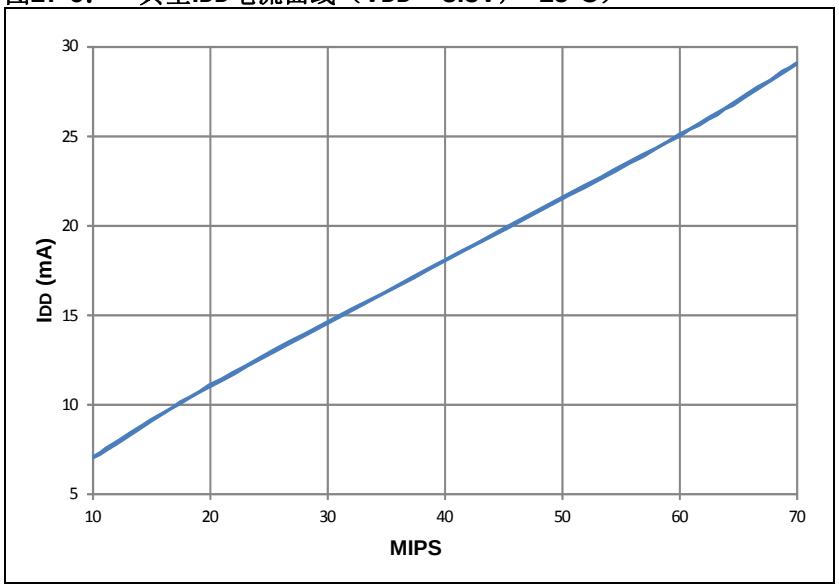


图27-7： 典型IDOZE电流曲线（VDD = 3.3V，+25°C）

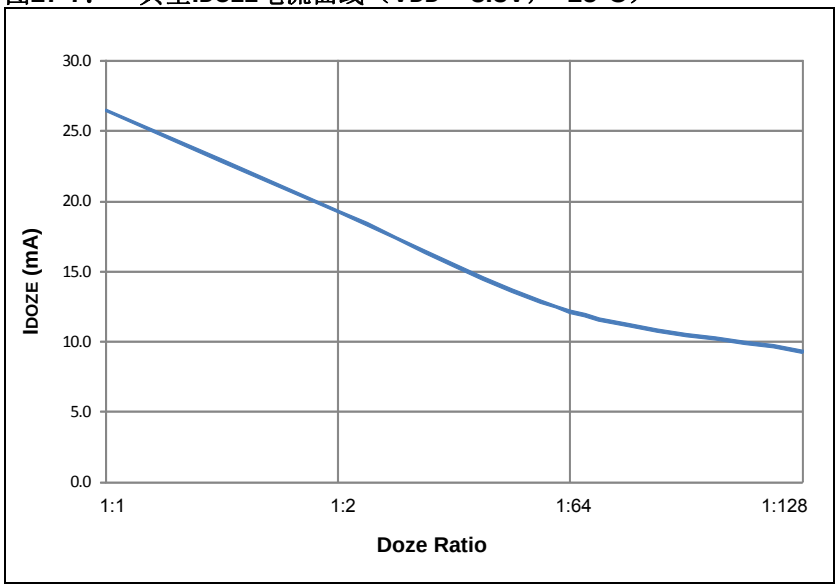
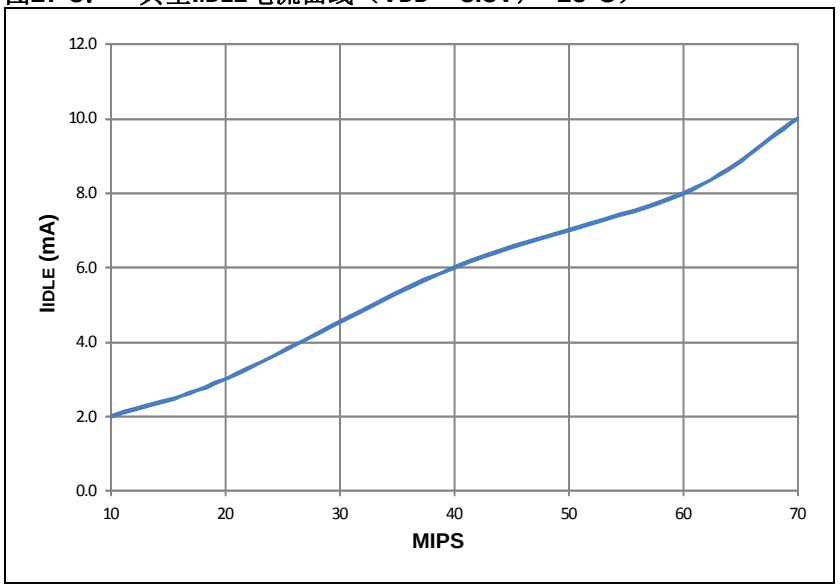


图27-8： 典型IIDLE电流曲线（VDD = 3.3V，+25°C）



© 2015-2018 Microchip Technology Inc.

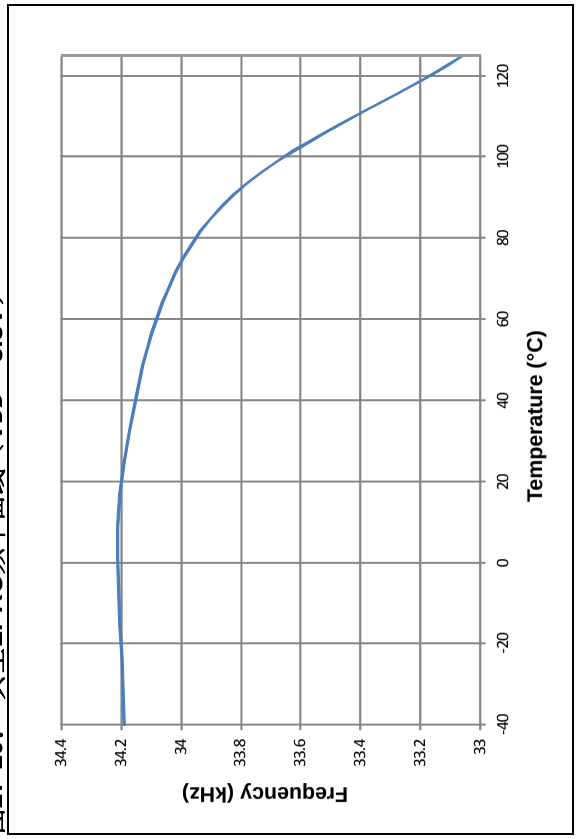


图27-10：　典型LPRC频率曲线（VDD = 3.3V）

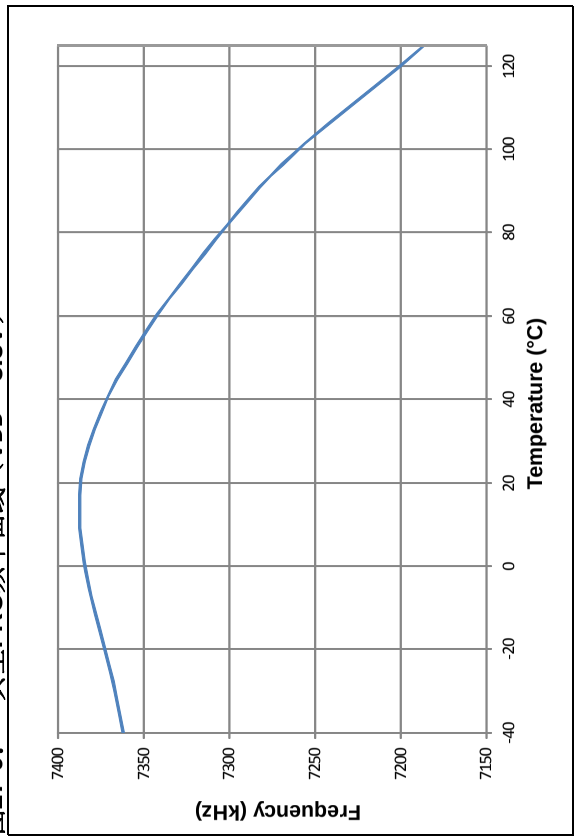


图27-9：　典型FRC频率曲线（VDD = 3.3V）

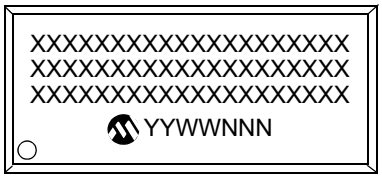
注：

© 2015-2018 Microchip Technology Inc.

28.0 封装信息

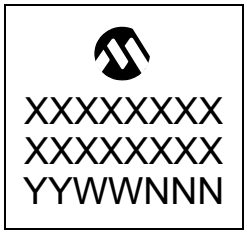
28.1 封装标识信息

28引脚SOIC（0.300英寸）



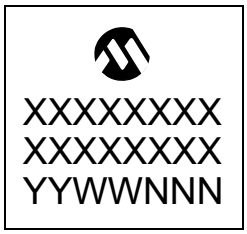
示例

28引脚UQFN（6x6x0.55 mm）



示例

28引脚QFN-S（6x6x0.9 mm）



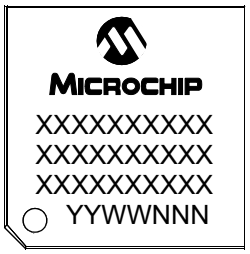
示例

图注：	XX...X	客户指定信息
	Y	年份代码（日历年的最后一位数字）
	YY	年份代码（日历年的最后两位数字）
	WW	星期代码（一月一日的星期代码为“01”）
	NNN	由字母数字组成的追踪代码

注： Microchip 部件编号如果无法在同一行内完整标注，将换行标出，因此会限制表示客户指定信息的字符数。

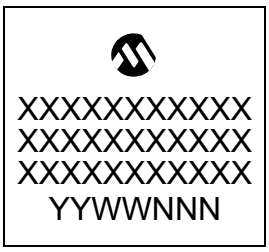
28.1 封装标识信息（续）

44引脚TQFP（10x10x1 mm）



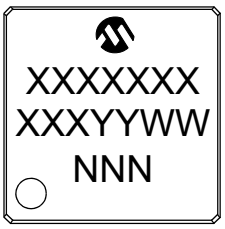
示例

44引脚QFN（8x8 mm）



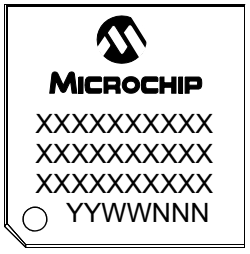
示例

48引脚TQFP（7x7x1.0 mm）



示例

64引脚TQFP（10x10x1 mm）



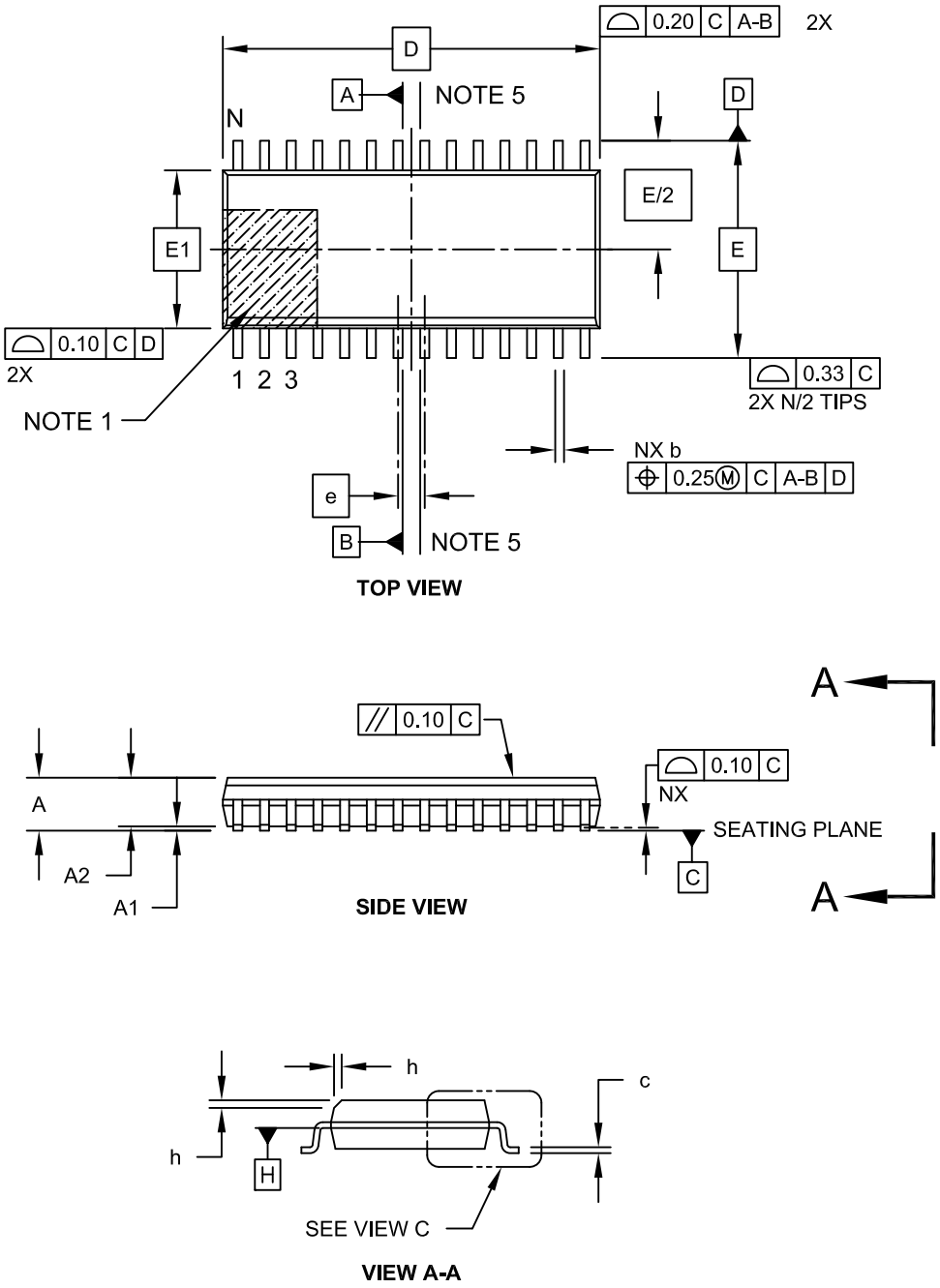
示例

© 2015-2018 Microchip Technology Inc.

28.2 封装详细信息

28引脚塑封宽条小外形封装（SO）——主体7.50 mm [SOIC]

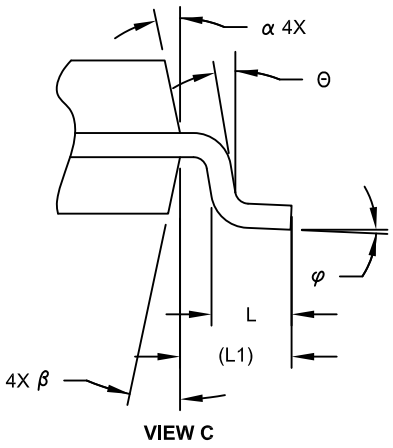
注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。

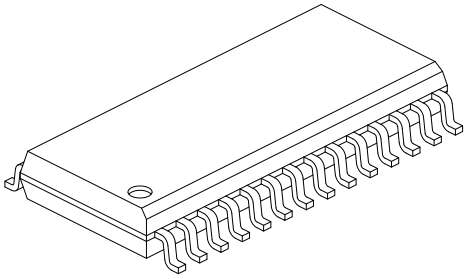


Microchip Technology Drawing C04-052C Sheet 1 of 2

28引脚塑封宽条小外形封装（SO）——主体7.50 mm [SOIC]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。





Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		28	
Pitch	e		1.27 BSC	
Overall Height	A	-	-	2.65
Molded Package Thickness	A2	2.05	-	-
Standoff §	A1	0.10	-	0.30
Overall Width	E		10.30 BSC	
Molded Package Width	E1		7.50 BSC	
Overall Length	D		17.90 BSC	
Chamfer (Optional)	h	0.25	-	0.75
Foot Length	L	0.40	-	1.27
Footprint	L1		1.40 REF	
Lead Angle	Θ	0°	-	-
Foot Angle	φ	0°	-	8°
Lead Thickness	c	0.18	-	0.33
Lead Width	b	0.31	-	0.51
Mold Draft Angle Top	α	5°	-	15°
Mold Draft Angle Bottom	β	5°	-	15°

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. § Significant Characteristic
3. Dimension D does not include mold flash, protrusions or gate burrs, which shall not exceed 0.15 mm per end. Dimension E1 does not include interlead flash or protrusion, which shall not exceed 0.25 mm per side.
4. Dimensioning and tolerancing per ASME Y14.5M

   BSC: Basic Dimension. Theoretically exact value shown without tolerances.

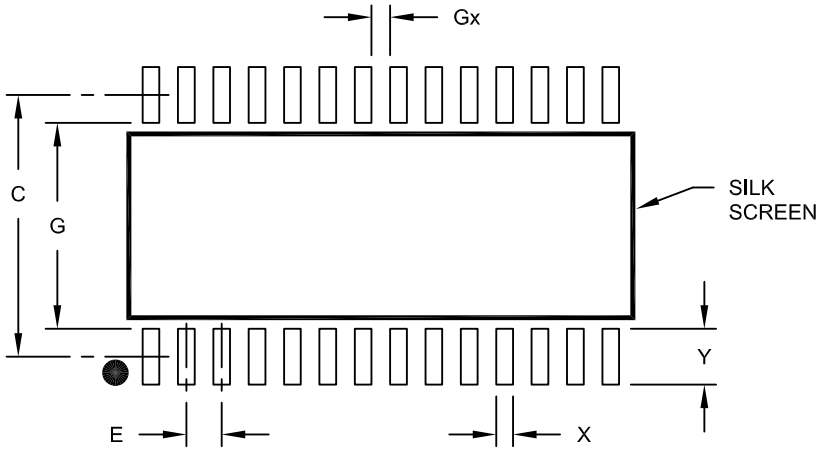
   REF: Reference Dimension, usually without tolerance, for information purposes only.
5. Datums A & B to be determined at Datum H.

Microchip Technology Drawing C04-052C Sheet 2 of 2

© 2015-2018 Microchip Technology Inc.

28引脚塑封宽条小外形封装（SO）——主体7.50 mm [SOIC]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	1.27 BSC		
Contact Pad Spacing	C		9.40	
Contact Pad Width (X28)	X			0.60
Contact Pad Length (X28)	Y			2.00
Distance Between Pads	Gx	0.67		
Distance Between Pads	G	7.40		

Notes:

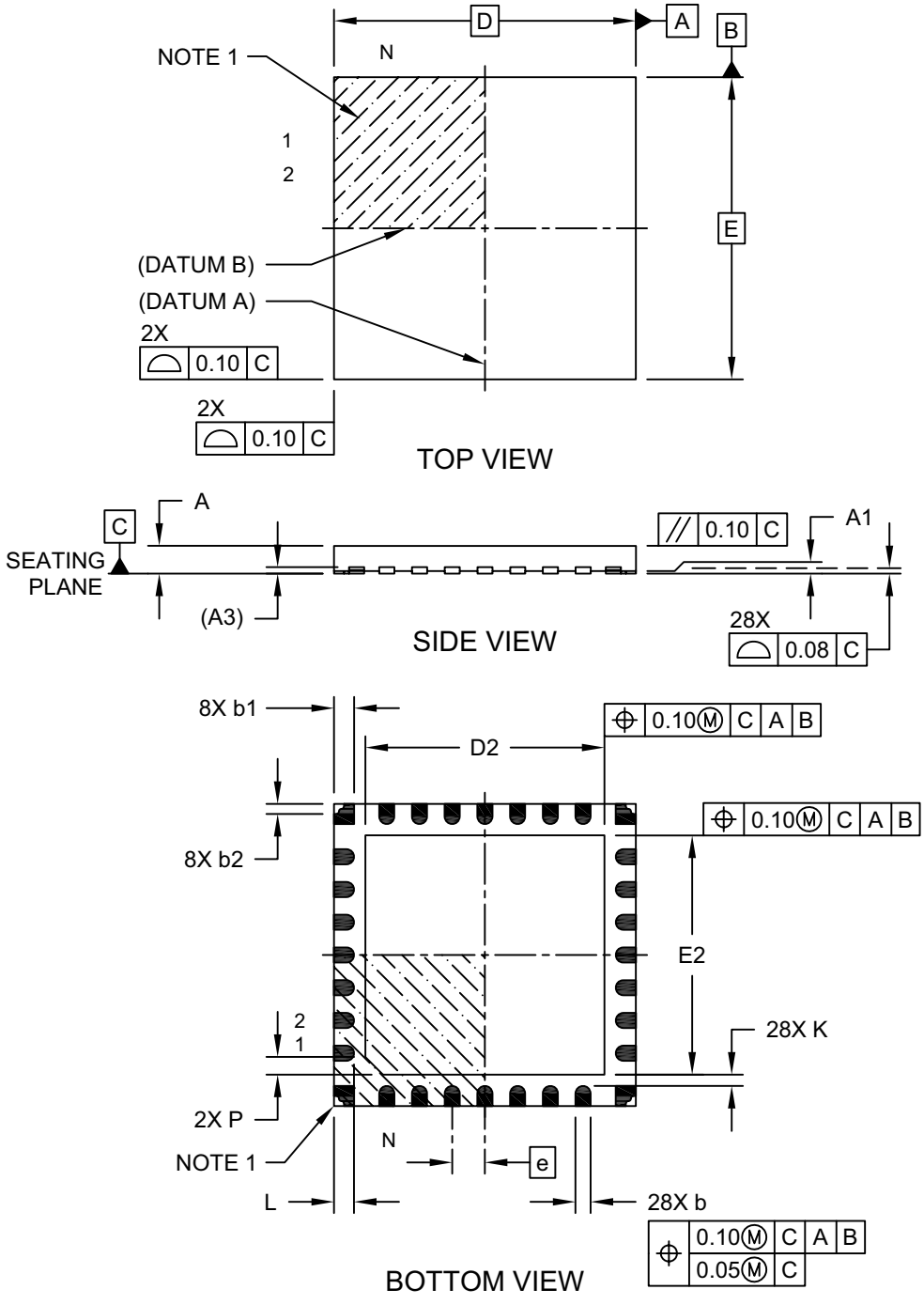
1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2052A

28引脚超薄塑封正方扁平无脚封装（2N）——主体6x6x0.55 mm [UQFN]，带4.65x4.65 mm外露焊盘和角锚点

注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。

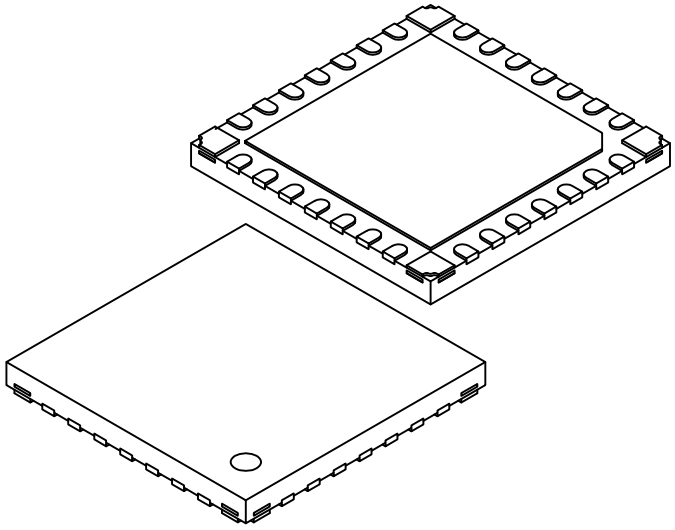


Microchip Technology Drawing C04-385B Sheet 1 of 2

© 2015-2018 Microchip Technology Inc.

28引脚超薄塑封正方扁平无脚封装（2N）——主体6x6x0.55 mm [UQFN]，带4.65x4.65 mm外露焊盘和角锚点

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Terminals	N		28	
Pitch	e		0.65 BSC	
Overall Height	A	0.45	0.50	0.55
Standoff	A1	0.00	0.02	0.05
Terminal Thickness	A3		0.127 REF	
Overall Width	E		6.00 BSC	
Exposed Pad Width	E2	4.55	4.65	4.75
Overall Length	D		6.00 BSC	
Exposed Pad Length	D2	4.55	4.65	4.75
Exposed Pad Corner Chamfer	P	-	0.35	-
Terminal Width	b	0.25	0.30	0.35
Corner Anchor Pad	b1	0.35	0.40	0.43
Corner Pad, Metal Free Zone	b2	0.15	0.20	0.25
Terminal Length	L	0.30	0.40	0.50
Terminal-to-Exposed-Pad	K	0.20	-	-

Notes:

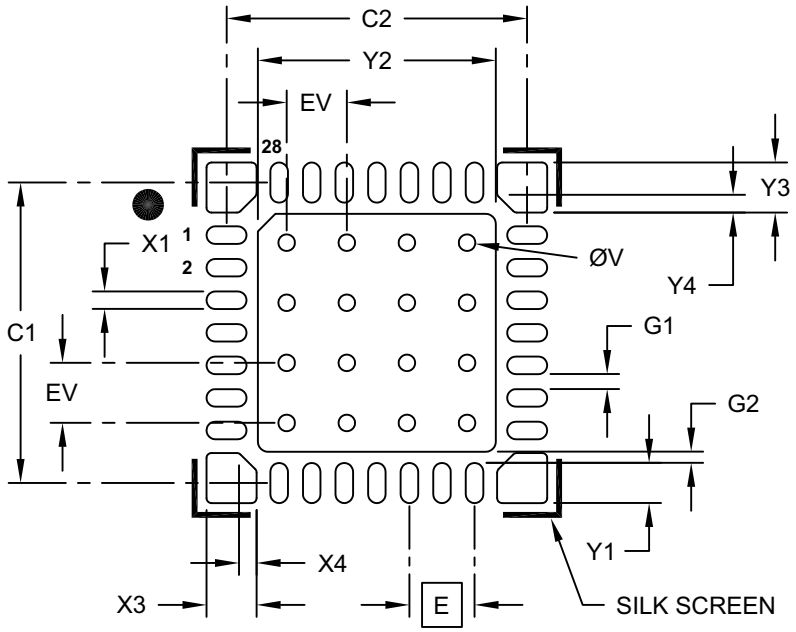
1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated
3. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-385B Sheet 2 of 2

28引脚超薄塑封正方扁平无脚封装（2N）——主体6x6x0.55 mm [UQFN]，带4.65x4.65 mm外露焊盘和角锚点

注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.65 BSC	
Optional Center Pad Width	X2			4.75
Optional Center Pad Length	Y2			4.75
Contact Pad Spacing	C1		6.00	
Contact Pad Spacing	C2		6.00	
Contact Pad Width (X28)	X1			0.35
Contact Pad Length (X28)	Y1			0.80
Corner Anchor (X4)	X3			1.00
Corner Anchor (X4)	Y3			1.00
Corner Anchor Chamfer (X4)	X4			0.35
Corner Anchor Chamfer (X4)	Y4			0.35
Contact Pad to Pad (X28)	G1	0.20		
Contact Pad to Center Pad (X28)	G2	0.20		
Thermal Via Diameter	V		0.33	
Thermal Via Pitch	EV		1.20	

Notes:

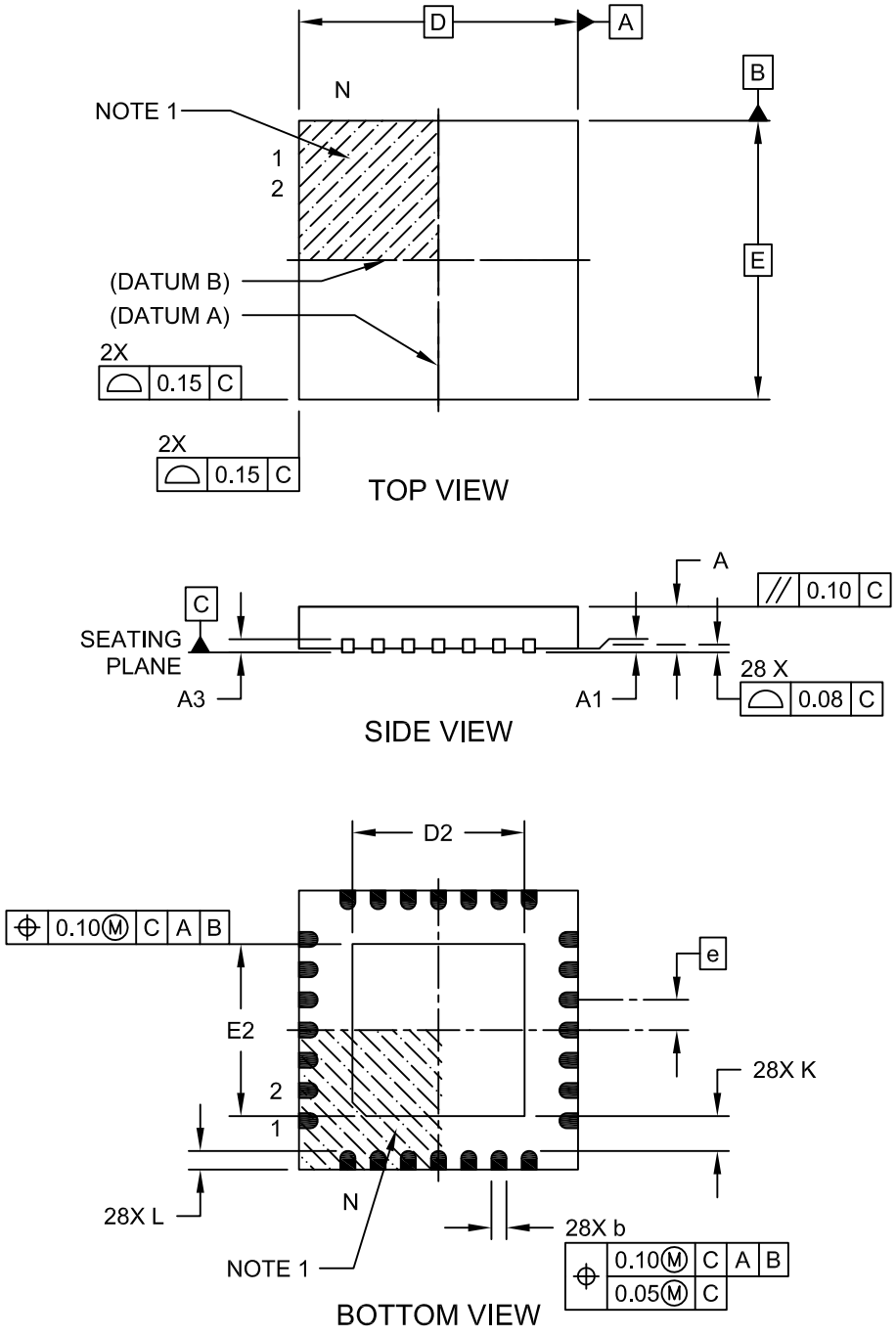
1. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
2. For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during reflow process

Microchip Technology Drawing C04-2385B

© 2015-2018 Microchip Technology Inc.

28引脚塑封正方扁平无脚封装（MM）——主体6x6x0.9 mm [QFN-S]，端子长度为0.40 mm

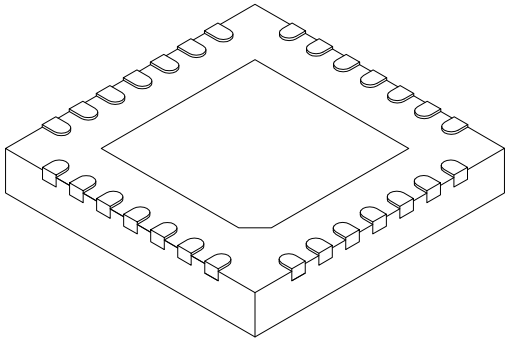
注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



Microchip Technology Drawing C04-124C Sheet 1 of 2

28引脚塑封正方扁平无脚封装（MM）——主体6x6x0.9 mm [QFN-S]，端子长度为0.40 mm

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		28	
Pitch	e		0.65 BSC	
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Terminal Thickness	A3		0.20 REF	
Overall Width	E		6.00 BSC	
Exposed Pad Width	E2	3.65	3.70	4.70
Overall Length	D		6.00 BSC	
Exposed Pad Length	D2	3.65	3.70	4.70
Terminal Width	b	0.23	0.30	0.35
Terminal Length	L	0.30	0.40	0.50
Terminal-to-Exposed Pad	K	0.20	-	-

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated
3. Dimensioning and tolerancing per ASME Y14.5M

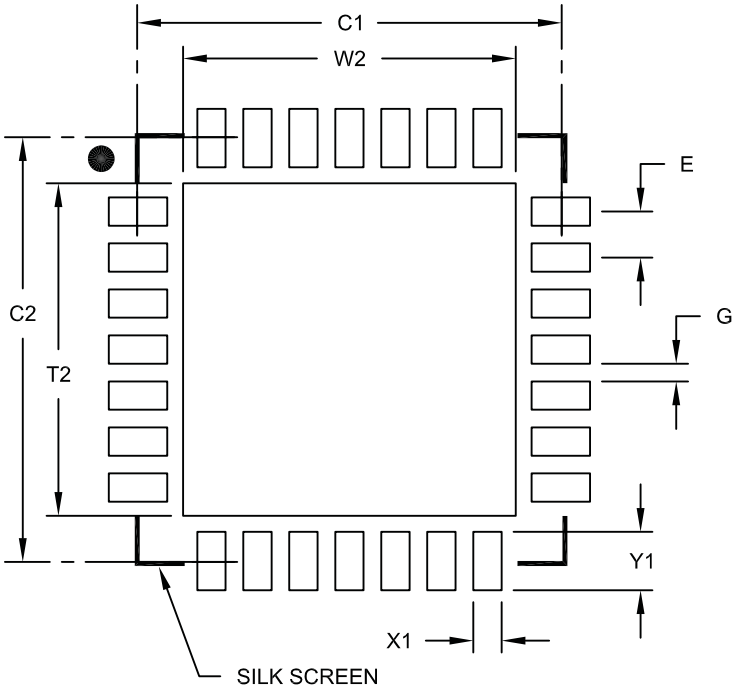
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-124C Sheet 2 of 2

© 2015-2018 Microchip Technology Inc.

28引脚塑封正方扁平无脚封装（MM）——主体6x6x0.9 mm [QFN-S]，端子长度为0.40 mm

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.65 BSC	
Optional Center Pad Width	W2			4.70
Optional Center Pad Length	T2			4.70
Contact Pad Spacing	C1		6.00	
Contact Pad Spacing	C2		6.00	
Contact Pad Width (X28)	X1			0.40
Contact Pad Length (X28)	Y1			0.85
Distance Between Pads	G	0.25		

Notes:

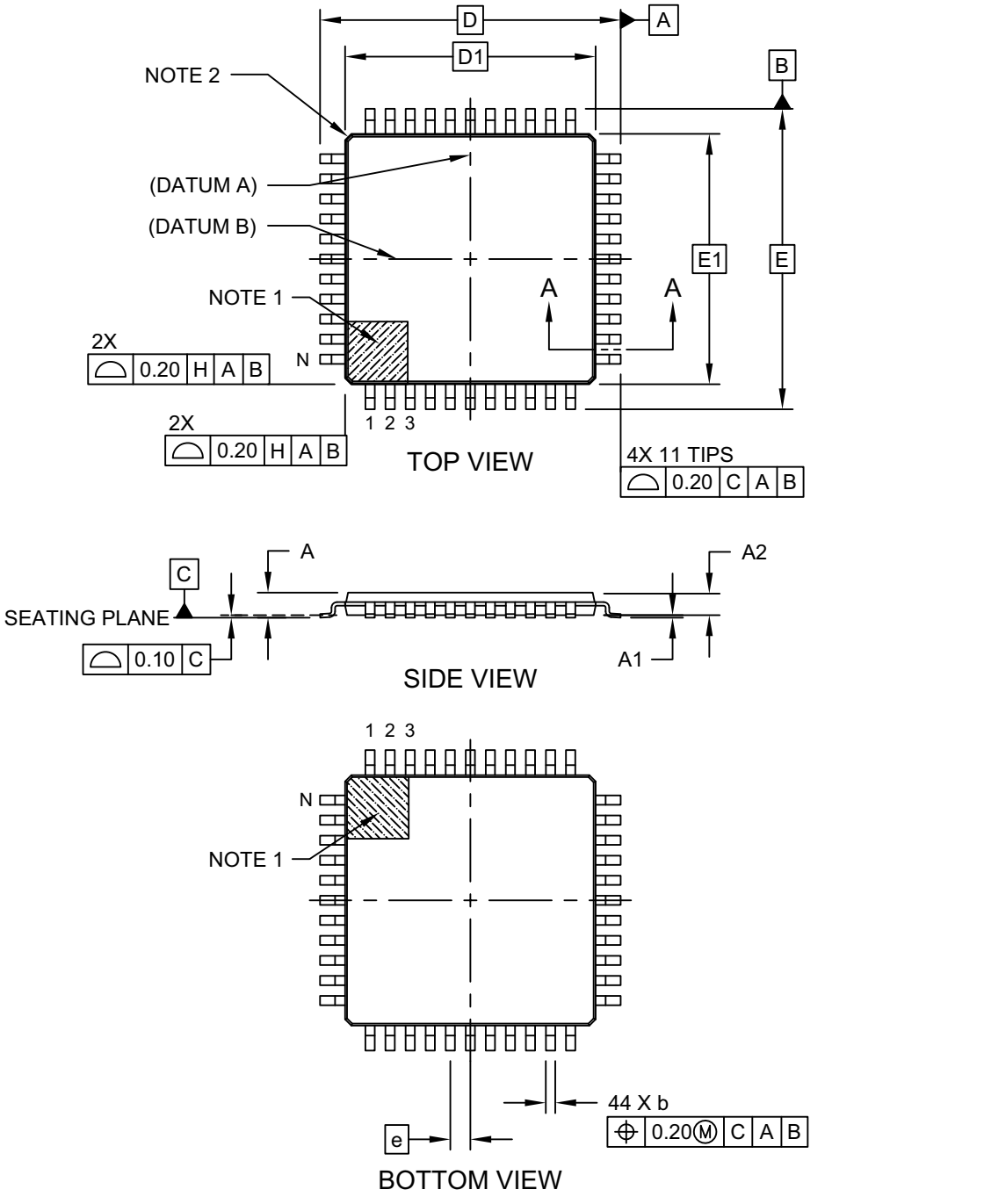
1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2124A

44引脚塑封薄型正方扁平封装（PT）——主体10x10x1.0 mm [TQFP]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。

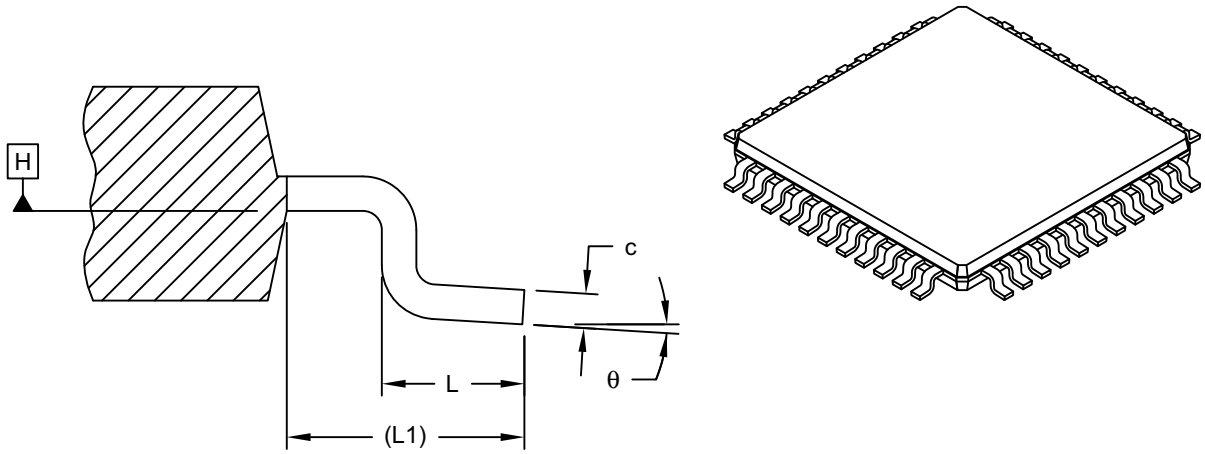


Microchip Technology Drawing C04-076C Sheet 1 of 2

© 2015-2018 Microchip Technology Inc.

44引脚塑封薄型正方扁平封装（PT）——主体10x10x1.0 mm [TQFP]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



SECTION A-A

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Leads	N		44	
Lead Pitch	e		0.80 BSC	
Overall Height	A	-	-	1.20
Standoff	A1	0.05	-	0.15
Molded Package Thickness	A2	0.95	1.00	1.05
Overall Width	E		12.00 BSC	
Molded Package Width	E1		10.00 BSC	
Overall Length	D		12.00 BSC	
Molded Package Length	D1		10.00 BSC	
Lead Width	b	0.30	0.37	0.45
Lead Thickness	c	0.09	-	0.20
Lead Length	L	0.45	0.60	0.75
Footprint	L1		1.00 REF	
Foot Angle	θ	0°	3.5°	7°

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Exact shape of each corner is optional.
3. Dimensioning and tolerancing per ASME Y14.5M

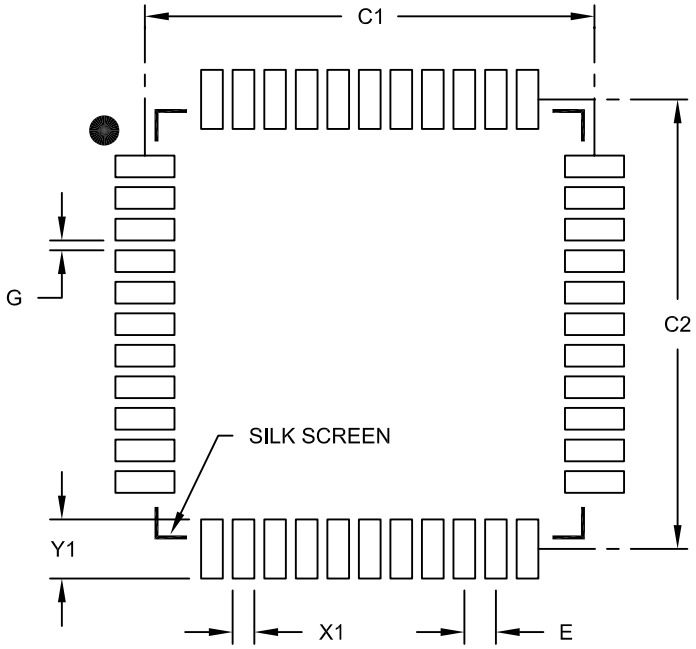
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.

   REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-076C Sheet 2 of 2

44引脚塑封薄型正方扁平封装（PT）——主体10x10x1 mm，2.00 mm引脚投影长度[TQFP]

注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	0.80 BSC		
Contact Pad Spacing	C1		11.40	
Contact Pad Spacing	C2		11.40	
Contact Pad Width (X44)	X1			0.55
Contact Pad Length (X44)	Y1			1.50
Distance Between Pads	G	0.25		

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

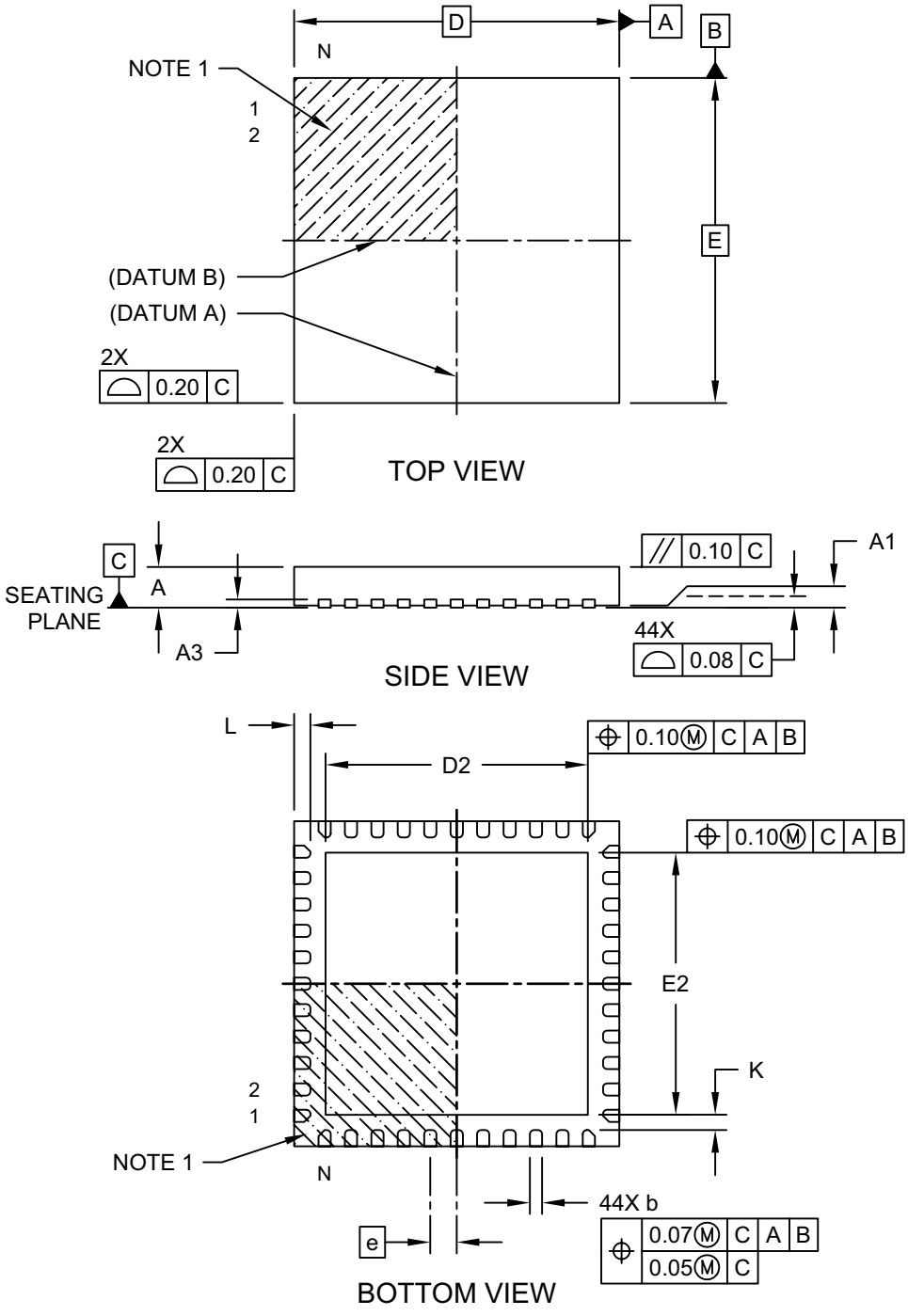
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2076B

© 2015-2018 Microchip Technology Inc.

44引脚塑封正方扁平无脚封装（ML）——主体8x8 mm [QFN或VQFN]

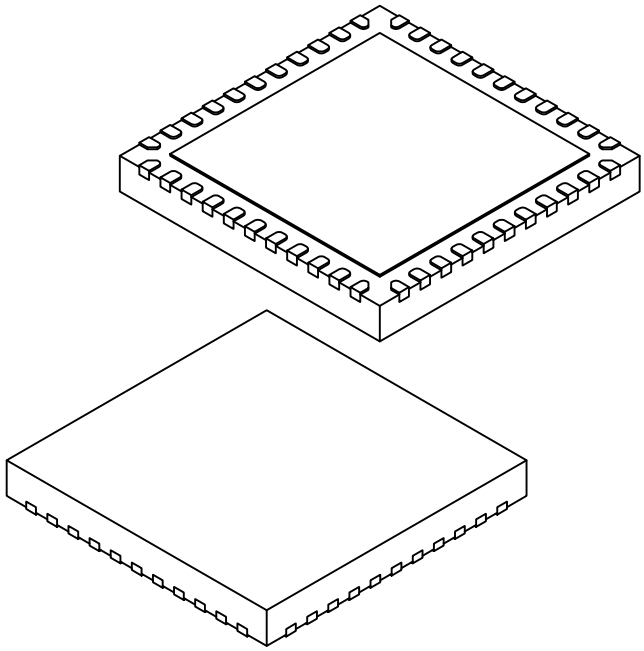
注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



Microchip Technology Drawing C04-103D Sheet 1 of 2

44引脚塑封正方扁平无脚封装（ML）——主体8x8 mm [QFN或VQFN]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N		44	
Pitch	e		0.65 BSC	
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Terminal Thickness	A3		0.20 REF	
Overall Width	E		8.00 BSC	
Exposed Pad Width	E2	6.25	6.45	6.60
Overall Length	D		8.00 BSC	
Exposed Pad Length	D2	6.25	6.45	6.60
Terminal Width	b	0.20	0.30	0.35
Terminal Length	L	0.30	0.40	0.50
Terminal-to-Exposed-Pad	K	0.20	-	-

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated
3. Dimensioning and tolerancing per ASME Y14.5M

   BSC: Basic Dimension. Theoretically exact value shown without tolerances.

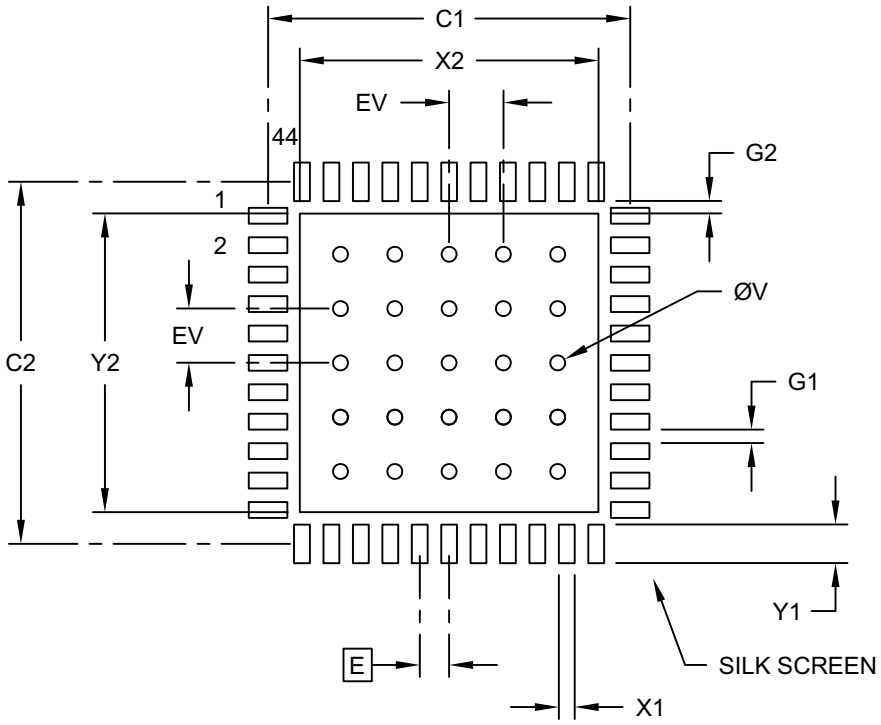
   REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-103D Sheet 2 of 2

© 2015-2018 Microchip Technology Inc.

44引脚塑封正方扁平无脚封装（ML）——主体8x8 mm [QFN或VQFN]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	0.65 BSC		
Optional Center Pad Width	X2			6.60
Optional Center Pad Length	Y2			6.60
Contact Pad Spacing	C1		8.00	
Contact Pad Spacing	C2		8.00	
Contact Pad Width (X44)	X1			0.35
Contact Pad Length (X44)	Y1			0.85
Contact Pad to Contact Pad (X40)	G1	0.30		
Contact Pad to Center Pad (X44)	G2	0.28		
Thermal Via Diameter	V		0.33	
Thermal Via Pitch	EV		1.20	

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

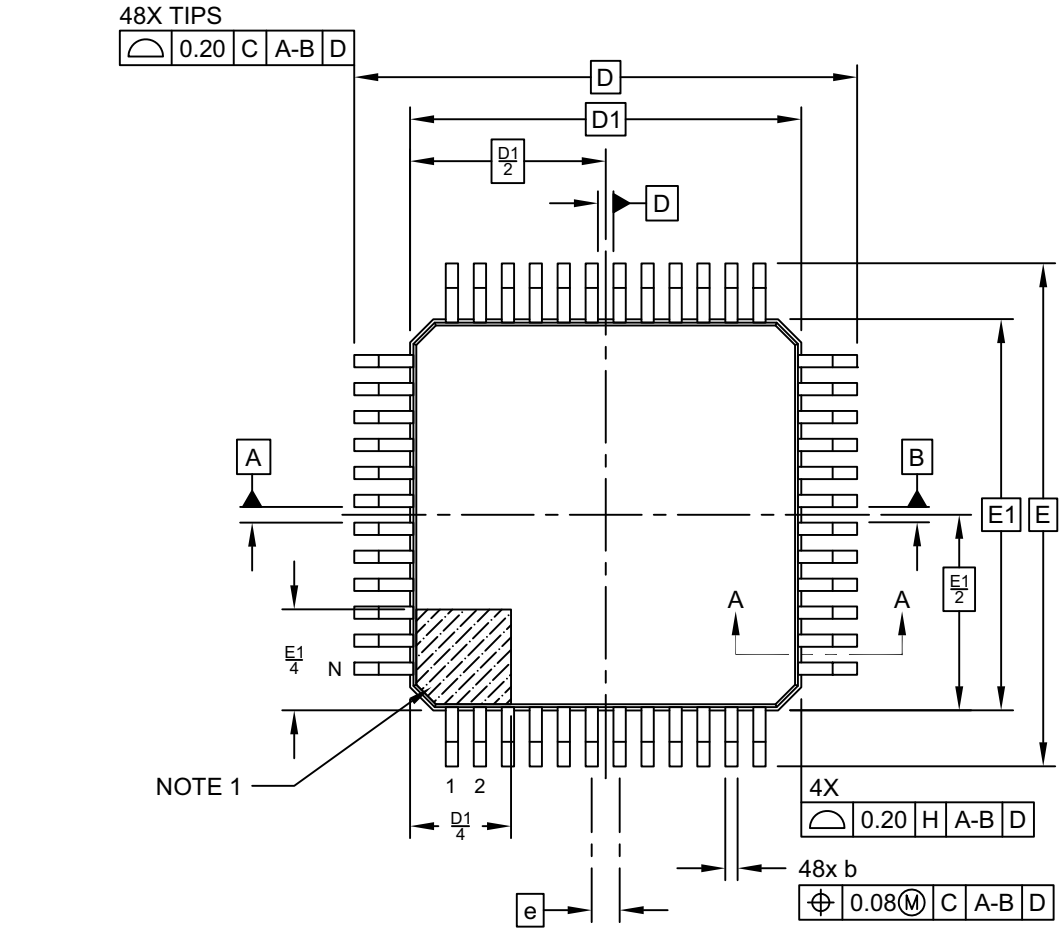
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.

2. For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during reflow process

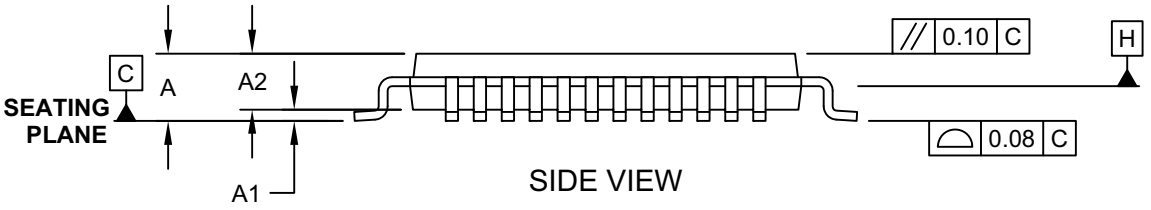
Microchip Technology Drawing No. C04-2103C

48引脚薄型正方扁平封装（Y8）——主体7x7x1.0 mm [TQFP]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



TOP VIEW



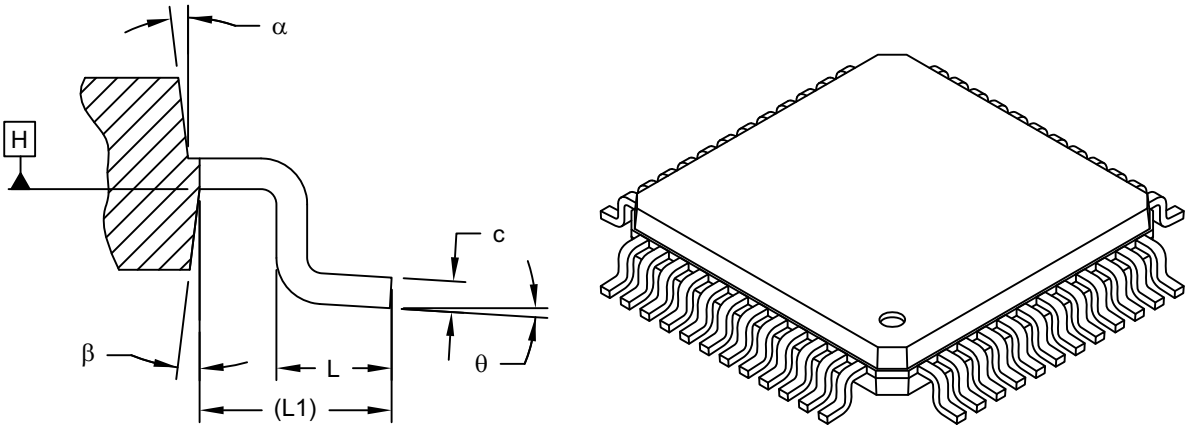
SIDE VIEW

Microchip Technology Drawing C04-300-Y8 Rev A Sheet 1 of 2

© 2015-2018 Microchip Technology Inc.

48引脚薄型正方扁平封装（Y8）——主体7x7x1.0 mm [TQFP]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



SECTION A-A

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Leads	N		48	
Lead Pitch	e		0.50 BSC	
Overall Height	A	-	-	1.20
Standoff	A1	0.05	-	0.15
Molded Package Thickness	A2	0.95	1.00	1.05
Foot Length	L	0.45	0.60	0.75
Footprint	L1		1.00 REF	
Foot Angle	ϕ	0°	3.5°	7°
Overall Width	E		9.00 BSC	
Overall Length	D		9.00 BSC	
Molded Package Width	E1		7.00 BSC	
Molded Package Length	D1		7.00 BSC	
Lead Thickness	c	0.09	-	0.16
Lead Width	b	0.17	0.22	0.27
Mold Draft Angle Top	α	11°	12°	13°
Mold Draft Angle Bottom	β	11°	12°	13°

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Chamfers at corners are optional; size may vary.
3. Dimensions D1 and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.25mm per side.
4. Dimensioning and tolerancing per ASME Y14.5M

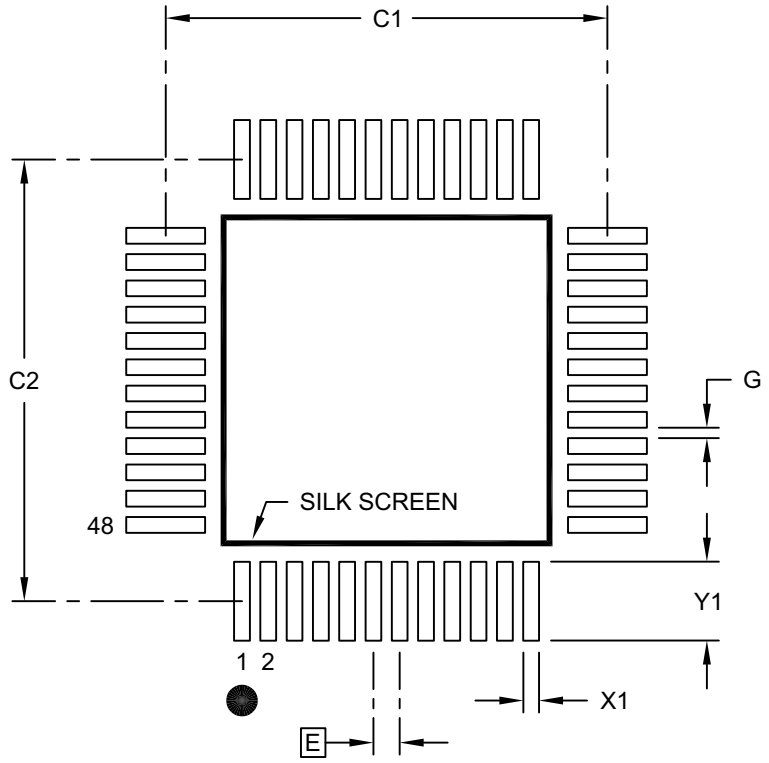
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.

   REF: Reference Dimension, usually without tolerance, for information purposes only.
5. Datums A-B and D to be determined at center line between leads where leads exit plastic body at datum plane H

Microchip Technology Drawing C04-300-Y8 Rev A Sheet 2 of 2

48引脚薄型正方扁平封装（Y8）——主体7x7x1.0 mm [TQFP]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.50 BSC	
Contact Pad Spacing	C1		8.40	
Contact Pad Spacing	C2		8.40	
Contact Pad Width (X48)	X1			0.30
Contact Pad Length (X48)	Y1			1.50
Distance Between Pads	G	0.20		

Notes:

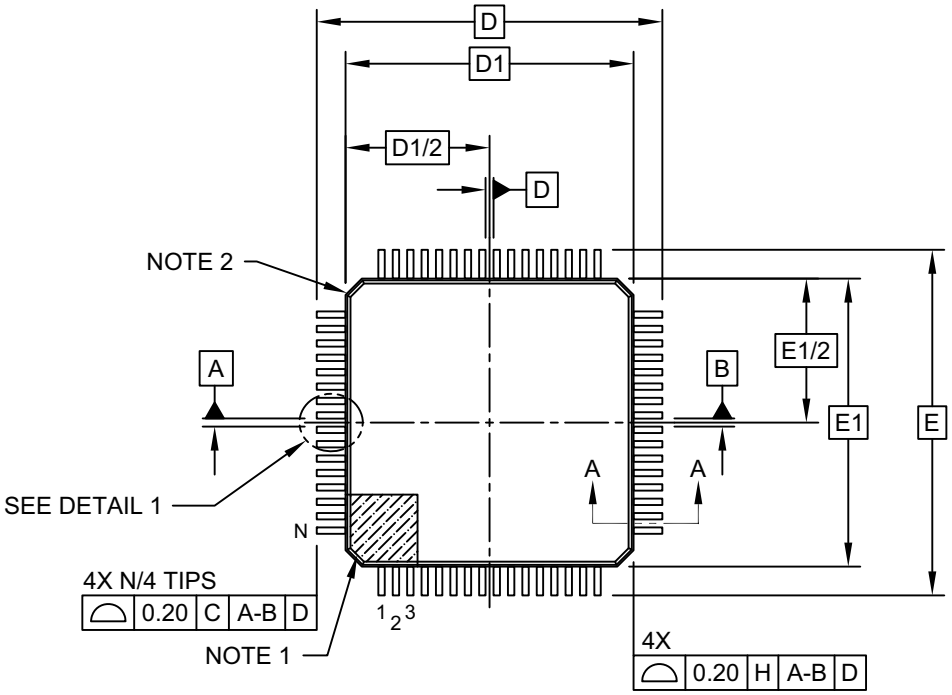
1. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
2. For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during reflow process

Microchip Technology Drawing C04-2300-Y8 Rev A

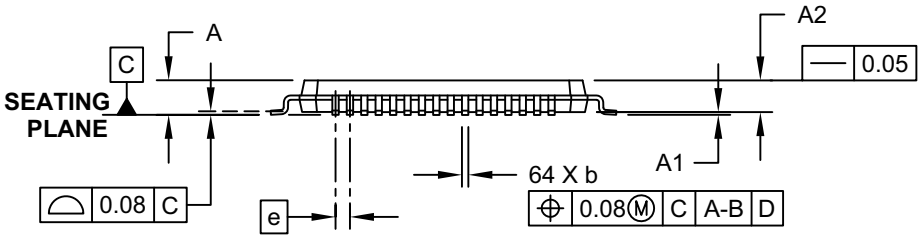
© 2015-2018 Microchip Technology Inc.

64引脚塑封薄型正方扁平封装（PT）——主体10x10x1 mm，2.00 mm引脚投影长度[TQFP]

注：	最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



TOP VIEW

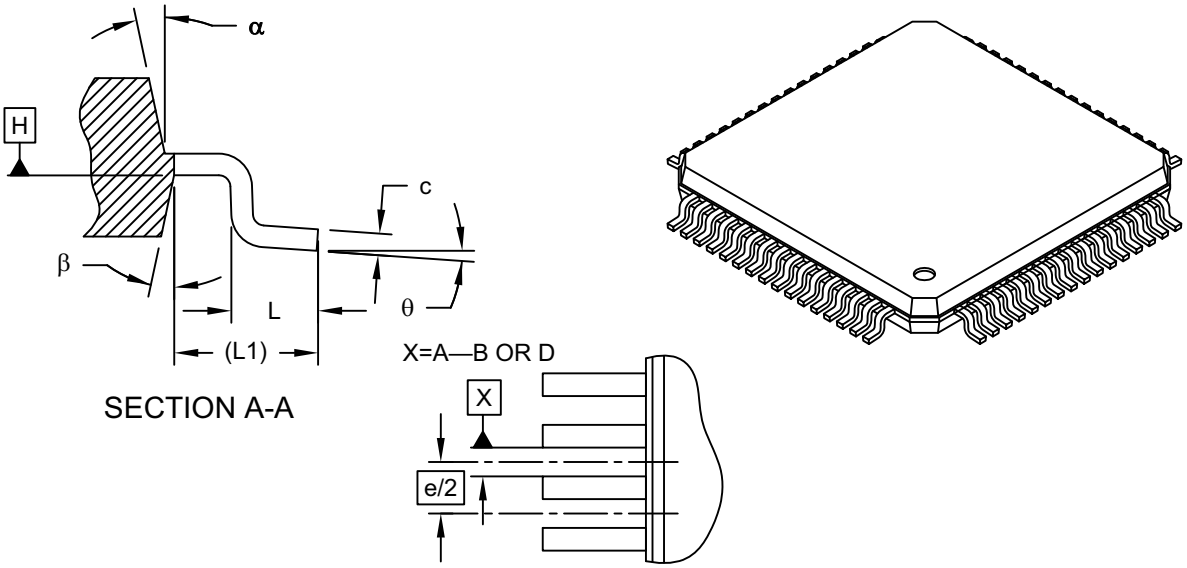


SIDE VIEW

Microchip Technology Drawing C04-085C Sheet 1 of 2

64引脚塑封薄型正方扁平封装（PT）——主体10x10x1 mm，2.00 mm引脚投影长度[TQFP]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Leads	N		64	
Lead Pitch	e		0.50 BSC	
Overall Height	A	-	-	1.20
Molded Package Thickness	A2	0.95	1.00	1.05
Standoff	A1	0.05	-	0.15
Foot Length	L	0.45	0.60	0.75
Footprint	L1		1.00 REF	
Foot Angle	ϕ	0°	3.5°	7°
Overall Width	E		12.00 BSC	
Overall Length	D		12.00 BSC	
Molded Package Width	E1		10.00 BSC	
Molded Package Length	D1		10.00 BSC	
Lead Thickness	c	0.09	-	0.20
Lead Width	b	0.17	0.22	0.27
Mold Draft Angle Top	α	11°	12°	13°
Mold Draft Angle Bottom	β	11°	12°	13°

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Chamfers at corners are optional; size may vary.
3. Dimensions D1 and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.25mm per side.
4. Dimensioning and tolerancing per ASME Y14.5M

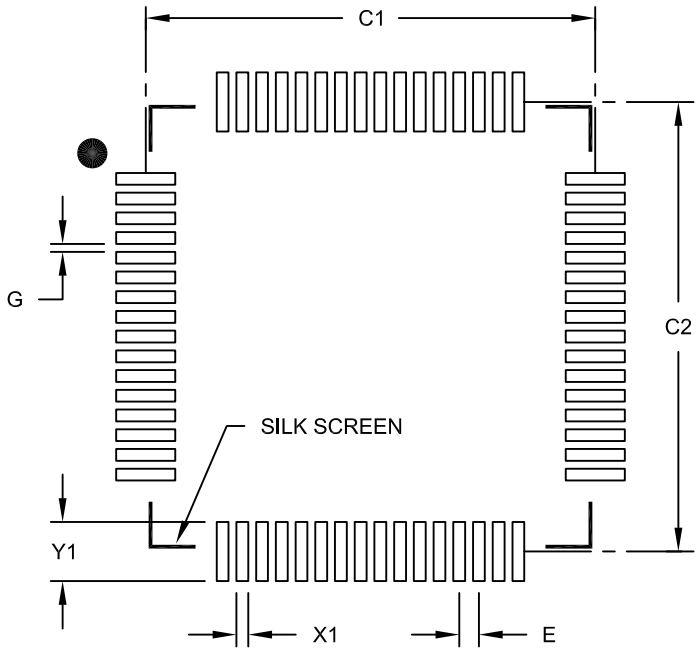
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-085C Sheet 2 of 2

© 2015-2018 Microchip Technology Inc.

64引脚塑封薄型正方扁平封装（PT）——主体10x10x1 mm，2.00 mm引脚投影长度[TQFP]

注： 最新封装图请至http://www.microchip.com/packaging查看Microchip封装规范。



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.50 BSC	
Contact Pad Spacing	C1		11.40	
Contact Pad Spacing	C2		11.40	
Contact Pad Width (X64)	X1			0.30
Contact Pad Length (X64)	Y1			1.50
Distance Between Pads	G	0.20		

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2085B

注：

© 2015-2018 Microchip Technology Inc.

附录A： 版本历史

版本A（2013年6月）

这是本文档的初始版本。

版本B（2015年5月）

文档中增加了dsPIC33EPXXGS505（48引脚）系列器件：

- 修改了第2页的表，向其中增加了该系列的三个新器件
- 第7页增加了48引脚TQFP引脚图
- 修改了表26-3，在其中包含48引脚封装的热封装特性
- 更新了**第28.1节“封装标识信息”**，在其中包含48引脚TQFP器件的封装标识详细信息
- 更新了**第28.2节“封装详细信息”**，在其中包含Microchip封装图C04-183A和C04-2183A（7x7x1.0 mm 48引脚TQFP）

将“双引导闪存程序存储器”的引用通篇更改为“双分区闪存程序存储器”。此外，将对“面板”和“引导模式”的所有引用更改对“分区”和“分区模式”。这包括但不限于：

- **第4.1节“程序地址空间”**
- **第5.4节“双分区闪存配置”**和寄存器5-1
- **第23.10节“代码保护和CodeGuard安全性”**和表23-2

将预生产样片中的高速流水线型A/D转换器替换为生产器件中的高速多SAR A/D转换器：

- **第19.0节“高速12位模数转换器（ADC）”**替换为具有相同标题的全新章节，替换了之前的所有图和寄存器
- 更新了第1页“高速ADC模块”下的总结要点以反映新模块的功能集
- 更新了表4-3和表7-1以反映新模块的中断结构
- 将表4-16替换为新的寄存器映射
- 删除了表4-16（“ADC校准寄存器映射”）；相应对后续表重新编号
- 更新了**第23.2节“器件校准和标识”**和表23-3，删除了校准寄存器表中的ADCAL寄存器
- 删除了对内部温度传感器的所有引用，包括表26-44（温度传感器规范）和图27-11（典型温度传感器电压—电流曲线）

V_{CAP}滤波电容的ESR规范从< 4Ω更改为< 0.5Ω。

通篇删除了内部参考电压。对于模拟模块，内部带隙参考替换为替代源。

通篇更改了以下寄存器名称：

- “CMPCONx”更改为“CMPxCON”
- “CMPDACx”更改为“CMPxDAC”
- “I2CxCON1”更改为“I2CxCONL”
- “I2CxCON2”更改为“I2CxCONH”

更新了**第5.4.2节“双分区模式”**的文字，将“不受信任的双面板模式”更改为“特权双分区模式”，并阐明了该模式的代码安全功能。

将整篇文字中的BSS2配置位更改为“BSEN”。

将**第23.3节“用户OTP存储器”**替换为新内容，以描述64字用户OTP存储空间；还删除了表23-4。

修改了表24-2的脚注，表明大部分指令在特定条件下的指令执行周期会增加。

更新了**第26.0节“电气特性”**中的以下表（不包括之前提到的更改）：

- 表26-4新增了规范DC12（和随附的脚注）
- 表26-6更新了典型值数据和新的最大值数据，并增加了参数DC27（和随附的脚注）
- 表26-7、表26-8和表26-10更新了典型值数据和最大值数据
- 表26-9更新了参数DC61a和DC61b的典型值数据和最大值数据
- 表26-11增加了脚注6和脚注7以阐明5V耐压引脚的行为
- 表26-43增加了“ADC精度”规范
- 表26-45（版本A中为表26-45）更新了参数CM15的规范
- 表26-46（版本A中为表26-46）更新了参数DA03至DA06的规范

表26-11中阐明了脚注6和脚注7的文本（I/O引脚输入规范）。

整体删除了表26-43中的“参考输入”规范。

将图27-5至图27-10替换为新的特性图以反映最新数据，删除了“待定”水印。

更新了**第28.1节“封装标识信息”**，已删除所有封装标识中多余的温度和封装代码信息；包括之前所述的新的48引脚封装标识。

整个文档中还进行了其他少量文字和格式修改。

版本 C （2015 年 10 月）

更新了表 1-1 中的注 2。

更新了图 2-5。

增加了新的**第 4.2 节 “惟一器件标识符 （UDID）”**和表 4-1。此章中的各后续表格相应重新编号。更新了表 4-3（B 版本中为表 4-2）、表 4-5（B 版本中为表 4-4）、表 4-10（B 版本中为表 4-9）、表 4-11（B 版本中为表 4-10）、表 4-21（B 版本中为表 4-20）、表 4-32（B 版本中为表 4-31）、表 4-36（B 版本中为表 4-35）和表 4-37（B 版本中为表 4-36）。

更新了**第 4.8.1 节“位反转寻址的实现”**（B 版本中为第 4.7.1 节）。

更新了寄存器 9-1。

更新了图 12-2 和寄存器 12-2。

更新了寄存器 13-1。

更新了**第 14.0 节 “输出比较”**中的注 1。

更新了寄存器 15-1、寄存器 15-6、寄存器 15-20 和寄存器 15-22。

更新了图 17-1。

更新了寄存器 18-2。

更新了图 19-2 和图 19-3。更新了寄存器 19-1、寄存器 19-2、寄存器 19-3、寄存器 19-4、寄存器 19-26 和寄存器 19-33。增加了寄存器 19-27。

更新了图 21-2。

更新了**第 23.6.2 节 “休眠和空闲模式”**。

更新了表 26-8、表 26-11 和表 26-29。增加了新的表 26-42。此章中的各后续表格相应重新编号。更新了表 26-43（B 版本中为表 26-42）、表 26-46（B 版本中为表 26-45）和表 26-48（B 版本中为表 26-47）。

更新了**第 28.0 节 “封装信息”**中的封装图。

更新了产品标识体系章节。

整个文档中还进行了其他少量文字和格式修改。

版本D（2017年5月）

第3页更新了引脚14的功能，第4页更新了引脚11的功能，第5页更新了引脚41的功能，第6页更新了引脚41的功能，第7页更新了引脚45的功能，第8页更新了引脚43的功能。

更新了表1-1、表4-8、表4-9、表4-10、表4-11、表4-12、表4-16、表26-4、表26-40、表26-43和表26-45。

更新了寄存器5-1、寄存器8-4、寄存器15-22、寄存器19-5、寄存器19-6、寄存器19-26、寄存器19-27、寄存器19-28、寄存器19-29和寄存器19-30。

更新了图20-2、图26-20和图26-22.

第28.0节“封装信息”中增加了48引脚薄型正方扁平封装（Y8）——主体7x7x1mm TQFP封装的封装图。

更新了**第20.6节“滞后”**。

© 2015-2018 Microchip Technology Inc.

索引

B

版本历史 377
编程模型 23
    寄存器说明 23
变更通知客户服务 385

C

C编译器
    MPLAB C18 300
CodeGuard安全性 277, 287
CPU
    寄存器 21
    控制寄存器 26
    时钟系统选项 105
        带后分频器的FRC振荡器 105
        带PLL的FRC振荡器（FRCPLL） 105
        带PLL的主振荡器 105
        低功耗RC（LPRC）振荡器 105
        快速RC（FRC）振荡器 105
        主（XT、HS或EC）振荡器 105
    数据空间寻址 21
    寻址模式 21
    指令集 21
    资源 25
CPU的特殊功能 277
程序存储器
    复位向量 36
    构成 36
    与数据存储空间的接口 75
程序地址空间 31
    表读低位字指令（TBLRDL） 76
    表读高位字指令（TBLRDH） 76
    存储器映射（dsPIC33EP16GS50X器件） 32
    存储器映射（dsPIC33EP32GS50X器件） 33
    存储器映射（dsPIC33EP64GS50X器件，双分区） .. 35
    存储器映射（dsPIC33EP64GS50X器件） 34
    构成 75
    使用表指令访问程序存储器中的数据 76
串行外设接口。*请参见*SPI。
串行外设接口（SPI） 207
存储器构成 31
    资源 41

D

DSP引擎 30
打盹模式 117
代码保护 277, 287
代码示例
    PWM写保护寄存器解锁序列 182
    PWRSAV指令语法 115
    端口写/读 126
电气特性 303
    交流 315
读者反馈表 386

F

封装 353
    标识 353
    详细信息 355
复位 85
    RESET指令（SWR） 85
    非法条件复位（IOPUWR） 85
        安全性 85
        非法操作码 85
        未初始化的W寄存器 85
    看门狗定时器超时复位（WDTO） 85
    配置不匹配复位（CM） 85
    欠压复位（BOR） 85
    上电复位（POR） 85
    陷阱冲突复位（TRAPR） 85
    主复位（MCLR）引脚复位 85
    资源 86

G

高速12位模数转换器（ADC） 229
    控制寄存器 232
    特性概述 229
    资源 232
高速模拟比较器
    脉冲宽度延长器和数字逻辑 265
    数模比较器（DAC） 265
    说明 264
    特性概述 263
    应用 265
    滞后 266
    资源 266
高速PWM
    说明 181
    特性 181
    写保护寄存器 182
    资源 182
公式
    FPLLO计算 105
    FVCO计算 105
    器件工作频率 105

H

恒流源 275
    控制寄存器 276
    说明 275
    特性概述 275
汇编器
    MPASM汇编器 300

I

I/O端口 125
    并行I/O（PIO） 125
    漏极开路配置 126
    配置模拟/数字端口引脚 126
    写/读时序 126
    有用技巧 132
    资源 133
I^2C 215
    控制寄存器 217
    资源 215
I2C。*请参见*I^2C。

J

寄存器
ACLKCON（附属时钟分频比控制） 112
ADCAL0L（ADC校准0的低字节） 255
ADCAL0L（ADC校准0的高字节） 256
ADCAL1H（ADC校准1的高字节） 257
ADCMPxCON（ADC数字比较器x控制） 258
ADCMPxENH（ADC数字比较器x通道使能的高字节） 259
ADCMPxENL（ADC数字比较器x通道使能的低字节） 259
ADCON1H（ADC控制1的高位字） 233
ADCON1L（ADC控制1的低位字） 232
ADCON2H（ADC控制2的高位字） 235
ADCON2L（ADC控制2的低位字） 234
ADCON3H（ADC控制3的高位字） 237
ADCON3L（ADC控制3的低位字） 236
ADCON4H（ADC控制4的高位字） 239
ADCON4L（ADC控制4的低位字） 238
ADCON5H（ADC控制5的高位字） 241
ADCON5L（ADC控制5的低位字） 240
ADCOREXH（专用ADC内核x控制的高位字） 243
ADCOREXL（专用ADC内核x控制的低位字） 242
ADEIEH（ADC提前中断允许的高位字） 245
ADEIEL（ADC提前中断允许的低位字） 245
ADEISTATH（ADC提前中断状态的高位字） 246
ADEISTATL（ADC提前中断状态的低位字） 246
ADFLxCON（ADC数字滤波器x控制） 260
ADIEH（ADC中断允许的高位字） 249
ADIEL（ADC中断允许的低位字） 249
ADLVLTRGH（ADC电平敏感触发控制的高位字） . 244
ADLVLTRGL（ADC电平敏感触发控制的低位字） .. 244
ADMOD0H（ADC输入模式控制0的高位字） 247
ADMOD0L（ADC输入模式控制0的低位字） 247
ADMOD1L（ADC输入模式控制1的低位字） 248
ADSTATH（ADC数据就绪状态的高位字） 250
ADSTATL（ADC数据就绪状态的低位字） 250
ADTRIGxH（ADC通道触发x选择的高位字） 253
ADTRIGxL（ADC通道触发x选择的低位字） 251
ALTDTRx（PWMx备用死区） 197
AUXCONx（PWMx附属控制） 205
CHOP（PWMx斩波时钟发生器） 190
CLKDIV（时钟分频比） 109
CMPxCON（比较器x控制） 267
CMPxDAC（比较器x DAC控制） 269
CORCON（内核控制） 28, 96
CTXTSTAT（CPU W寄存器现场状态） 29
DEVID（器件ID） 284
DEVREV（器件版本） 284
DTRx（PWMx死区） 197
FCLCONx（PWMx故障限流控制） 201
I2CxCONH（I2Cx控制的高位字） 219
I2CxCONL（I2Cx控制的低位字） 217
I2CxMSK（I2Cx从模式地址掩码） 222
I2CxSTAT（I2Cx状态） 220
ICxCON1（输入捕捉x控制1） 172
ICxCON2（输入捕捉x控制2） 173
INTCON1（中断控制1） 97
INTCON2（中断控制2） 99
INTCON3（中断控制3） 100
INTCON4（中断控制4） 100
INTTREG（中断控制和状态） 101
IOCONx（PWMx I/O控制） 199
ISRCCON（恒流源控制） 276
LEBCONx（PWMx前沿消隐控制） 203
LEBDLYx（PWMx前沿消隐延时） 204
LFSR（线性反馈移位寄存器） 114
MDC（PWMx主控占空比） 191
NVMADR（非易失性存储器低位字地址） 83
NVMADRU（非易失性存储器高位字地址） 83
NVMCON（非易失性存储器（NVM）控制） 81
NVMKEY（非易失性存储器密钥） 84
NVMSRCADR（NVM源数据地址） 84
OCxCON1（输出比较x控制1） 176
OCxCON2（输出比较x控制2） 178
OSCCON（振荡器控制） 107
OSCTUN（FRC振荡器调节） 111
PDCx（PWMx发生器占空比） 194
PGAxCAL（PGAx校准） 274
PGAxCON（PGAx控制） 273
PHASEx（PWMx主相移） 195
PLLFBD（PLL反馈分频比） 110
PMD1（外设模块禁止控制1） 118
PMD2（外设模块禁止控制2） 119
PMD3（外设模块禁止控制3） 120
PMD4（外设模块禁止控制4） 120
PMD6（外设模块禁止控制6） 121
PMD7（外设模块禁止控制7） 122
PMD8（外设模块禁止控制8） 123
PTCON（PWMx时基控制） 185
PTCON2（PWMx时钟分频比选择2） 186
PTPER（PWMx主主控时基周期） 187
PWMCAPx（PWMx主时基捕捉） 206
PWMCONx（PWMx控制） 192
PWMKEY（PWMx保护锁定/解锁密钥） 191
RCON（复位控制） 87
REFOCON（参考振荡器控制） 113
RPINR0（外设引脚选择输入0） 134
RPINR1（外设引脚选择输入1） 134
RPINR11（外设引脚选择输入11） 139
RPINR12（外设引脚选择输入12） 140
RPINR13（外设引脚选择输入13） 141
RPINR18（外设引脚选择输入18） 142
RPINR19（外设引脚选择输入19） 143
RPINR2（外设引脚选择输入2） 135
RPINR20（外设引脚选择输入20） 144
RPINR21（外设引脚选择输入21） 145
RPINR22（外设引脚选择输入22） 146
RPINR23（外设引脚选择输入23） 147
RPINR3（外设引脚选择输入3） 136
RPINR37（外设引脚选择输入37） 148
RPINR38（外设引脚选择输入38） 149
RPINR42（外设引脚选择输入42） 150
RPINR43（外设引脚选择输入43） 151
RPINR7（外设引脚选择输入7） 137
RPINR8（外设引脚选择输入8） 138
RPOR0（外设引脚选择输出0） 152
RPOR1（外设引脚选择输出1） 152
RPOR10（外设引脚选择输出10） 157
RPOR11（外设引脚选择输出11） 157
RPOR12（外设引脚选择输出12） 158
RPOR13（外设引脚选择输出13） 158
RPOR14（外设引脚选择输出14） 159
RPOR15（外设引脚选择输出15） 159
RPOR16（外设引脚选择输出16） 160
RPOR17（外设引脚选择输出17） 160

© 2015-2018 Microchip Technology Inc.

RPOR18（外设引脚选择输出18） 161
RPOR2（外设引脚选择输出2） 153
RPOR3（外设引脚选择输出3） 153
RPOR4（外设引脚选择输出4） 154
RPOR5（外设引脚选择输出5） 154
RPOR6（外设引脚选择输出6） 155
RPOR7（外设引脚选择输出7） 155
RPOR8（外设引脚选择输出8） 156
RPOR9（外设引脚选择输出9） 156
SDCx（PWMx辅助占空比） 194
SEVTCMP（PWMx特殊事件比较） 187
SPHASEx（PWMx辅助相移） 196
SPIxCON1（SPIx控制1） 211
SPIxCON2（SPIx控制2） 213
SPIxSTAT（SPIx状态和控制） 209
SR（CPU状态） 26, 95
SSEVTCMP（PWMx辅助特殊事件比较） 190
STCON（PWMx辅助主控时基控制） 188
STCON2（PWMx辅助时钟分频比选择2） 189
STPER（PWMx辅助主控时基周期） 189
STRIGx（PWMx辅助触发比较值） 202
T1CON（Timer1控制） 165
TRGCONx（PWMx触发控制） 198
TRIGx（PWMx主触发比较值） 200
TxCON（Timer2/4控制） 169
TyCON（Timer3/5控制） 170
UxMODE（UARTx模式） 225
UxSTA（UARTx状态和控制） 227
寄存器映射
ADC 54
CPU内核 42
I2C1和I2C2 52
JTAG接口 61
NVM 59
PMD 60
PORTA（dsPIC33EPXXGS502器件） 62
PORTA（dsPIC33EPXXGS504/505器件） 63
PORTA（dsPIC33EPXXGS506器件） 64
PORTB（dsPIC33EPXXGS502器件） 62
PORTB（dsPIC33EPXXGS504/505器件） 63
PORTB（dsPIC33EPXXGS506器件） 64
PORTC（dsPIC33EPXXGS504/505器件） 63
PORTC（dsPIC33EPXXGS506器件） 64
PORTD（dsPIC33EPXXGS506器件） 65
PWM 49
PWM发生器1 49
PWM发生器2 50
PWM发生器3 50
PWM发生器4 51
PWM发生器5 51
SPI1和SPI2 53
Timer1至Timer5 46
UART1和UART2 52
恒流源 60
可编程增益 60
模拟比较器 61
输出比较1至输出比较4 48
输入捕捉1至输入捕捉4 47
外设引脚选择输出（dsPIC33EPXXGS502器件） 56
外设引脚选择输出（dsPIC33EPXXGS504/505器件） 56
外设引脚选择输出（dsPIC33EPXXGS506器件） 57
外设引脚选择输入 58
系统控制 59
中断控制器 44
JTAG边界扫描接口 277
JTAG接口 287
基于指令的节能模式 115
空闲 116
休眠 116
交流/直流特性
DACx规范 346
PGAx规范 347
高速模拟比较器规范 345
交流特性 315
ADC规范 343
I/O要求 319
I2Cx总线数据要求（从模式） 341
I2Cx总线数据要求（主模式） 339
OCx/PWMx模式要求 324
PLL时钟 317
SPIx从模式（全双工，CKE = 0，CKP = 0，SMP=0）要求 337
SPIx从模式（全双工，CKE = 0，CKP = 1，SMP=0）要求 335
SPIx从模式（全双工，CKE = 1，CKP = 0，SMP=0）要求 331
SPIx从模式（全双工，CKE = 1，CKP = 1，SMP=0）要求 333
SPIx主模式（半双工，仅发送）要求 327
SPIx主模式（全双工，CKE = 0，CKP = x，SMP=1）要求 329
SPIx主模式（全双工，CKE = 1，CKP = x，SMP=1）要求 328
SPIx最大数据/时钟速率汇总 326
Timer2/Timer4外部时钟要求 322
Timer3/Timer5外部时钟要求 322
Timer1外部时钟要求 321
UARTx I/O要求 342
附属PLL时钟 317
复位、WDT、OST和PWRT要求 320
负载条件 315
高速PWMx要求 325
模拟电流规范 342
模数转换要求 345
内部FRC精度 318
内部LPRC精度 318
输出比较x要求 324
输出引脚上的容性负载要求 315
输入捕捉x要求 323
外部时钟要求 316
温度和电压规范 315
节能特性 115
时钟频率和切换 115
资源 117
绝对最大值 303

K

开发支持 299
看门狗定时器（WDT） 277, 286
编程注意事项 286, 287
勘误表 10
可编程增益放大器。*请参见*PGA。
可编程增益放大器（PGA） 271
说明 272
资源 273
客户通知服务 385
客户支持 385

框图
16位Timer1模块 ... 163
ADC共用内核 ... 231
ADC模块 ... 230
B类/C类定时器对（32位定时器） ... 168
CALL堆栈帧 ... 69
CPU内核 ... 22
dsPIC33EP64GS50X（双分区模式）的安全段 ... 288
dsPIC33EP64GS50X的安全段 ... 288
dsPIC33EPXXGS50X系列 ... 11
I2Cx模块 ... 216
MCLR引脚连接 ... 16
PGAx功能 ... 272
PGAx模块 ... 271
PLL模块 ... 105
PSV的读地址生成方式 ... 66
RPn的可重映射输出的复用 ... 130
SPIx模块 ... 207
Timerx（x = 2至5） ... 168
U1RX的可重映射输入 ... 128
UARTx模块 ... 223
编程模型 ... 24
表寄存器的寻址 ... 77
访问程序空间内数据的地址生成方式 ... 75
复位系统 ... 85
高速模拟比较器x ... 264
高速PWM的简化概念 ... 184
高速PWM架构 ... 183
共用端口结构 ... 125
恒流源 ... 275
建议的最基本连接 ... 16
交错式PFC ... 18
看门狗定时器（WDT） ... 286
离线UPS ... 20
片上稳压器的连接 ... 285
输出比较x模块 ... 175
输入捕捉x ... 171
相移全桥转换器 ... 19
振荡器电路的建议布线方式 ... 17
振荡器系统 ... 104
滞后控制 ... 266
专用ADC内核0-3 ... 231

L

LPRC振荡器
与WDT配合使用 ... 286
灵活的配置 ... 277
滤波电容（CEFC）规范 ... 305

M

Microchip互联网网站 ... 385
MPLAB ASM30汇编器、链接器和库管理器 ... 300
MPLAB PM3器件编程器 ... 301
MPLAB REAL ICE在线仿真器系统 ... 301
MPLAB集成开发环境软件 ... 299
MPLINK目标链接器/MPLIB目标库管理器 ... 300
模数转换器。*请参见*ADC。
模寻址 ... 72
操作示例 ... 72
起始地址和结束地址 ... 72
W地址寄存器选择 ... 72
应用 ... 73

P

配置寄存器映射 ... 278
配置位 ... 277
说明 ... 280

Q

器件校准 ... 283
地址 ... 283
和标识 ... 283
欠压复位（BOR） ... 277, 285
前沿消隐（LEB） ... 181

R

热封装特性 ... 304
热工作条件 ... 304
入门指南 ... 15
CPU逻辑滤波电容连接（VCAP） ... 16
ICSP引脚 ... 17
连接要求 ... 15
目标应用 ... 18
启动时的振荡器值条件 ... 18
去耦电容 ... 15
外部振荡器引脚 ... 17
未用I/O ... 18
主复位（MCLR）引脚 ... 16
软件模拟器（MPLAB SIM） ... 301

S

SPI
控制寄存器 ... 209
有用技巧 ... 208
资源 ... 208
闪存程序存储器 ... 77
RTSP工作原理 ... 78
操作 ... 78
和表指令 ... 77
控制寄存器 ... 80
双分区闪存配置 ... 79
资源 ... 79
时序图
BOR和主复位特性 ... 319
I/O特性 ... 319
I2Cx总线启动位/停止位（从模式） ... 340
I2Cx总线启动位/停止位（主模式） ... 338
I2Cx总线数据（从模式） ... 340
I2Cx总线数据（主模式） ... 338
OCx/PWMx特性 ... 324
SPIx从模式（全双工，CKE = 0，CKP = 0，SMP=0） ... 336
SPIx从模式（全双工，CKE = 0，CKP = 1，SMP=0） ... 334
SPIx从模式（全双工，CKE = 1，CKP = 0，SMP=0） ... 330
SPIx从模式（全双工，CKE = 1，CKP = 1，SMP=0） ... 332
SPIx主模式（半双工，仅发送，CKE = 0） ... 326
SPIx主模式（半双工，仅发送，CKE = 1） ... 327
SPIx主模式（全双工，CKE = 0，CKP = x，SMP=1） ... 329
SPIx主模式（全双工，CKE = 1，CKP = x，SMP=1） ... 328
Timer1-Timer5外部时钟特性 ... 321
UARTx I/O特性 ... 342
高速PWMx故障特性 ... 325

© 2015-2018 Microchip Technology Inc.

高速PWMx模块特性 325
输出比较x（OCx）特性 324
输入捕捉x（ICx）特性 323
外部时钟 316
输出比较 175
控制寄存器 176
资源 175
数据地址空间 37
dsPIC33EP16GS50X器件的存储器映射 38
dsPIC33EP32GS50X器件的存储器映射 39
dsPIC33EP64GS50X器件的存储器映射 40
Near数据空间 37
SFR空间 37
构成，对齐 37
宽度 37
数据空间
分页存储器方案 66
分页数据存储空间（图） 67
扩展X 69
输入捕捉 171
控制寄存器 172
资源 171
输入电平变化通知（ICN） 126
算术逻辑单元（ALU） 30

T

Timer2/3和Timer4/5 167
控制寄存器 169
资源 167
Timer1 163
控制寄存器 165
模式设置 163
资源 164
通用异步收发器（UART） 223
控制寄存器 225
有用技巧 224
资源 224
通用异步收发器*请参见*UART。

W

WWW地址 385
WWW在线技术支持 10
外设模块禁止（PMD） 117
外设引脚选择（PPS） 127
可选择的输入源 129
可用的外设 127
可用的引脚 127
可重映射引脚的输出选择 131
控制 127
控制寄存器 134
输出映射 130
输入映射 128
位反转寻址 73
示例 74
实现 73
序列表（16项） 74
惟一器件标识符（UDID） 31
稳压器（片上） 285

Y

引脚I/O说明（表） 12
因特网地址 385
用户OTP存储器 285

Z

在节能指令执行期间的中断 116
在线串行编程（ICSP） 277, 287
在线调试器 287
在线仿真 277
振荡器
控制寄存器 107
资源 106
指令集汇总 289
操作码说明中使用的符号 290
概述 292
指令寻址模式 70
MAC指令 71
MCU指令 70
其他指令 71
文件寄存器指令 70
支持的基本模式 70
传送指令和累加器指令 71
直流/交流特性
图表 349
直流特性
DACx输出（DACOUTx引脚）规范 346
I/O引脚输出规范 313
I/O引脚输入规范 310
程序存储器 314
打盹电流（IDOZE） 309
掉电电流（IPD） 308
工作电流（IDD） 306
工作MIPS与电压 304
恒流源规范 347
看门狗定时器增量电流（DIWDT） 308
空闲电流（IIDLE） 307
欠压复位（BOR） 313
温度和电压规范 305
中断控制器
备用中断向量表（AIVT） 89
复位过程 89
控制和状态寄存器 94
INTCON1 94
INTCON2 94
INTCON3 94
INTCON4 94
INTTREG 94
中断向量表（IVT） 89
中断向量详细信息 92
资源 94

注：

© 2015-2018 Microchip Technology Inc.

MICROCHIP网站

Microchip 网站 （www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联网浏览器即可访问。网站提供以下信息：

- **产品支持** —— 数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持** —— 常见问题解答 （FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务** —— 产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 www.microchip.com。在“支持”（Support）下，点击“变更通知客户（Customer Change Notification）”服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 （FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师 （FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

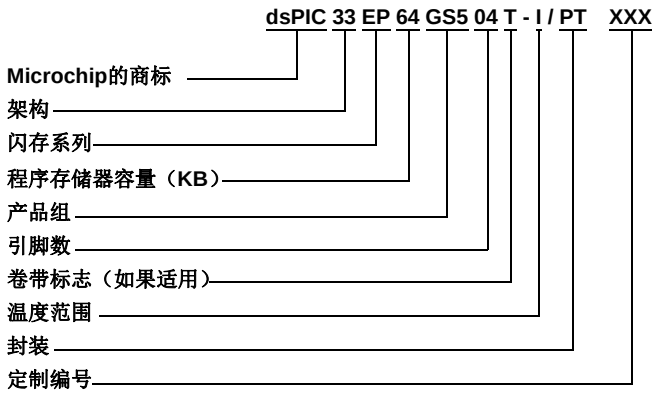
也可通过 http://microchip.com/support 获得网上技术支持。

注：

© 2015-2018 Microchip Technology Inc.

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。



架构：
33 = 16位数字信号控制器

闪存系列：
EP = 增强性能

产品组：
GS = SMPS系列

引脚数：
02 = 28引脚
04 = 44引脚
05 = 48引脚
06 = 64引脚

温度范围：
I = -40°C至+85°C（工业级）
E = -40°C至+125°C（扩展级）

封装：
2N = 超薄正方扁平无脚封装——（28引脚）主体6x6 mm（UQFN）
ML = 塑封正方无脚封装——（44引脚）主体8x8 mm（QFN）
MM = 塑封正方无脚封装——（28引脚）主体6x6 mm（QFN-S）
PT = 塑封薄型正方扁平封装——（44引脚）主体10x10 mm（TQFP）
PT = 塑封薄型正方扁平封装——（64引脚）主体10x10 mm（TQFP）
SO = 塑封宽条小外形封装——（28引脚）主体7.50 mm（SOIC）
Y8 = 薄型正方扁平封装——（48引脚）主体7x7 mm（TQFP）

示例：

dsPIC33EP64GS504-I/PT：
dsPIC33，增强性能，
64 KB程序存储器， SMPS，
44引脚，工业级温度，
TQFP封装。

注：

© 2015-2018 Microchip Technology Inc.

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 “牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了 《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。** Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
═ ISO/TS 16949═

商标

Microchip 的名称和徽标组合、 Microchip 徽标、 AnyRate、AVR、 AVR 徽标、 AVR Freaks、 BeaconThings、 BitCloud、CryptoMemory、 CryptoRF、 dsPIC、 FlashFlex、 flexPWR、Heldo、 JukeBlox、 KEELOQ、 KEELOQ徽 标、 Kleer、LANCheck、 LINK MD、 maXStylus、 maXTouch、 MediaLB、megaAVR、 MOST、 MOST 徽标、 MPLAB、 OptoLyzer、 PIC、picoPower、 PICSTART、 PIC32 徽标、 Prochip Designer、QTouch、 RightTouch、 SAM-BA、 SpyNIC、 SST、 SST 徽标、SuperFlash、 tinyAVR、 UNI/O 及 XMEGA 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

ClockWorks、 The Embedded Control Solutions Company、EtherSynch、 Hyper Speed Control、 HyperLight Load、IntelliMOS、mTouch、Precision Edge 和 Quiet-Wire 均为 Microchip Technology Inc. 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、chipKIT、chipKIT 徽标、CodeGuard、 CryptoAuthentication、 CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、 DAM、 ECAN、 EtherGREEN、 In-Circuit Serial Programming、 ICSP、 Inter-Chip Connectivity、 JitterBlocker、KleerNet、KleerNet 徽标、Mindi、MiWi、motorBench、MPASM、MPF、 MPLAB Certified 徽标、 MPLIB、 MPLINK、 MultiTRAK、NetDetach、 Omniscient Code Generation、 PICDEM、PICDEM.net、PICkit、PICtail、PureSilicon、QMatrix、RightTouch 徽标、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、 SQI、 SuperSwitcher、 SuperSwitcher II、 Total Endurance、 TSHARC、 USBCheck、 VariSense、 ViewSpan、WiperLock、 Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2015-2018, Microchip Technology Inc. 版权所有。

ISBN：978-1-5224-2564-9

全球销售及服务网点

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://www.microchip.com/support
网址：www.microchip.com

亚特兰大 Atlanta
Duluth, GA
Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重庆
Tel: 86-23-8980-9588

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青岛
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 沈阳
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 苏州
Tel: 86-186-6233-1526

中国 - 武汉
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦门
Tel: 86-592-238-8138

中国 - 香港特别行政区
Tel: 852-2943-5100

中国 - 珠海
Tel: 86-756-321-0040

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600

台湾地区 - 新竹
Tel: 886-3-577-8366

亚太地区

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733

印度 India - Bangalore
Tel: 91-80-3090-4444

印度 India - New Delhi
Tel: 91-11-4160-8631

印度 India - Pune
Tel: 91-20-4121-0141

日本 Japan - Osaka
Tel: 81-6-6152-7160

日本 Japan - Tokyo
Tel: 81-3-6880-3770

韩国 Korea - Daegu
Tel: 82-53-744-4301

韩国 Korea - Seoul
Tel: 82-2-554-7200

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-7651-7906

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870

菲律宾 Philippines - Manila
Tel: 63-2-634-9065

新加坡 Singapore
Tel: 65-6334-8870

泰国 Thailand - Bangkok
Tel: 66-2-694-1351

越南 Vietnam - Ho Chi Minh
Tel: 84-28-5448-2100

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

芬兰 Finland - Espoo
Tel: 358-9-4520-820

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Garching
Tel: 49-8931-9700

德国 Germany - Haan
Tel: 49-2129-3766400

德国 Germany - Heilbronn
Tel: 49-7131-67-3636

德国 Germany - Karlsruhe
Tel: 49-721-625370

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 Germany - Rosenheim
Tel: 49-8031-354-560

以色列 Israel - Ra'anana
Tel: 972-9-744-7705

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 Italy - Padova
Tel: 39-049-7625286

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

挪威 Norway - Trondheim
Tel: 47-7289-7561

波兰 Poland - Warsaw
Tel: 48-22-3325737

罗马尼亚 Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 Sweden - Gothenberg
Tel: 46-31-704-60-40

瑞典 Sweden - Stockholm
Tel: 46-8-5090-4654

英国 UK - Wokingham
Tel: 44-118-921-5800
Fax: 44-118-921-5820

© 2015-2018 Microchip Technology Inc.