

第 55 章 DDR SDRAM 控制器

本章包括下列主题：

55.1 简介	55-2
55.2 控制寄存器	55-3
55.3 工作模式.....	55-33
55.5 SDRAM 初始化	55-40
55.6 DDR PHY 初始化	55-42
55.7 DLL 校准	55-43
55.8 中断	55-43
55.9 节能模式下的操作	55-43
55.10 复位的影响	55-43
55.11 相关应用笔记	55-44
55.12 版本历史.....	55-45

注： 本系列参考手册章节旨在用作对器件数据手册的补充。本手册章节可能并不适用于所有 PIC32 器件，具体取决于器件型号。

请参见当前器件数据手册中“**DDR SDRAM 控制器**”章节开头部分的注，以确定本文档是否支持您所使用的器件。

器件数据手册和系列参考手册章节可从 Microchip 网站下载：

<http://www.microchip.com>。

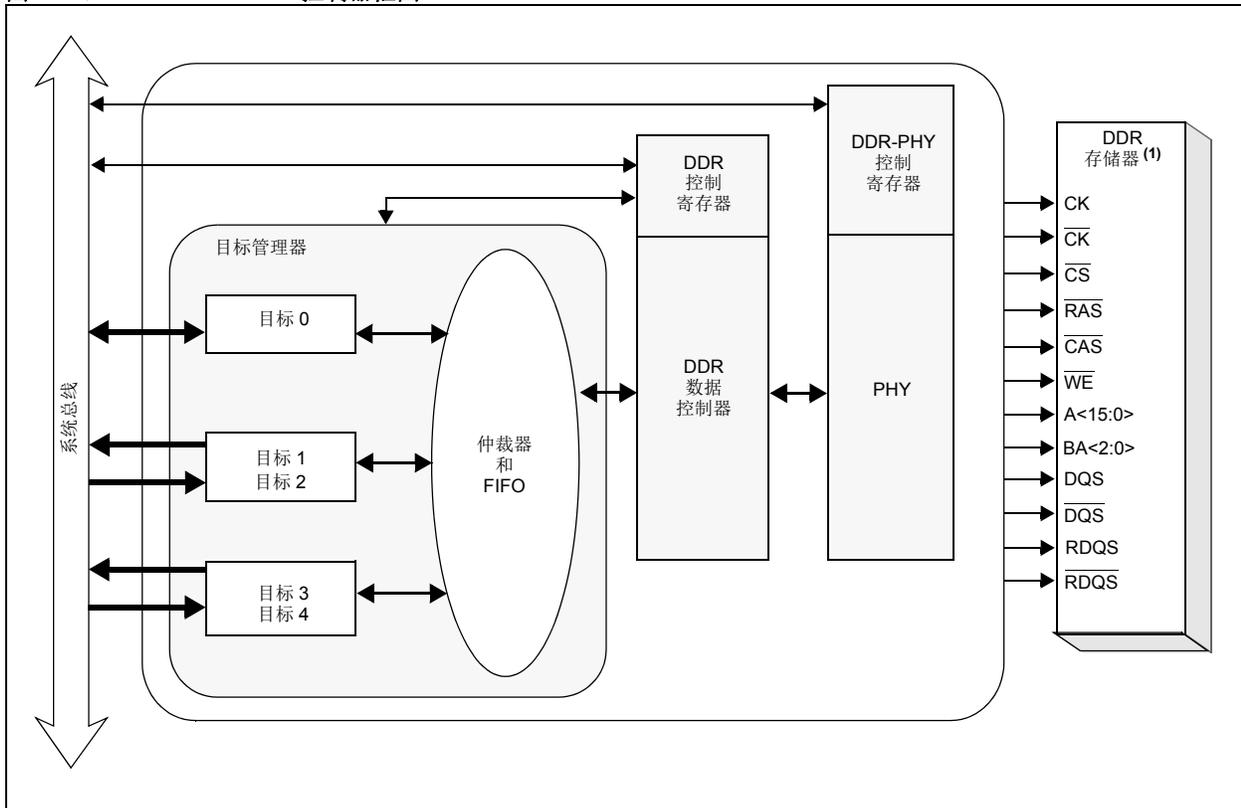
55.1 简介

DDR 同步动态随机存取存储器（Synchronous Dynamic Random Access Memory, SDRAM）控制器使用双倍数据速率（Dual Data Rate, DDR）版本 2 协议，并遵从 JEDEC 标准 JESD79-2F（2009 年 11 月）的电气接口来实现对外部存储器总线接口的控制。

组件包括带有配置选项的 DDR SDRAM 控制器内核及 DDR 物理接口。

图 55-1 给出了一个显示这些组件如何接口的框图。

图 55-1: DDR SDRAM 控制器框图



55.2 控制寄存器

DDR SDRAM 控制器具有以下特殊功能寄存器（Special Function Register, SFR）：

- **DDRTSEL: DDR 目标选择寄存器**
此寄存器选择要设定仲裁参数的目标。
- **DDRMINLIM: DDR 最小突发限制寄存器**
此寄存器设置一个目标在不受另一个目标干扰的情况下必须访问的突发次数。
- **DDRRQPER: DDR 请求周期寄存器**
通过与 DDRMINCMD 寄存器配合使用，此寄存器设置分配给目标的带宽占总带宽的百分比。
- **DDRMINCMD: DDR 最低命令寄存器**
通过与 DDRRQPER 寄存器配合使用，此寄存器设置分配给目标的带宽占总带宽的百分比。
- **DDRMEMCON: DDR 存储器控制寄存器**
此寄存器支持将初始化命令传输到 DDR 存储器。
- **DDRMEMCFG0: DDR 存储器配置寄存器 0**
此寄存器设置 DDR 存储器的地址参数。
- **DDRMEMCFG1: DDR 存储器配置寄存器 1**
此寄存器设置 DDR 存储器的行地址掩码。
- **DDRMEMCFG2: DDR 存储器配置寄存器 2**
此寄存器设置 DDR 存储器的列地址（高位字）掩码。
- **DDRMEMCFG3: DDR 存储器配置寄存器 3**
此寄存器设置 DDR 存储器的列地址（低位字）掩码。
- **DDRMEMCFG4: DDR 存储器配置寄存器 4**
此寄存器设置 DDR 存储器的片选和存储区地址掩码。
- **DDRREFCFG: DDR 刷新配置寄存器**
此寄存器设置 DDR 存储器的刷新参数。
- **DDRPWRCFG: DDR 电源配置寄存器**
此寄存器设置控制器的 ECC 和低功耗参数。
- **DDRDLYCFG0: DDR 延时配置寄存器 0**
此寄存器设置 DDR 存储器的时序参数。
- **DDRDLYCFG1: DDR 延时配置寄存器 1**
此寄存器设置 DDR 存储器的时序参数。
- **DDRDLYCFG2: DDR 延时配置寄存器 2**
此寄存器设置 DDR 存储器的时序参数。
- **DDRDLYCFG3: DDR 延时配置寄存器 3**
此寄存器设置 DDR 存储器的时序参数。
- **DDRODTCFG: DDR 片内端接电阻配置寄存器**
此寄存器设置使能片内端接电阻的时序参数。
- **DDRXFRCFG: DDR 传输配置寄存器**
此寄存器设置数据传输的时序参数。
- **DDRCMDISSUE: DDR 命令发出寄存器**
此寄存器设置向 DDR 存储器发出的初始化命令数。

- **DDRODTENCFG: DDR 片内端接电阻使能配置寄存器**
此寄存器为 DDROTD CFG 寄存器中的片内端接电阻时序选择有效片选。
- **DDRMEMWIDTH: DDR 存储器宽度寄存器**
此寄存器设置控制器中的 DDR 存储器宽度。
- **DDRCMD1x: DDR 主机命令 1 寄存器 x (x = 0 至 15)**
此寄存器保存 DDR 存储器初始化命令的低 32 位。
- **DDRCMD2x: DDR 主机命令 2 寄存器 x (x = 0 至 15)**
此寄存器保存 DDR 存储器初始化命令的高 20 位。
- **DDRSCLSTART: DDL 自校准逻辑启动寄存器**
此寄存器用于初始化 DDR PHY 的自配置逻辑。
- **DDRSCLLAT: DDL 自校准逻辑延时寄存器**
此寄存器用于设置 DDR PHY 自配置逻辑的时序参数。
- **DDRSCLCFG0: DDR SCL 配置寄存器 0**
此寄存器设置 PHY 自配置逻辑参数。
- **DDRSCLCFG1: DDR SCL 配置寄存器 1**
此寄存器设置 PHY 自配置逻辑参数。
- **DDRPADCON: DDR PHY 填充控制寄存器**
此寄存器设置 PHY 的填充驱动参数。
- **DDRPHYDLLR: DDR PHY DLL 重新校准寄存器**
此寄存器控制延迟锁定环 (Delay Lock Loop, DLL) 的重新校准。
- **DDRPHYCLKDLY: DDR PHY 时钟增量延时寄存器**
此寄存器控制额外的 SCL 延时设置。

表 55-1 给出了所有 DDR SDRAM 控制器 SFR 的汇总。汇总表之后列出了相应的寄存器，其中包含了每个位的详细说明。

表 55-1: DDRC 寄存器汇总

寄存器名称	位范围	Bit															
		31/15	30/14	29/13	28/12	27/11	26/10	25/9	24/8	23/7	22/6	21/5	20/4	19/3	18/2	17/1	16/0
DDR TSEL	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSEL<7:0>
DDR MINLIM	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MINLIMIT<4:0>
DDR RQPER	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RQPER<7:0>
DDR MINCMD	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MINCMD<7:0>
DDR MEMCON	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INITDN	STINIT
DDR MEMCFG0	31:16	—	APCHRGEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLHADDR<4:0> BNKADDR<4:0>
DDR MEMCFG1	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSADDR<4:0> RWADDR<4:0>
DDR MEMCFG2	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RWADDRMSK<12:0>
DDR MEMCFG3	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLADDRHMSK<12:0>
DDR MEMCFG4	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLADDRMSK<12:0>
DDR REFCFG	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MAXREFS<2:0> REFCNT<15:0>
DDR PWRCFG	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCHRG PWRDN
DDR DLYCFG0	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SLRFREFDLY<9:4> ASLFREFEN APWRDNEN — —
DDR DLYCFG1	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SLRFREFDLY<3:0> PWRDNDLY<7:0>
DDR DLYCFG2	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R2WDLY<3:0> R2RDLY<3:0>
DDR DLYCFG3	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	W2WCSPLY<3:0> W2RCSPLY<3:0>
DDR DLYCFG4	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	W2RCSPLY<3:0> W2RDLY<3:0>
DDR ODTCFG	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWRDNEXDLY<5:0>
DDR XFERCFG	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SLRFREFEXDLY<7:0> SLFREFMINDLY<7:0>
DDR CMDISSUE	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RBENDDLY<3:0> W2PCHRGDLY<3:0>
DDR ODTENCFG	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCHRG2RASDLY<3:0> R2PCHRGDLY<3:0>
DDR MEMWIDTH	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAS2CASDLY<3:0> RAS2RASDLY<3:0>

表 55-1: DDRC 寄存器汇总 (续)

寄存器名称	位范围	Bit															
		31/15	30/14	29/13	28/12	27/11	26/10	25/9	24/8	23/7	22/6	21/5	20/4	19/3	18/2	17/1	16/0
DDR CMD10	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD11	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD12	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD13	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD14	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD15	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD16	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD<27:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD17	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD18	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD19	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD110	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD111	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD112	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD113	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD114	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD<27:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD115	31:16	MDALCMD<7:0>							WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>					
	15:0	CSCMD2<2:0>	CLKENCMD2	WENCMD1	CASCMD1	RASCMD1					CSCMD1<7:0>	CLKENCMD1					
DDR CMD20	31:16	—	—	—	—	—	—	—	—	—	—	—	—	WAIT<8:5>			
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD21	31:16	—	—	—	—	—	—	—	—	—	—	—	—	WAIT<8:5>			
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD22	31:16	—	—	—	—	—	—	—	—	—	—	—	—	WAIT<8:5>			
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD23	31:16	—	—	—	—	—	—	—	—	—	—	—	—	WAIT<8:5>			
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD24	31:16	—	—	—	—	—	—	—	—	—	—	—	—	WAIT<8:5>			
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD25	31:16	—	—	—	—	—	—	—	—	—	—	—	—	WAIT<8:5>			
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD26	31:16	—	—	—	—	—	—	—	—	—	—	—	—	WAIT<8:5>			
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD27	31:16	—	—	—	—	—	—	—	—	—	—	—	—	WAIT<8:5>			
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							

表 55-1: DDRC 寄存器汇总 (续)

寄存器名称	位范围	Bit															
		31/15	30/14	29/13	28/12	27/11	26/10	25/9	24/8	23/7	22/6	21/5	20/4	19/3	18/2	17/1	16/0
DDR CMD28	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD29	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD210	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD211	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD212	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD213	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD214	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR CMD215	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	WAIT<4:0>				BNKADDRCMD<2:0>				MDADDRHCMD<7:0>							
DDR SCLSTART	31:16	—	—	—	SCLSTART	—	SCLEN	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SCLU BPASS	SCLL BPASS
DDR SCLLAT	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	DDRCLKDLY<3:0>				CAPCLKDLY<3:0>			
DDR SCLCFG0	31:16	—	—	—	—	—	—	—	ODTCSW	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	RCASLAT<3:0>				—	—	DDR	BURST8
DDR SCLCFG1	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	DBLREFDLY	WCASLAT<3:0>				—	—	—	—	—	—	—	—
DDR PHYPADCON	31:16	—	PREAMBDLY<1:0>		RCVREN	—	—	—	—	DRVSTRPFET<3:0>				DRVSTRNFET<3:0>			
	15:0	—	HALFRATE	WR CMDPLY	—	—	—	NOEXTDLL	EOEN CLKCYC	ODTPUCAL<1:0>		ODTPDCAL<1:0>		ADDC DRVSEL	DATAD RVSEL	ODTEN	ODTSEL
DDR PHYDLLR	31:16	DLYSTVAL<3:0>				—	DISRECALIB	RECALIBCNT<17:8>									
	15:0	RECALIBCNT<7:0>															
DDR PHYCLKDLY	31:16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	15:0	—	—	—	—	—	—	—	—	—	—	SCLUB PASS	SCLLB PASS	—	CLKDLYDELTA<2:0>		

寄存器 55-1: DDRTSEL: DDR 目标选择寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	TSEL<7:0>							

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 31-8 **未实现:** 读为 0

bit 7-0 **TSEL<7:0>:** 目标选择位

这些位用于选择要设定仲裁参数的目标, 并且必须先置 1, 然后才能设定目标的仲裁参数。该值代表目标编号 (0-4) 乘以仲裁参数位域大小得到的值。

寄存器 55-2: DDRMINLIM: DDR 最小突发限制寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	U-0	U-0	U-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
	—	—	—	MINLIMIT<4:0>				

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 31-5 **未实现:** 读为 0

bit 4-0 **MINLIMIT<4:0>:** 最小突发限制位

这些位决定不受其他目标干扰、必须不间断地访问目标的最小 DDR 突发次数 (每次突发两个周期)。

注: 必须先将 TSEL<7:0> 位 (DDRTSEL<7:0>) 设定为目标编号乘以 MINLIMIT 位域大小 (5), 然后才能将该寄存器用于设定该目标的最小突发限制。

寄存器 55-3: DDRRQPER: DDR 请求周期寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
	RQPER<7:0>							

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-8 未实现: 读为 0

bit 7-0 RQPER<7:0>: 请求周期位

这些位与 MINCMD<7:0> 位 (DDRMINCMD<7:0>) 配合使用, 决定分配给目标的带宽占总带宽的百分比。如果在请求访问目标的时间达到 (RQPER<7:0> * 4) 个时钟时, 为目标处理的 DDR 突发次数未到达 MINCMD<7:0> 指定的次数, 则直到满足该条件才认为目标请求为高优先级。

注: 必须先将 TSEL<7:0> 位 (DDRTSEL<7:0>) 设定为目标编号乘以 RQPER 位域大小 (8), 然后才能将该寄存器用于设定该目标的最小突发限制。

寄存器 55-4: DDRMINCMD: DDR 最低命令寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
	MINCMD<7:0>							

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-8 未实现: 读为 0

bit 7-0 MINCMD<7:0>: 最低命令位

这些位与 RQPER<7:0> 位 (DDRRQPER<7:0>) 配合使用, 决定分配给目标的带宽占总带宽的百分比。如果在请求访问目标的时间达到 (RQPER<7:0> * 4) 个时钟时, 为目标处理的 DDR 突发次数未到达 MINCMD<7:0> 指定的次数, 则直到满足该条件才认为目标请求为高优先级。

注: 必须先将 TSEL<7:0> 位 (DDRTSEL<7:0>) 设定为目标编号乘以 MINCMD 位域大小 (8), 然后才能将该寄存器用于设定该目标的最小突发限制。

寄存器 55-5: DDRMEMCON: DDR 存储器控制寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
	—	—	—	—	—	—	INITDN	STINIT

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-2 **未实现:** 读为 0

bit 1 **INITDN:** 存储器初始化完成位

在存储器初始化完成后用软件置 1, 以使能控制器正常工作。

1 = 已发出所有命令; 使能控制器正常工作

0 = 未使能控制器正常工作

bit 0 **STINIT:** 存储器初始化启动位

在将存储器初始化命令装入 DDRCMD 寄存器后用软件置 1, 以启动存储器初始化。

1 = 启动存储器初始化

0 = 不启动存储器初始化

寄存器 55-6: DDRMEMCFG0: DDR 存储器配置寄存器 0

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	APCHRGEN	—	CLHADDR<4:0>				
23:16	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	CSADDR<4:0>				
15:8	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	BNKADDR<4:0>				
7:0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	RWADDR<4:0>				

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

- bit 31 **未实现:** 读为 0
- bit 30 **APCHRGEN:** 自动预充电使能位
 当置 1 时, 在每个用户命令结束时, 该位会发出自动预充电命令来关闭存储区。如果命令在完成之前访问了多个存储区, 则会对访问的所有存储区都进行自动预充电。
 1 = 发出自动预充电命令
 0 = 不发出自动预充电命令
- bit 29 **未实现:** 读为 0
- bit 28-24 **CLHADDR<4:0>:** 列地址移位位
 这些位指定为了使列地址的高位部分紧邻列地址低位部分的左侧, 必须将控制器地址右移多少位。与 CLADDRHMSK (DDRMEMCFG2<26:0>) 和 CLADDRLMASK (DDRMEMCFG3<26:0>) 配合使用。
- bit 23-21 **未实现:** 读为 0
- bit 20-16 **CSADDR<4:0>:** 片选移位位
 这些位指定使用用户地址空间的哪些位来得到 DDR 存储器的片选地址。与 CSADDRMASK (DDRMEMCFG4<10:8>) 配合使用。
- bit 15-13 **未实现:** 读为 0
- bit 12-8 **BNKADDR<4:0>:** 存储区地址选择移位位
 这些位指定使用用户地址空间的哪些位来得到 DDR 存储器的存储区地址。与 BNKADDRMASK (DDRMEMCFG4<2:0>) 配合使用。
- bit 7-5 **未实现:** 读为 0
- bit 4-0 **RWADDR<4:0>:** 行地址选择移位位
 这些位指定使用用户地址空间的哪些位来得到 DDR 存储器的行地址。与 RWADDRMSK (DDRMEMCFG1<12:0>) 配合使用。

PIC32 系列参考手册

寄存器 55-7: DDRMEMCFG1: DDR 存储器配置寄存器 1

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	RWADDRMSK<12:8>				
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	RWADDRMSK<7:0>							

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 31-13 **未实现**: 读为 0

bit 12-0 **RWADDRMSK<12:0>**: 行地址掩码位

这些位与 RWADDR<4:0> 位 (DDRMEMCFG0<4:0>) 配合使用, 指定使用用户地址空间的哪些位来得到 DDR 存储器的行地址。

寄存器 55-8: DDRMEMCFG2: DDR 存储器配置寄存器 2

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	CLADDRHMSK<12:8>				
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	CLADDRHMSK<7:0>							

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

bit 31-13 **未实现**: 读为 0

bit 12-0 **CLADDRHMSK<12:0>**: 列地址高位掩码位

这些位与 CLADDR<4:0> 位 (DDRMEMCFG0<28:24>) 和 CLADDRLMASK<12:0> 位 (DDRMEMCFG3<12:0>) 配合使用, 指定使用用户地址空间的哪些位来得到 DDR 存储器的列地址。

寄存器 55-9: DDRMEMCFG3: DDR 存储器配置寄存器 3

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	CLADDRMSK<12:8>				
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	CLADDRMSK<7:0>							

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 31-13 **未实现:** 读为 0

bit 12-0 **CLADDRMSK<12:0>:** 列地址低位掩码位

这些位与 CLADDR<4:0> 位 (DDRMEMCFG0<28:24>) 和 CLADDRHMASK<12:0> 位 (DDRMEMCFG2<12:0>) 配合使用, 指定使用用户地址空间的哪些位来得到 DDR 存储器的列地址。

寄存器 55-10: DDRMEMCFG4: DDR 存储器配置寄存器 4

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
	—	—	—	—	—	—	—	CSADDRMSK<2>
7:0	R/W-0	R/W-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
	CSADDRMSK<1:0>		—	—	—	BNKADDRMSK<2:0>		

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 31-9 **未实现:** 读为 0

bit 8-6 **CSADDRMSK<2:0>:** 片选地址掩码位

这些位与 CSADDR<4:0> 位 (DDRMEMCFG0<20:16>) 配合使用, 决定使用用户地址空间的哪些位来得到 DDR 存储器的片选地址。

bit 5-3 **未实现:** 读为 0

bit 2-0 **BNKADDRMSK<2:0>:** 存储区地址掩码位

这些位与 BNKADDR<4:0> 位 (DDRMEMCFG0<12:8>) 配合使用, 决定使用用户地址空间的哪些位来得到 DDR 存储器的存储区地址。

寄存器 55-11: DDRREFCFG: DDR 刷新配置寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
	—	—	—	—	—	MAXREFS<2:0>		
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	REFDLY<7:0>							
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	REFCNT<15:8>							
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	REFCNT<7:0>							

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-27 **未实现:** 读为 0

bit 26-24 **MAXREFS<2:0>:** 最大待完成刷新位

这些位指定任何时刻可能待完成的最大刷新数。如果在存在一个或多个待完成刷新时有任何空闲时间, 将连续地发出待完成刷新, 直到接收到新请求为止。如果在存在 MAXREFS<2:0> 个待完成刷新时没有空闲时间, 则后续请求会被停止, 直到可以发出至少一串待完成刷新为止。

bit 23-16 **REFDLY<7:0>:** 最小刷新闻延位

这些位指定刷新之间所需的最小时钟数。

bit 15-0 **REFCNT<15:0>:** 刷新计数位

这些位指定对应于平均周期性刷新闻隔的时钟周期数。

寄存器 55-12: DDRPWRCFG: DDR 电源配置寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	PCHRGPWDN	SLFREFDLY<9:4>					
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	SLFREFDLY<3:0>				PWDNDLY<7:4>			
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0
	PWDNDLY<3:0>				ASLFREFEN	APWRDNEN	—	—

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 31-23 **未实现:** 读为 0

bit 22 **PCHRGPWDN:** 仅预充电掉电位

允许自动进入预充电掉电模式, 但不进入激活掉电模式。如果有任何行打开, 则会先对它们进行预充电, 之后再 DDR SDRAM 置于预充电掉电模式。

- 1 = 允许自动进入预充电掉电模式。
- 0 = 不允许自动进入预充电掉电模式。

bit 21-12 **SLFREFDLY<9:0>:** 自刷新延时位

指定在自动进入自刷新模式之前, 控制器需要等待的空闲时间的最小时钟周期数。其值代表时钟数乘以 1024。

111111111 = 2,111,452 个时钟

·
·

000000001 = 1,024 个时钟

bit 11-4 **PWDNDLY<7:0>:** 刷新计数位

指定在自动进入掉电模式 (激活或预充电) 之前, 控制器需要等待的空闲时间的最小时钟周期数。其值代表时钟数乘以 4。

11111111 = 1,020 个时钟

·
·

00000001 = 4 个时钟

bit 3 **ASLFREFEN:** 自动自刷新使能位

- 1 = 允许自动进入自刷新模式。
- 0 = 不允许自动进入自刷新模式。

bit 2 **APWRDNEN:** 自动掉电使能位

- 1 = 允许自动进入掉电模式。
- 0 = 不允许自动进入掉电模式。

bit 1-0 **未实现:** 读为 0

寄存器 55-13: DDRDLYCFG0: DDR 延时配置寄存器 0

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	RMWDLY<3:0>				R2WDLY<3:0>			
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	W2WCSDLY<3:0>				W2WDLY<3:0>			
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	R2RCSDLY<3:0>				R2RDLY<3:0>			
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	W2RCSDLY<3:0>				W2RDLY<3:0>			

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-28 **RMWDLY<3:0>**: 读 - 修改 - 写延时位

这些位指定为读 - 修改 - 写操作发出的读命令和写命令之间所需的最小时钟数。

bit 27-24 **R2WDLY<3:0>**: 读 - 写延时位

这些位指定读命令和写命令之间所需的最小时钟数。命令可以针对同一片选, 也可以针对不同片选。

bit 23-20 **W2WCSDLY<3:0>**: 写 - 写片选延时位

这些位指定针对不同片选的两个写命令之间所需的最小时钟数。

bit 19-16 **W2WDLY<3:0>**: 写 - 写延时位

这些位指定针对同一片选的两个写命令之间所需的最小时钟数。

bit 15-12 **R2RCSDLY<3:0>**: 读 - 读片选延时位

这些位指定针对不同片选的两个读命令之间所需的最小时钟数。

bit 11-8 **R2RDLY<3:0>**: 读 - 读延时位

这些位指定针对同一片选的两个读命令之间所需的最小时钟数。

bit 7-4 **W2RCSDLY<3:0>**: 写 - 读片选延时位

这些位指定针对不同片选的写命令和读命令之间所需的最小时钟数。

bit 3-0 **W2RDLY<3:0>**: 写 - 读延时位

这些位指定针对同一片选的写命令和读命令之间所需的最小时钟数。

寄存器 55-14: DDRDLYCFG1: DDR 延时配置寄存器 1

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
31:24	—	SLFREF EXDLY<8>	NXTDAT AVDLY<4>	W2RCS DLY<4>	W2RDLY<4>	W2PCHRG DLY<4>	PWRDNEXDLY<5:4>	
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	PWRDNEXDLY<3:0>				PWRDNMINDLY<3:0>			
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	SLFREFEXDLY<7:0>							
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	SLFREFMINDLY<7:0>							

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

- bit 31 **未实现:** 读为 0
- bit 30 **SLFREFEXDLY:** 自刷新退出延时 bit 8
该位指定在退出自刷新模式之后, 在正常工作之前所需的最小时钟数。
- bit 29 **NXTDATAVDLY:** 下一个数据可用延时 bit 4
该位指定在写命令和写数据传输握手信号“下一个数据请求”之间所需的最小时钟周期数。另请参见寄存器 55-18 中的 NXTDATAVDLY<3:0> 位 (DDRXFRCFG<7:4>)。
- bit 28 **W2RCS DLY:** 写 - 读片选延时 bit 4
该位指定针对不同片选的写命令和读命令之间所需的最小时钟数。另请参见寄存器 55-13 中的 W2RCS DLY<3:0> 位 (DDRDLYCFG0<7:4>)。
- bit 27 **W2RDLY:** 写 - 读延时 bit 4
该位指定针对同一片选的写命令和读命令之间所需的最小时钟数。另请参见寄存器 55-13 中的 W2RDLY<3:0> 位 (DDRDLYCFG0<3:0>)。
- bit 26 **W2PCHRG DLY:** 写 - 预充电延时 bit 4
该位指定从写命令到针对与写命令相同的存储区的预充电命令之间所需的最小时钟数。另请参见寄存器 55-15 中的 WPCHRG DLY<3:0> 位 (DDRDLYCFG2<15:12>)。
- bit 25-20 **PWRDNEXDLY<5:0>:** 掉电退出延时位
这些位指定在退出掉电模式之后, 在正常工作之前所需的最小时钟数。
- bit 19-16 **PWRDNMINDLY<3:0>:** 掉电最小延时位
这些位指定在进入掉电模式后保持该模式的最小时钟数。
- bit 15-8 **SLFREFEXDLY<7:0>:** 自刷新退出延时位
这些位指定在退出自刷新模式之后, 在正常工作之前所需的最小时钟数。
- bit 7-0 **SLFREFMINDLY<7:0>:** 自刷新最小延时位
这些位指定在进入自刷新模式后保持该模式的最小时钟数。

寄存器 55-15: DDRDLYCFG2: DDR 延时配置寄存器 2

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	RBENDDLY<3:0>				PCHRG2RASDLY<3:0>			
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	RAS2CASDLY<3:0>				RAS2RASDLY<3:0>			
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	W2PCHRGDLY<3:0>				R2PCHRGDLY<3:0>			
7:0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	—	PCHRGALLDLY<3:0>			

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-28 **RBENDDLY<3:0>**: 读突发结束延时位

这些位指定从发出读命令到读数据突发操作完成之间所需的最小时钟数。

bit 27-24 **PCHRG2RASDLY<3:0>**: 预充电 -RAS 延时位

这些位指定从预充电命令到针对同一存储区的 RAS 命令之间所需的最小时钟数。

bit 23-20 **RAS2CASDLY<3:0>**: RAS-CAS 延时位

这些位指定从 RAS 命令到针对同一存储区的 CAS 命令之间所需的最小时钟数。

bit 19-16 **RAS2RASDLY<3:0>**: RAS-RAS 延时位

这些位指定从 RAS 命令到针对同一片选上不同存储区的 RAS 命令之间所需的最小时钟数。

bit 15-12 **W2PCHRGDLY<3:0>**: 写 - 预充电延时位

这些位指定从写命令到针对与写命令相同的存储区的预充电命令之间所需的最小时钟数。

对于大于 15 个时钟周期的延时, 提供了一个溢出位 (DDRDLYCFG1<26>)。

bit 11-8 **R2PCHRGDLY<3:0>**: 读 - 预充电延时位

这些位指定从读命令到针对与读命令相同的存储区的预充电命令之间所需的最小时钟数。

bit 7-4 **未实现**: 读为 0

bit 3-0 **PCHRGALLDLY<3:0>**: 全部预充电延时位

这些位指定从预充电全部存储区命令到激活或刷新命令之间所需的最小时钟数。

寄存器 55-16: DDRDLYCFG3: DDR 延时配置寄存器 3

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	FAWTDLY<5:0>					
15:8	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	RAS2RASSBNKDLY<5:0>					
7:0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	RAS2PCHRGDLY<4:0>					

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 31-22 **未实现:** 读为 0

bit 21-16 **FAWTDLY<5:0>:** 四个存储区激活窗口延时位
这些位指定只能打开四个存储区的最小时钟数。

bit 15-14 **未实现:** 读为 0

bit 13-8 **RAS2RASSBNKDLY<5:0>:** RAS-RAS 同一存储区延时位
这些位指定针对同一存储区的 RAS 命令之间所需的最小时钟数。

bit 7-5 **未实现:** 读为 0

bit 4-0 **RAS2PCHRGDLY<4:0>:** RAS- 预充电延时位
这些位指定从 RAS 命令到针对同一存储区的预充电命令之间所需的最小时钟数。

寄存器 55-17: DDR0DTCFG: DDR 片内端接电阻配置寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
	—	ODTWLEN<2:0>			—	ODTRLEN<2:0>		
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	ODTWDLY<3:0>				ODTRDLY<3:0>			
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	ODTCSSEN<7:0>							

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-23 **未实现:** 读为 0

bit 22-20 **ODTWLEN<2:0>:** 片内端接电阻写长度位
这些位指定开启 ODT 来进行写操作的时钟数。

bit 19 **未实现:** 读为 0

bit 18-16 **ODTRLEN<2:0>:** 片内端接电阻读长度位
这些位指定开启 ODT 来进行读操作的时钟数。

bit 15-12 **ODTWDLY<3:0>:** 片内端接电阻写延时位
这些位指定在发出写命令之后, 在开启 DDR 的 ODT 之前的时钟数。

bit 11-8 **ODTRDLY<3:0>:** 片内端接电阻读延时位
这些位指定在发出读命令之后, 在开启 DDR 的 ODT 之前的时钟数。

bit 7-0 **ODTCSSEN<7:0>:** 片内端接电阻片选使能位
这些位与 DDR0DTENCFG 寄存器 (寄存器 55-20) 一起用于设定每个片选的 ODT 控制。该位域中的值代表片选数量乘以要设定的片选编号得到的值。

寄存器 55-18: DDRXFERCFG: DDR 传输配置寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	U-0	U-0	U-0	R/W-0	R/W-1	R/W-0	R/W-0
	BIGENDIAN	—	—	—	MAXBURST<3:0>			
23:16	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	—	RDATENDLY<3:0>			
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	NXTDATAVDLY<3:0>				NXTDATRQDLY<3:0>			

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 31 **BIGENDIAN**: 大尾数法位

1 = 数据为大尾数法格式

0 = 数据为小尾数法格式

bit 30-28 **未实现**: 读为 0

bit 27-24 **MAXBURST<3:0>**: 最大命令突发计数位

这些位指定可以在突发模式下写入 DDR 控制器的最大命令数。

bit 23-20 **未实现**: 读为 0

bit 19-16 **RDATENDLY<3:0>**: PHY 读数据使能延时位

这些位指定在向 PHY 发出读命令和 PHY 的“读数据使能”信号置为有效之间所需的最小时钟数。

bit 15-8 **未实现**: 读为 0

bit 7-4 **NXTDATAVDLY<3:0>**: 下一个数据可用延时位

这些位指定在发出读命令和接收到读数据之间所需的最小时钟周期数。

bit 3-0 **NXTDATRQDLY<3:0>**: 下一个数据请求延时位

这些位指定在发出写命令和写数据传输握手信号“下一个数据请求”之间所需的最小时钟周期数。

寄存器 55-19: DDRCMDISSUE: DDR 命令发出寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	U-0	U-0	U-0	R/W-0, HC	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	VALID	NUMHOSTCMDS<3:0>			

图注:

R = 可读位

-n = POR 时的值

HC = 硬件清零位

W = 可写位

1 = 置 1

U = 未实现位, 读为 0

0 = 清零

x = 未知

bit 31-5 **未实现:** 读为 0

bit 4 **VALID:** 主机命令有效位

当写入 1 时, 该位向控制器指示主机命令寄存器中的数据是有效的, 应发送到 SDRAM。当所有数据都已发送时, 该位由硬件清零。

bit 3-0 **NUMHOSTCMDS<3:0>:** 主机命令数量位

要发送给 SDRAM 的主机命令的数量。

寄存器 55-20: DDRODTENCFG: DDR 片内端接电阻使能配置寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
	—	—	—	—	—	—	—	ODTWEN
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
	—	—	—	—	—	—	—	ODTREN

图注:

R = 可读位

-n = POR 时的值

W = 可写位

1 = 置 1

U = 未实现位, 读为 0

0 = 清零

x = 未知

bit 31-17 **未实现:** 读为 0

bit 16 **ODTWEN:** 片内端接电阻写使能位

1 = 寄存器 55-17 中的 OTDCSEN<7:0> 位 (DDRODTCFG<7:0>) 代表的片选使能 ODT 用于数据读操作
0 = OTDCSEN<7:0> 位 (DDRODTCFG<7:0>) 代表的片选禁止 ODT 用于数据读操作

bit 15-1 **未实现:** 读为 0

bit 0 **ODTREN:** 片内端接电阻读使能位

1 = OTDCSEN<7:0> 位 (DDRODTCFG<7:0>) 代表的片选使能 ODT 用于数据写操作
0 = OTDCSEN<7:0> 位 (DDRODTCFG<7:0>) 代表的片选禁止 ODT 用于数据写操作

寄存器 55-21: DDRMEMWIDTH: DDR 存储器宽度寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	U-0	U-0	U-0	U-0	R/W-0	U-0	U-0	U-0
	—	—	—	—	HALFRATE	—	—	—

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-4 **未实现:** 读为 0

bit 3 **HALFRATE:** 半速率模式位

PIC32 器件总是以半速率模式工作。该位必须在初始化过程中置 1。

1 = 半速率模式

0 = 全速率模式

bit 2-0 **未实现:** 读为 0

寄存器 55-22: DDRCMD1x: DDR 主机命令 1 寄存器 x (x = 0 至 15)

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MDALCMD<7:0>								
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	WENCMD2	CASCMD2	RASCMD2	CSCMD2<7:3>				
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	CSCMD2<2:0>			CLKENCMD2	WENCMD1	CASCMD1	RASCMD1	CSCMD1<7>
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	CSCMD1<6:0>							CLKENCMD1

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为 0
 -n = POR 时的值 1 = 置 1 0 = 清零 x = 未知

- bit 31-24 **MDALCMD<7:0>**: 模式地址低位命令位
 这些位指定在发出命令时在 SDRAM 地址 bit 7 至 bit 0 上驱动的值。
- bit 23 **WENCMD2**: 写使能命令 2 位
 该位指定在发出命令的第二个和后续周期在 WE_N 上驱动的值。
- bit 22 **CASCMD2**: 列地址选通命令 2 位
 该位指定在发出命令的第二个和后续周期在 CAS_N 上驱动的值。
- bit 21 **RASCMD2**: 行地址选通命令 2 位
 该位指定在发出命令的第二个和后续周期在 RAS_N 上驱动的值。
- bit 20-13 **CSCMD2<7:0>**: 片选命令 2 位
 这些位指定在发出命令的第二个和后续周期在 CS_N 信号上驱动的值 (最大值为 8)。
- bit 12 **CLKENCMD2**: 时钟使能命令 2 位
 该位指定在发出命令的第二个和后续周期在 CKE 上驱动的值。
- bit 11 **WENCMD1**: 写使能命令 1 位
 该位指定在发出命令的第一个周期在 WE_N 上驱动的值。
- bit 10 **CASCMD1**: 列地址选通命令 1 位
 该位指定在发出命令的第一个周期在 CAS_N 上驱动的值。
- bit 9 **RASCMD1**: 行地址选通命令 1 位
 该位指定在发出命令的第一个周期在 RAS_N 上驱动的值。
- bit 8-1 **CSCMD1<7:0>**: 片选命令 1 位
 这些位指定在发出命令的第一个周期在 CS_N 信号上驱动的值 (最大值为 8)。
- bit 0 **CLKENCMD1**: 时钟使能命令 1 位
 该位指定在发出命令的第一个周期在 CKE 上驱动的值。

寄存器 55-23: DDRCMD2x: DDR 主机命令 2 寄存器 x (x = 0 至 15)

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	—	WAIT<8:5>			
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	WAIT<4:0>				BNKADDRCMD<2:0>			
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	MDADDRHCMD<7:0>							

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

bit 31-20 **未实现**: 读为 0

bit 19-11 **WAIT<8:0>**: 等待命令位

这些位指定在发出一条命令之后, 在发出下一条命令前等待的时钟周期数。

bit 10-8 **BNKADDRCMD<2:0>**: 存储区地址命令位

这些位指定在发出命令时在存储区地址位上驱动的值。

bit 7-0 **MDADDRHCMD<7:0>**: 模式地址高位命令位

这些位指定在发出命令时在 SDRAM 地址 bit 15 至 bit 8 上驱动的值。

寄存器 55-24: DDRSCLSTART: DDL 自校准逻辑启动寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	R/W-0	U-0	R/W-0	U-0	U-0
	—	—	—	SCLSTART ⁽¹⁾	—	SCLLEN	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	U-0	U-0	U-0	U-0	U-0	U-0	R-0	R-0
	—	—	—	—	—	—	SCLUBPASS	SCLLBPASS

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-29 **未实现:** 读为 0

bit 28 **SCLSTART:** 启动自校准逻辑位⁽¹⁾

1 = 启动自校准

0 = 不启动自校准

bit 27 **未实现:** 读为 0

bit 26 **SCLLEN:** 启动自校准逻辑使能位

1 = 使能动态自校准逻辑

0 = 禁止动态自校准逻辑

bit 25-2 **未实现:** 读为 0

bit 1 **SCLUBPASS:** 自校准逻辑高数据字节状态位

1 = 高数据字节的自校准逻辑已通过

0 = 高数据字节的自校准逻辑已失败

bit 0 **SCLLBPASS:** 自校准逻辑低数据字节状态位

1 = 低数据字节的自校准逻辑已通过

0 = 低数据字节的自校准逻辑已失败

注 1: 该位在 SCL 过程完成时由硬件置 1。

寄存器 55-27: DDRSCLCFG1: DDR SCL 配置寄存器 1

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
	—	—	—	DBLREFDLY	WCASLAT<3:0>			
7:0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-1
	—	—	—	—	—	—	—	SCLCSEN

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-13 **未实现:** 读为 0

bit 12 **DBLREFDLY:** 双倍参考延时位

决定 PHY 将应答之后的 SCL 操作延迟一个还是两个时间间隔。时间间隔会受硬件设计影响。

1 = SCL 操作延时加倍

0 = SCL 操作延时不加倍

bit 11-8 **WCASLAT<3:0>:** 写 CAS 延时位

以时钟周期为单位的 DRAM 写 CAS 延时。

bit 7-1 **未实现:** 读为 0

bit 0 **SCLCSEN:** SCL 片选使能位

1 = 在片选 0 上运行 SCL

0 = 不在片选 0 上运行 SCL

寄存器 55-28: DDRPHYPADCON: DDR PHY 填充控制寄存器 (续)

- bit 8 **EOENCLKCYC**: 额外输出使能位
1 = 在写突发之后, 将填充输出使能驱动 1 个额外时钟周期
0 = 在写突发之后, 不将填充输出使能驱动 1 个额外时钟周期
- bit 7-6 **ODTPUCAL<1:0>**: 片内端接电阻上拉校准位
11 = 最大 ODT 阻抗
.
.
00 = 最小 ODT 阻抗
- bit 5-4 **ODTPDCAL<1:0>**: 片内端接电阻下拉校准位
11 = 最大 ODT 阻抗
.
.
00 = 最小 ODT 阻抗
- bit 3 **ADDCDRVSEL**: 地址和控制填充驱动强度选择位
1 = 全驱动强度
0 = 60% 驱动强度
- bit 2 **DATDRVSEL**: 数据填充驱动强度选择位
1 = 全驱动强度
0 = 60% 驱动强度
- bit 1 **ODTEN**: 片内端接电阻使能位
1 = 使能 ODT
0 = 禁止 ODT
- bit 0 **ODTSEL**: 片内端接电阻选择位
1 = 150 欧姆片内端接电阻
0 = 75 欧姆片内端接电阻

寄存器 55-29: DDRPHYDLLR: DDR PHY DLL 重新校准寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
	DLYSTVAL<3:0>					—	DISRECALIB	RECALIBCNT<17:16>
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	RECALIBCNT<15:8>							
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	RECALIBCNT<7:0>							
7:0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—

图注:

R = 可读位	W = 可写位	U = 未实现位, 读为 0
-n = POR 时的值	1 = 置 1	0 = 清零
		x = 未知

- bit 31-28 **DLYSTVAL<3:0>**: 延时起始值位
数字 DLL 主延时线的起始值。建议值为 0011。
- bit 27 **未实现**: 读为 0
- bit 26 **DISRECALIB**: 禁止重新校准位
1 = 第一次校准之后不再重新校准数字 DLL
0 = 按 RECALIBCNT<17:0> 位的值重新校准数字 DLL
- bit 25-8 **RECALIBCNT<17:0>**: 重新校准计数位
决定重新校准数字 DLL 的周期, 以 (256 * PHY 个时钟周期) 为单位。
- bit 7-0 **未实现**: 读为 0

寄存器 55-30: DDRPHYCLKDLY: DDR PHY 时钟增量延时寄存器

位范围	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
7:0	U-0	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
	—	—	SCLUBPASS ⁽¹⁾	SCLLBPASS ⁽¹⁾	—	CLKDLYDELTA<2:0>		

图注:

R = 可读位

W = 可写位

U = 未实现位, 读为 0

-n = POR 时的值

1 = 置 1

0 = 清零

x = 未知

bit 31-6 **未实现:** 读为 0

bit 5 **SCLUBPASS:** 自校准逻辑高数据字节状态位 ⁽¹⁾

1 = 高数据字节的自校准逻辑已通过

0 = 高数据字节的自校准逻辑已失败

bit 4 **SCLLBPASS:** 自校准逻辑低数据字节状态位 ⁽¹⁾

1 = 低数据字节的自校准逻辑已通过

0 = 低数据字节的自校准逻辑已失败

bit 3 **未实现:** 读为 0

bit 2-0 **CLKDLYDELTA<2:0>:** DDR 时钟延时增量位

这些位指示按字节通道设置的 SCL 延时设置。这些位可通过 SCL 逻辑自动设定, 也可由用户设定。此位在 SCL 引退时特别有用。

111 = 7 个 DDR 时钟

110 = 6 个 DDR 时钟

.

.

.

000 = 6 个 DDR 时钟

注 1: 这些位指示与 SCLLBPASS (DDRSCLESTART<0>) 位和 SCLUBPASS (DDRSCLESTART<0>) 位相同的状态。

55.3 工作模式

双倍数据速率（DDR）控制器和物理接口（PHY）使用 DDR SDRAM 实现对外部存储器总线接口的必需控制。

DDR 控制器以半速率模式工作，可在连接到 16 位 SDRAM 器件时，在其读队列中提供内部 32 位宽缓冲数据。半速率模式意味着控制器和 PHY 之间时钟的速率是 PHY 和 SDRAM 之间时钟的速率的一半。

DDR 控制器和 PHY 功能：

- 控制器：与 DDR PHY 接口（DDR PHY Interface, DFI）版本 2.1 规范兼容
- PHY：与 DFI 版本 3.0 规范兼容
- 自校准逻辑（Self-Calibration Logic, SCL）
- 半速率模式工作
- 16 位存储器接口，32 位总线接口
- 可编程片内端接电阻（On-Die Termination, ODT）
- 自刷新

DDR 控制器以目标接口的形式构成，这些目标接口可处理系统总线的双向事务，并通过仲裁器共享对存储器控制器的访问。每个目标的仲裁参数可以单独设定（请参见图 55-1：“DDR SDRAM 控制器框图”）。

55.3.1 仲裁器配置

仲裁器跨所有目标共享对存储器控制器的访问。从目标发送到仲裁器的每个命令对应一次 SDRAM 突发。目标带宽分配和目标中的连续突发次数由为每个目标设定的仲裁参数控制。

仲裁参数由表 55-2 中列出的寄存器控制：

表 55-2: 仲裁器配置寄存器

寄存器	请参见 ...	函数
DDRTSEL	寄存器 55-1	要设定的仲裁参数的目标
DDRMINLIM	寄存器 55-2	该目标的 DDR（双周期）连续突发的最小次数
DDRREQPER	寄存器 55-3	MINCMD 突发未得到处理时提高目标优先级之前超时
DDRMINCMD	寄存器 55-4	为提高目标优先级，需要仲裁器在（REQPER * 4）个时钟内不处理的目标突发次数

要设定目标的仲裁参数，必须先将 TSEL <7:0> 位（DDRTSEL<7:0>）设定为目标编号乘以正在设定的位域大小。例如，MINLIM 位域（DDRMINLIM<4:0>）的大小为 5，因此，要设定目标 0 的 MINLIM，应将 TSEL 设定为 0；对于目标 1，应将 TSEL 设定为 5；对于目标 2，应将 TSEL 设定为 10，以此类推。

每次数据传输的单位为一次突发。对于控制器初始化，可以使用字节数或周期数指定突发长度。突发长度为固定长度，具体取决于控制器的模式（全速率或半速率）。在半速率模式中，突发长度始终为 8。每次突发的大小（以字节为单位）等于 SDRAM 数据路径宽度乘以突发长度。对于 PIC32 器件，以字节为单位的突发大小为 16，以周期为单位的突发长度为 2。在控制器初始化期间使用以下值：

- 突发长度 = 8
- BS（以字节为单位的突发大小）= 16
- BL（以周期为单位的突发长度）= 2

MINLIM 值用于控制在切换到另一个目标前将传送的一个目标的连续突发次数。例如，要保证目标的 64 字节连续访问，应将该目标的 MINLIM 值设定为 4。

仲裁器通过向开放行访问赋予高优先级以及跨存储区轮换访问，尝试优化带宽利用率。当一次有多个目标请求数据传输，且没有一个目标由于请求周期超时而必须被赋予比其他目标更高的优先级时，将应用这些优化注意事项。当目标请求访问的时间长于 REQPER 和 MINCMD 定义的时钟数时，将发生请求周期超时。如果请求访问的目标达到 (REQPER * 4) 个时钟，但并未处理该目标的 MINCMD 突发，则认为目标的请求具有高优先级，直到满足该条件为止。

用户可根据每个目标所需传输的数据量，使用仲裁参数来调节性能。用于计算仲裁参数的一般公式：

- $MINCMD = BT / (BS * EF)$
- $REQPER = (CT / 4) * (DDR_controller_clk_freq / (cpu_clk_freq * EF))$
- BT = 需要传输的字节数
- BS = 每次 DDR 读或写突发的大小 (以字节为单位)
- CT = 需要传输的 BT 字节数的目标时钟周期
- EF = 效率因数 (≥ 1)

例如，有个目标必须在 1000 个目标时钟周期内传输 2000 个字节，DDR 突发大小为 16 字节，DDR 控制器时钟频率为 200 MHz，目标时钟频率为 200 MHz。使用 1.5 的效率因数：

- $MINCMD = 2000 / (16 * 1.5)$ ，大约等于 83
- $REQPER = (1000 / 4) * (200 / (200 * 1.5))$ ，大约等于 167

两个值的效率因数可以相同，也可以不同。可对效率因数进行调整，直到获得所需的性能为止。

55.4 DDR 控制器配置和时序

DDR 控制器的寄存器可以配置控制器，控制发送到 SDRAM 的命令之间时序以及控制数据传输之间的时序。寄存器值由时钟速度和 SDRAM 的特性决定。

55.4.1 地址配置

对用户而言，SDRAM 的地址空间是一个连续的字节可访问存储块。在内部，SDRAM 控制器可访问 SDRAM 的片选、列、行和存储区。

注： 控制器的最低有效地址位取决于 SDRAM 的宽度。例如，如果 SDRAM 宽度为 16 位，存储器控制器的 LSB 为用户地址的 bit 1，如以下公式所计算：

$$\text{controller_address} = \text{user_address} / (\text{sdr_data_width} \text{ (以字节为单位)})$$

用户地址空间和 SDRAM 访问之间的转换由存储器配置寄存器控制。控制器地址由可按任意序列排列的四个位域组成。例如，地址可以指定为：

- {CS, ROW, BA, COL}
- {ROW, CS, BA, COL} 等，

其中：

- CS = 片选位
- BA = 存储区地址位
- ROW = 行地址位
- COL = 列地址位

列地址可拆分为两个位域，即 COL_ADDR_HI 和 COL_ADDR_LO，其中 COL_ADDR_HI 是列地址的 MSB，COL_ADDR_LO 则是列地址的 LSB。

如果用户要将存储区地址和 / 或片选地址位放置在列地址位的中间，将列地址拆分为两个位域可能很有用。这可能有助于提升随机访问数据的系统的性能，而且有助于提高将连续命令传送到不同存储区的概率。

控制器地址是通过将每个位域的地址移位和掩码设定到存储器配置寄存器中构成的。位置衍生自每个位域的位数和组成地址的位域的序列。掩码用于屏蔽与相关位域不对应的位。

片选数是一个控制器设计函数，可从特定的 PIC32 器件数据手册获取。存储器控制器可识别基于不同片选的存储区之间的差异，因此，可将片选地址和存储区地址合并为一个有效位域。如果系统中仅存在一个片选，则不存在任何片选地址位。

BA、ROW 和 COL 的大小必须从使用中的 DRAM 数据手册获取。

要正确设定存储器配置地址移位和掩码位，地址构成和 DRAM 容量必须已知。例 55-1 使用具有一个片选和 Winbond W972516KG DDR SDRAM 的控制器。

例 55-1: 存储器配置设置

函数	值	单位
CS	1	位
BA	2	位
ROW	13	位
COL	9	位
sdram_data_width	2	字节

地址构成 = {CS, ROW, BA, COL}

列地址位域是序列中的最低有效域。它是通过设定高地址的右移位以及高地址单元和低地址单元的掩码指定的。高地址右移位指定为了使列地址的高位部分紧邻列地址低位部分的左侧，应将控制器地址右移的位数。该掩码可指定地址每个部分中的位数。

列地址 = ((控制器地址 >> COLHADDR) & (COLADDRHMASK)) | (控制器地址 & COLADDRLMASK)

对于此示例，列地址未拆分，因此 COLHADDR 等于 0。整个地址包含在低位域中，掩码则为整个地址中的位数。

CLHADDR (DDRMEMCFG0<28:24>) = 0x00

CLADDRLMASK (DDRMEMCFG3<12:0>) = 0x1FF

CLADDRHMASK (DDRMEMCFG2<12:0>) = 0x00

在此示例中，存储区地址按列地址中的位数进行移位，以将存储区地址移动到最右边位的位置。该掩码对应于存储区地址中的位数。

BNKADDR (DDRMEMCFG0<12:8>) = 0x09

BNKADDRMASK (DDRMEMCFG4<2:0>) = 0x03

行地址位域必须按列地址和存储区地址中的位数之和进行移位。该掩码对应于行地址中的位数。

RWADDR (DDRMEMCFG0<4:0>) = 0x0B

RWADDRMSK (DDRMEMCFG1<12:0>) = 0x1FFF

片选地址位域按之前各个位域 (COL、BA 和 ROW) 之和进行移位。因为此器件只有一个片选，所以地址掩码为 0。

CSADDR (DDRMEMCFG0<19:16>) = 0x18

CSADDRMASK (DDRMEMCFG4<8:6>) = 0x00

55.4.2 时序配置

为了可靠地运行，SDRAM 要求各个事件之间有延时。这些延时作为初始化流程的一部分设定到控制器中。最小延时由 SDRAM 制造商指定，会在 SDRAM 器件的数据手册中注明。延时以时间单位指定，但因为 SDRAM 控制器时钟速度可能在不同实现之间存在差异，所以延时以时钟脉冲为单位进行设定。

SDRAM 延时参数在各个控制器和器件中进行了标准化。表 55-3 列出了计算 DDR 控制器的延时配置寄存器值所需的 SDRAM 参数。表 55-4 中给出了用于将 SDRAM 参数转换为寄存器值的公式。

注： 所有小数结果都将取整为最接近的时钟数。

表 55-3: SDRAM 时序参数

参数	说明	单位
tRFC	自动刷新周期时间	ns
tWR	写恢复时间	ns
tRP	预充电到激活的命令延时	ns
tRCD	激活到读 / 写的命令延时	ns
tRRD	行到行 (RAS 到 RAS) 的命令延时	ns
tWTR	写到读的命令延时	ns
tRTP	读到预充电的命令延时	ns
tDLLK	DLL 锁定延时	nClk
tRAS	激活到预充电的最小命令延时	ns
tRC	行周期时间	ns
tFAW	四个存储区的激活窗口	ns
tMRD	模式寄存器设置命令周期延时	nClk
tXP	掉电退出延时	nClk
tCKE	掉电最小延时	nClk
tCKESR	自刷新最小延时	nClk
RL	CAS 延时	nClk
tRFI	平均周期性刷新间隔	μs
WL	写延时	nClk
BL	突发长度 (以周期为单位)	nClk

图注: nClk = 时钟数

表 55-4: DRAM 控制器时序

延时配置寄存器位	说明	公式	单位
REFDLY (DDRREFCFG<23:16>)	最小刷新延时	$t_{RFC}/CTL_CLK_PER - 1$	nClk
W2PCHRGDLY<3:0> (DDRDLFCFG2<15:12>) W2PCHRGDLY<4> (DDRDLFCFG1<26>)	写恢复时间	$(t_{WR}/CTL_CLK_PER) + WL + BL$	nClk
PCHRGALLDLY (DDRDLFCFG2<3:0>)	预充电到激活的命令延时	t_{RP}/CTL_CLK_PER	nClk
PCHRG2RASDLY (DDRDLFCFG2<27:24>)	预充电到激活的命令延时	$(t_{RP}/CTL_CLK_PER) - 1$	nClk
RAS2CASDLY (DDRDLFCFG2<23:20>)	激活到读 / 写的命令延时	$(t_{RCD}/CTL_CLK_PER) - 1$	nClk
RAS2RASDLY (DDRDLFCFG2<19:16>)	行到行 (RAS 到 RAS) 的命令延时	$(t_{RRD}/CTL_CLK_PER) - 1$	nClk
W2RDLY<3:0> (DDRDLFCFG0<3:0>) W2RDLY<4> (DDRDLFCFG1<27>)	写到读的命令延时	$(t_{WTR}/CTL_CLK_PER) + WL + BL$	nClk
W2RCSLDLY<3:0> (DDRDLFCFG0<7:4>) W2RCSLDLY<4> (DDRDLFCFG1<28>)	写到读片选命令延时	$(W2RDLY - 1)$ 或 3, 取二者中的较大值	nClk
R2PCHRGDLY (DDRDLFCFG2<11:8>)	读到预充电的命令延时	$(t_{RTP}/CTL_CLK_PER) + BL - 2$	nClk
SLFREFEXDLY<7:0> (DDRDLFCFG1<15:8>) SLFREFEXDLY<8> (DDRDLFCFG1<30>)	DLL 锁定延时	$t_{DLLK}/2 - 2$	nClk
RAS2PCHRGDLY (DDRDLFCFG3<3:0>)	激活到预充电的最小命令延时	$(t_{RAS}/CTL_CLK_PER) - 1$	nClk
RAS2RASSBNKDLY (DDRDLFCFG3<13:8>)	行周期时间	$(t_{RC}/CTL_CLK_PER) - 1$	nClk
FAWTDLY (DDRDLFCFG3<21:16>)	四个存储区的激活窗口	$(t_{FAW}/CTL_CLK_PER) - 1$	nClk
DDRCMD2x<19:11>	模式寄存器设置命令周期延时	$t_{MRD} * CLK_PER$	nClk
PWRDNEXDLY (DDRDLFCFG1<25:20>)	掉电退出延时	$t_{XP} - 1$ 或 $t_{CKE} - 1$ 取二者中的较大值	nClk
SLFREFMINDLY (DDRDLFCFG1<7:0>)	自刷新最小延时	$t_{CKE} - 1$	nClk
PWRDNMINDLY (DDRDLFCFG1<19:16>)	掉电最小延时	$(t_{CKE}/CTL_CLK_PER) - 1$	nClk
RMWDLY (DDRDLFCFG0<31:28>)	读 - 修改 - 写延时	$RL - WL + 3$	nClk
REFCNT (DDRREFCFG<15:0>)	平均刷新计数	$(t_{RFI}/CTL_CLK_PER) - 2$	nClk
R2WDLY (DDRDLFCFG0<27:24>)	读到写延时	$BL + 2$	nClk
W2WCSDLY<3:0> (DDRDLFCFG0<23:20>)	写到写片选延时	$BL - 1$	nClk
W2WDLY (DDRDLFCFG0<19:16>)	写到写延时	$BL - 1$	nClk
R2RCSLDLY (DDRDLFCFG0<15:12>)	读到读片选延时	BL	nClk
R2RDLY (DDRDLFCFG0<11:8>)	读到读延时	$BL - 1$	nClk
RBENDLY (DDRDLFCFG3<31:28>)	读突发结束延时	$RL + 3$	nClk
NXTDATRQDLY (DDRXFERCFG<3:0>)	下一个数据请求延时	$WL - 2$	nClk
NXTDATAVDLY<3:0> (DDRXFERCFG<7:4>) NXTDATAVDLY<4> (DDRDLFCFG1<28>)	下一个数据可用延时	$RL + 4$	nClk
RDATAENDLY<3:0> (DDRXFERCFG<19:16>)	读数据使能延时	$RL - 2$	nClk

图注: CTL_CLK_PER = 控制器时钟周期 (DRAM 时钟周期 * 2); nClk = 时钟数

注: 所有小数结果都将取整为最接近的时钟数。

55.4.3 片内端接电阻（ODT）配置

片内端接电阻（ODT）用于 SDRAM 传输线路的阻抗匹配。正确匹配的传输线路可降低信号反射和噪声。硅片上的终结电阻可消除对外部电阻的阻抗不连续性，降低元件数并简化电路板布局。

可在控制器和 PHY 级别使能和控制 ODT。本节讨论控制器设置。可针对每个受支持的片选单独使能 ODT 设置。给定片选的 ODT 使能 / 禁止过程分为两步：

1. 将 ODTCSEN<7:0> 位（DDRODTCFG<7:0>）设定为片选总数乘以要使能或禁止的片选数。
2. 设定 ODTREN 位（DDRODTENCFG<0>）和 ODTWEN 位（DDRODTENCFG<16>），以使能或禁止该片选的 ODT。

注： PIC32 器件只有一个 SDRAM 片选，因此 ODTCSEN<7:0> 位应始终设定为 0。

读和写的 ODT 的开始和持续时间均可以单独控制。关于详细信息，请参见 DDR 片内端接电阻配置寄存器（[寄存器 55-17](#)）。

55.5 SDRAM 初始化

DDR SDRAM 必须在使用前进行初始化。通过将命令序列写入 SDRAM 可执行初始化。DDR SDRAM 控制器可为此提供主机命令寄存器。

表 55-5 中列出了用于初始化 SDRAM 的主机命令寄存器。

表 55-5: 主机命令寄存器

寄存器	请参见 ...	函数
DDRMEMCON	寄存器 55-5	DDR 存储器控制寄存器
DDRCMDISSUE	寄存器 55-19	DDR 命令发出寄存器
DDRCMD1x (x = 0-15)	寄存器 55-22	DDR 命令 1 寄存器 x
DDRCMD2x (x = 0-15)	寄存器 55-23	DDR 命令 2 寄存器 x

DDR 命令寄存器有两组寄存器，每组 16 个。这些寄存器将保存发送到 SDRAM 的初始化命令。DDRCMDISSUE 寄存器设定了要发送的初始化命令数，并且 VALID 位在命令装入命令寄存器时将置 1。在装入命令并设定 DDRCMDISSUE 寄存器后，通过写入 STINIT 位 (<DDRMEMCON<0>)，将开始初始化。如果所有命令都已发送，硬件将清空 VALID 位。清空 VALID 位后，通过将 INITDN 位 (DDRMEMCON<0>) 置 1 使能存储器控制器。

DDRCMD1x 和 DDRCMD2x 寄存器中的位域对应于控制器和 DRAM 之间的信号。CKE、CS、RAS、CAS 和 WE 信号由 DRAM 进行解码并被解析为命令。每个命令信号在第一个和后续命令时钟周期可能有不同的状态，因此在第一个和后续时钟周期，每个信号都具有单独的位域。

表 55-6 中显示了 DRAM 初始化所需的四个命令。信号名称之后的加号表示发出命令的第二个和后续时钟周期所对应的值。这些是一个可用命令子集。关于该器件支持的完整命令列表，请参见 SDRAM 数据手册。

表 55-6: SDRAM 初始化命令

命令	说明	WE+	CAS+	RAS+	CS+	CKE+	WE	CAS	RAS	CS	CKE
DSELECT	取消选择器件	1	1	1	1	1	1	1	1	1	1
PCALL	预充电所有存储区	1	1	1	1	1	0	1	0	0	1
LDM	装入模式寄存器	1	1	1	1	1	0	0	0	0	1
REF	刷新	1	1	1	1	1	1	0	0	0	1

使用 LDM 命令写入模式寄存器时，将对存储区地址寄存器进行解码以确定模式寄存器设置，并且地址位将被映射到各个 SDRAM 参数。必须对其中每个位都进行相应的定义。关于特定器件的地址位映射，请参见 SDRAM 数据手册。

55.5.1 DRAM 初始化序列

要执行 DDR SDRAM 初始化，需要完成以下步骤：

1. 上电并启动 DDR 时钟。在传输初始化命令之前，DDR 时钟必须至少稳定 200 μ s。
2. 将 DDRCMD1x 和 DDRCMD2x 寄存器设定为以下命令序列：
 - a) 在复位后将 CKE 升为高电平，然后使用 NOP 或 DESELECT 命令等待 400 ns。
 - b) 发出预充电全部存储区命令。
 - c) 初始化扩展模式寄存器 2 (EMR2)。
 - d) 初始化扩展模式寄存器 3 (EMR3)。
 - e) 通过写入扩展模式寄存器 (EMR)，使能 DLL。
 - f) 通过写入模式寄存器 (MR) 复位 DLL。
 - g) 发出预充电全部存储区命令。
 - h) 发出两个自动刷新命令。
 - i) 在不复位 DLL 的情况下重新设定 MR。
 - j) 使用 OCD 默认值重新设定 EMR。
 - k) 使用 OCD 退出重新设定 EMR。
3. 将命令数写入 NUMHOSTCMDS (DDRCMDISSUE<3:0>)。
4. 将 VALID 位 (DDRCMDISSUE<4>) 置 1。
5. 将 STINIT 位 (DDRMEMCON<0>) 置 1。
6. 等待硬件清空 VALID 位 (DDRCMDISSUE<4>)。
7. 将 INITDN 位 (DDRMEMCON<1>) 置 1 以使能控制器。
8. DDR SDRAM 现在已可用于正常操作。

55.6 DDR PHY 初始化

DDR PHY 是 DDR 控制器和 SDRAM 之间的物理接口。控制器和 PHY 都符合 DFI 规范，该规范定义了控制器和 PHY 之间的接口协议。

55.6.1 PHY 自校准逻辑

DDR PHY 包含可帮助消除 DDR 时序问题的自校准逻辑 (Self-Calibrating Logic, SCL)。SCL 进行 PHY 初始化期间将自动设置读数据捕捉时序和写对齐时序。SCL 基本为自动化，只有少数几个参数可由用户配置，如表 55-7 中所列出。

表 55-7: SCL 建议设置

参数	说明	寄存器位域	建议设置
SCL 写入时 ODT	SCL 写入期间使能 / 禁止 ODT	ODTCSWR (DDRSCLCFG0<24>)	使能
SCL 突发大小	SCL 期间突发 8 和突发 4 模式中的 DRAM	BURST8 (DDRSCLCFG0<24>)	突发 8 模式
SCL 延时	应答之后的 SCL 延时。此参数是一个硬件设计函数。	DBLREFDLY (DDRSCLCFG1<12>)	单延时
SCL 使能	在片选 0 上使能 SCL。	SCLTESTCS (DDRSCLCFG1<0>)	使能

55.6.2 PHY I/O 填充 ODT 电阻校准

可编程 ODT 提供了可选择的 75 或 150 欧姆终结电阻。终结电阻通过 PHY 填充控制寄存器使能和选择。ODT 可使用与 VDD 和 VSS 相等阻值的 Thevenin 等效电路实现。校准输入可用于微调 ODT 电阻。表 55-8 中列出了建议设置。

表 55-8: ODT 电阻校准建议设置

参数	说明	寄存器位域	建议设置
ODT 使能	ODT 使能 / 禁止	ODTEN (DDRPHYPADCON<1>)	使能
ODT 电阻选择	选择 75 或 150 欧姆 ODT	ODTSEL (DDRPHYPADCON<0>)	150 欧姆
ODT 上拉校准	ODT 上拉校准	ODTPUCAL (DDRPHYPADCON<7:6>)	0'b10
ODT 下拉校准	ODT 下拉校准	ODTPDCAL (DDRPHYPADCON<5:4>)	0'b10

55.6.3 PHY 填充驱动强度

DDR 存储器支持两种驱动强度，即全驱动和降额驱动 (60%)。驱动强度配置通过 PHY 填充控制寄存器位 DATDRVSEL (DDRPHYPADCON<3>) 设置。对于全驱动，驱动器输出阻抗优化为大约 30 欧姆；对于降额驱动，驱动器输出阻抗则优化为大约 55 欧姆。输出阻抗可使用 PHY 填充控制寄存器位 DRVSTRNFET<3:0> (DDRPHYPADCON<23:20>) 和 DRVSTRPFET<3:0> (DDRPHYPADCON<19:16>) 进行微调。

55.7 DLL 校准

DDR PHY 包含一个可将数据和数据选通与 PHY 时钟对齐的内部数字 DLL。DLL 具备自校准能力，但必须在初始化期间设定校准时间间隔。表 55-9 中显示了建议的起始值和重新校准时间间隔。

表 55-9: 起始值和重新校准时间间隔的建议设置

参数	说明	寄存器位	建议设置
DLL 重新校准使能	DLL 重新校准使能	DISRECALIB (DDRPHYDLLR<26>)	使能
DLL 延时起始值	DLL 主延时线起始值	DLYSTARTVAL (DDRPHYDLLR<31-28>)	3
重新校准计数	为 DLL 重新校准向控制器发送的请求之间的时钟数	RECALIBCNT (DDRPHYDLLR <25:8>)	0x10

55.8 中断

不存在与 DDR 控制器相关的中断。

55.9 节能模式下的操作

55.9.1 休眠模式下的 DDR 操作

随着器件进入休眠模式，CPU 的系统时钟 (SYSCLK) 将被禁止，但 DDR 控制器的时钟将由 MPLL 维护。DDR 控制器将继续刷新 SDRAM，但 CPU 将无法读取或写入 SDRAM。因此，在休眠模式下，可以维护 SDRAM 的内容。

为进一步降低休眠模式下的功耗，用户可以通过断开 MPLL 的电源并禁止 DDR 控制器和 PHY 来禁止时钟。这可以通过将 PDMPLL 位 (CFGAPP2<30>) 和 DDRMD 位 (PMD7<28>) 置 1 来实现。

注： 如果在时钟未就绪时向 DDR 控制器发出读取或写入命令，这可能会导致未定义的器件行为。

55.9.2 休眠模式下的 DDR 操作

带 DDR 的 PIC32 器件可以设置为自刷新模式。用户应遵循自刷新模式的进入和退出说明，如使用的 DDR 器件的供应商所提供。为此，断开内核逻辑电源时将把 DDRCKE 引脚保持在低电平。DDR 的其他信号将被置为高阻态。而且，自刷新期间 DDRVREF 信号必须始终保持有效。

如果 DDR2 器件在自刷新模式下进入深度休眠模式，将关闭内核电压，但将按照 INTVREFCON<1:0> 位 (CFGMPLL<7:6>) 的最新设置继续驱动 VREF 电路的使能，即使内核电压无效也是如此。

退出深度休眠模式且内核电压再次有效时，用户必须在退出深度休眠模式处理程序之前重新装入带所需设置的 INTVREFCON<1:0> 位。退出深度休眠模式时执行的复位序列将恢复使用来自 INTVREFCON<1:0> 位的值。

注： 关于 CFGMPLL 寄存器中的 INTVREFCON<1:0> 位的信息，请参见具体器件数据手册中的“特殊功能”章节。

55.10 复位的影响

所有形式的复位都会强制 DDR 控制器和 PHY 寄存器进入默认状态。控制器、PHY 和 SDRAM 必须在使用前重新进行初始化。

55.11 相关应用笔记

本节列出了与手册本章内容相关的应用笔记。这些应用笔记可能并不是专为 PIC32 器件系列而编写的，但其概念是相近的，通过适当修改并受到一定限制即可使用。当前与 DDR SDRAM 控制器相关的应用笔记包括：

标题	应用笔记编号
目前没有相关的应用笔记。	N/A

注： 如需获取更多 PIC32 系列器件的应用笔记和代码示例，请访问 Microchip 网站 (www.microchip.com)。

55.12 版本历史

版本 A（2016 年 2 月）

这是本文档的初始版本。

版本 B（2017 年 5 月）

该版本包括以下更新：

- 在 DDRRQPER 寄存器中，更新了 RQPER<7:0> 位的 POR 值（见寄存器 55-3）
- 在 DDRMINCMD 寄存器中，更新了 MINCMD<7:0> 位的 POR 值（见寄存器 55-4）
- 在 DDRXFERCFG 寄存器中，更新了 MAXBURST<3:0> 位的 POR 值（见寄存器 55-18）
- 在 DDRSCLSTART 寄存器中，SCLLEN、SCLUBPASS 和 SCLLPASS 位的位类型从 U-0 更改为 R/W-0（见寄存器 55-24）
- 在 DDRSCLLAT 寄存器中，更新了 DDRCLKDY<3:0> 和 CAPCLKDY<3:0> 位的 POR 值（见寄存器 55-25）
- 以下是针对 DDRSCLCFG0 寄存器作出的更改（见寄存器 55-26）：
 - 更新了 ODTCSW、RCASLAT<3:0> 和 BURST8 位的 POR 值
 - 删除了 DDR3 位
 - DDR2 位已重命名为：DDR
- 以下是针对 DDRPHYADCON 寄存器作出的更改（见寄存器 55-28）：
 - 更新了 PREAMBDLY<1:0>、DRVSTRNFET<3:0>、DRVSTRPFET<3:0>、HALFRATE、ODTPUCAL<1:0>、ODTEN 和 ODTSEL 位的 POR 值
 - 添加了 WRMCMDDLY 位
 - 添加了 ADDCDRVSEL 位
 - DRVSEL 位已重命名为：DATDRVSEL
- DDRPHYDLLRECALIB 寄存器已重命名为：DDRPHYDLLR（见寄存器 55-29）
- 添加了 DDRPHYCLKDLY 寄存器（见寄存器 55-30）
- 更新了第 55.9.2 节“休眠模式下的 DDR 操作”
- 此外，还对整篇文档的文字和格式进行了少量更新

注:

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适用性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，在 Microchip 知识产权保护下，不得暗或以其他方式转让任何许可证。

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC® MCU 与 dsPIC® DSC、KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器 and 模拟产品 严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949 ==

商标

Microchip 的名称和徽标组合、Microchip 徽标、AnyRate、AVR、AVR 徽标、AVR Freaks、BeaconThings、BitCloud、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KEELOQ、KEELOQ 徽标、Kleer、LANCheck、LINK MD、maXStylus、maXTouch、MediaLB、megaAVR、MOST、MOST 徽标、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 徽标、Prochip Designer、QTouch、RightTouch、SAM-BA、SpyNIC、SST、SST 徽标、SuperFlash、tinyAVR、UNI/O 及 XMEGA 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

ClockWorks、The Embedded Control Solutions Company、EtherSynch、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge 和 Quiet-Wire 均为 Microchip Technology Inc. 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、chipKIT、chipKIT 徽标、CodeGuard、CryptoAuthentication、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNet 徽标、Mindi、MiWi、motorBench、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PureSilicon、QMatrix、RightTouch 徽标、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQI、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. & KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2017, Microchip Technology Inc. 版权所有。

ISBN: 978-1-5224-2362-1



全球销售及服务中心

美洲

公司总部 **Corporate Office**
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://www.microchip.com/support>

网址: www.microchip.com

亚特兰大 Atlanta
Duluth, GA

Tel: 1-678-957-9614
Fax: 1-678-957-1455

奥斯汀 Austin, TX
Tel: 1-512-257-3370

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Novi, MI
Tel: 1-248-848-4000

休斯敦 Houston, TX
Tel: 1-281-894-5983

印第安纳波利斯 Indianapolis
Noblesville, IN
Tel: 1-317-773-8323
Fax: 1-317-773-5453
Tel: 1-317-536-2380

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608
Tel: 1-951-273-7800

罗利 Raleigh, NC
Tel: 1-919-844-7510

纽约 New York, NY
Tel: 1-631-435-6000

圣何塞 San Jose, CA
Tel: 1-408-735-9110
Tel: 1-408-436-4270

加拿大多伦多 Toronto
Tel: 1-905-695-1980
Fax: 1-905-695-2078

亚太地区

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重庆
Tel: 86-23-8980-9588

中国 - 东莞
Tel: 86-769-8702-9880

中国 - 广州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青岛
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 沈阳
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 苏州
Tel: 86-186-6233-1526

中国 - 武汉
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦门
Tel: 86-592-238-8138

中国 - 香港特别行政区
Tel: 852-2943-5100

中国 - 珠海
Tel: 86-756-321-0040

台湾地区 - 高雄
Tel: 886-7-213-7830

台湾地区 - 台北
Tel: 886-2-2508-8600

台湾地区 - 新竹
Tel: 886-3-577-8366

亚太地区

澳大利亚 **Australia - Sydney**
Tel: 61-2-9868-6733

印度 **India - Bangalore**
Tel: 91-80-3090-4444

印度 **India - New Delhi**
Tel: 91-11-4160-8631

印度 **India - Pune**
Tel: 91-20-4121-0141

日本 **Japan - Osaka**
Tel: 81-6-6152-7160

日本 **Japan - Tokyo**
Tel: 81-3-6880-3770

韩国 **Korea - Daegu**
Tel: 82-53-744-4301

韩国 **Korea - Seoul**
Tel: 82-2-554-7200

马来西亚
Malaysia - Kuala Lumpur
Tel: 60-3-7651-7906

马来西亚 **Malaysia - Penang**
Tel: 60-4-227-8870

菲律宾 **Philippines - Manila**
Tel: 63-2-634-9065

新加坡 **Singapore**
Tel: 65-6334-8870

泰国 **Thailand - Bangkok**
Tel: 66-2-694-1351

越南 **Vietnam - Ho Chi Minh**
Tel: 84-28-5448-2100

欧洲

奥地利 **Austria - Wels**
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦
Denmark - Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

芬兰 **Finland - Espoo**
Tel: 358-9-4520-820

法国 **France - Paris**
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 **Germany - Garching**
Tel: 49-8931-9700

德国 **Germany - Haan**
Tel: 49-2129-3766400

德国 **Germany - Heilbronn**
Tel: 49-7131-67-3636

德国 **Germany - Karlsruhe**
Tel: 49-721-625370

德国 **Germany - Munich**
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

德国 **Germany - Rosenheim**
Tel: 49-8031-354-560

以色列 **Israel - Ra'anana**
Tel: 972-9-744-7705

意大利 **Italy - Milan**
Tel: 39-0331-742611
Fax: 39-0331-466781

意大利 **Italy - Padova**
Tel: 39-049-7625286

荷兰 **Netherlands - Drunen**
Tel: 31-416-690399
Fax: 31-416-690340

挪威 **Norway - Trondheim**
Tel: 47-7289-7561

波兰 **Poland - Warsaw**
Tel: 48-22-3325737

罗马尼亚
Romania - Bucharest
Tel: 40-21-407-87-50

西班牙 **Spain - Madrid**
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

瑞典 **Sweden - Gothenberg**
Tel: 46-31-704-60-40

瑞典 **Sweden - Stockholm**
Tel: 46-8-5090-4654

英国 **UK - Wokingham**
Tel: 44-118-921-5800
Fax: 44-118-921-5820