

## 利用引脚兼容高速 ADC 简化设计任务

作者：Robert M. Clarke

### 简介

选择 ADC 可能是系统设计师最棘手的问题。转换器分辨率和采样速率决定系统性能。然而，设计通常是基于一系列无法验证的假设，除非原型系统经过测试。

根据结果的不同，系统额定值可能过于严格，其实只需较低速度或分辨率的转换器，或者指标过低，需要更快或更高分辨率的转换器。前一情况下，有机会通过更便宜的转换器降低成本。而后一情况下，重大设计变化会延长上市时间，增加开发成本。

此外，有效设计中的任何变化也会带来风险——将有效设计“改善”成了无效设计。风险最小化的最佳办法是利用单一布局 and 引脚兼容转换器让设计能够适应未来的发展。

为此，ADI 开发了一系列基于常见 A/D 内核的 ADC，使设计师可以提高或降低采样速度和分辨率，而无需更改电路板布局。

### 系列描述

ADC 拥有单通道和双通道版本，两种版本具有共同的封装、引脚排列和尺寸。这样，如果需要更高或更低的性能，设计师可以在原型设计和现场测试过程中改变转换器分辨率或采样速率，或者同时改变两者。

转换器（表 I）提供 10、12 和 14 位引脚兼容版本，速度从 20 MSPS 至 105 MSPS 不等。所有版本均采用 CMOS 工艺和相同的内核。

转换器内核（图 1）由采样保持放大器 (SHA) 组成，后接多级差分流水线架构，内置输出纠错逻辑和集成基准电压源。该转换器系列在 20 MSPS 至 105 MSPS 速度范围内提供 10 至 14 位分辨率，在整个工作温度范围内无失码。

表 I. 单通道和双通道 ADC

位	单通道 ADC (32 引脚 LFCSP)	速度 (MSPS)	双通道 ADC (64 引脚 LFCSP)	速度 (MSPS)
10	AD9215	65, 80, 105	AD9216	65, 80, 105
12	AD9235	20, 40, 65	AD9238	20, 40, 65
12	AD9236	80		
12	AD9237	20, 40, 65		
14	AD9245	20, 40, 65, 80	AD9248	20, 40, 65

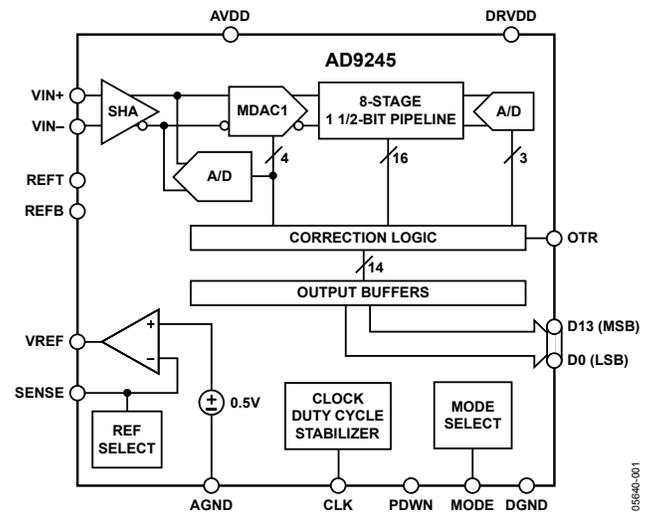


图 1. ADC 系列功能框图

利用宽带宽、差分输入 SHA，用户可以选择包括单端应用在内的各种输入范围和共模电压。既适用于在连续通道中切换满量程电平的多路复用应用，也适合远超过奈奎斯特速率频率的单通道信号欠采样应用。

采用一个单端时钟输入来控制所有内部转换周期。一个占空比稳定器 (DCS) 用来补偿较大的时钟占空比波动，同时保持出色的 ADC 总体性能。数字输出数据格式为标准二进制或二进制补码。超量程 (OTR) 信号表示溢出状况，可由最高有效位来确定是下溢还是上溢。

# AN-803

各单通道 ADC 采用先进的 CMOS 工艺制造，提供 32 引脚 LFCSP 封装，额定温度范围为 -40°C 至 +85°C 工业温度范围。

## 设计和布局考虑因素

对于布局设计师，引脚排列间的唯一差异是数据输出位的分配。

在所有单通道转换器中，引脚 20 均为 MSB，该引脚之后按顺时针方向依次排列到 LSB。

所有双通道转换器中，引脚 57 和引脚 38 分别为“A”和“B”的 MSB，该引脚之后按顺时针方向依次排列到 A 和 B 的 LSB。图 3、4 和 5 显示的是引脚图和封装介绍；表 II 和 III 列出了转换器的引脚功能描述。

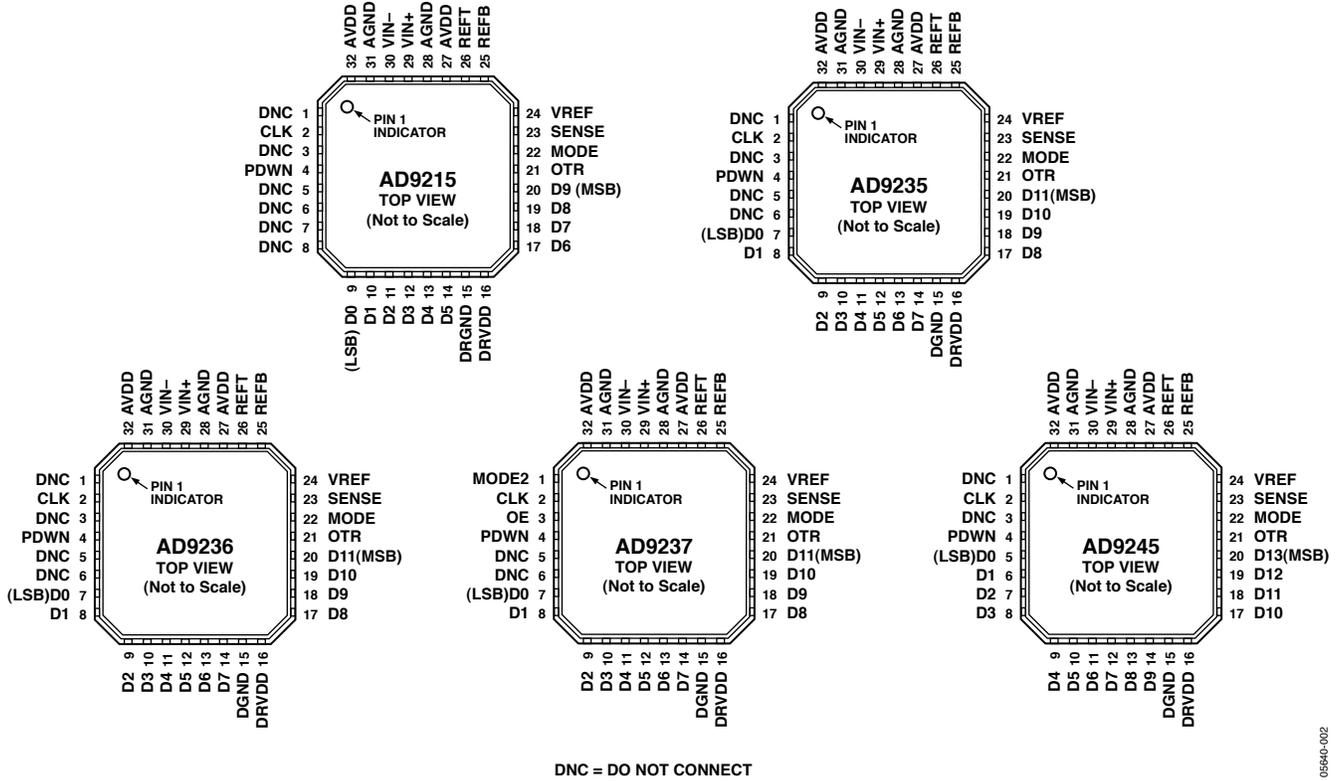


图 2.32 引脚 LFCSP 封装的 AD9215、AD9235、AD9236、AD9237 和 AD9245 的引脚图

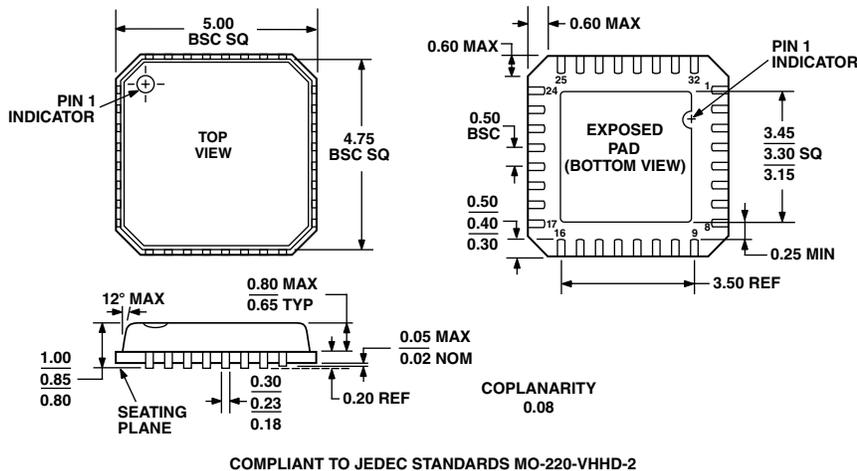


图 3.32 引脚 LFCSP 封装、四方超薄体 (LFCSP\_VQ) 尺寸

(CP-32-3)

尺寸单位：mm

表 II. 32 引脚 LFCSP 封装 AD9215、AD9235、AD9236、AD9237 和 AD9245 单通道 ADC 的引脚功能描述

引脚编号	AD9215 10 位 ADC 引脚功能	AD9235、AD9236、AD9237 12 位 ADC 引脚功能	AD9245 14 位 ADC 引脚功能
1	DNC (不连接)	DNC (AD9237: MODE2)	DNC
2	CLK	CLK	CLK
3	DNC	DNC (AD9237: OE)	DNC
4	PDWN	PDWN	PDWN
5	DNC	DNC	D0 (LSB)
6	DNC	DNC	D1
7	DNC	D0 (LSB)	D2
8	DNC	D1	D3
9	D0 (LSB)	D2	D4
10	D1	D3	D5
11	D2	D4	D6
12	D3	D5	D7
13	D4	D6	D8
14	D5	D7	D9
15	DGND (数字输出地)	DGND	DGND
16	DRVDD (数字输出 VDD)	DRVDD	DRVDD
17	D6	D8	D10
18	D7	D9	D11
19	D8	D10	D12
20	D9 (MSB)	D11 (MSB)	D13 (MSB)
21	OTR (超量程指示)	OTR	OTR
22	MODE (数据格式选择和 DCS 模式选择)	MODE	MODE
23	SENSE (基准电压模式选择, 参见数据手册)	SENSE	SENSE
24	VREF (基准电压输入 / 输出)	VREF	VREF
25	REFB (差分基准电压 (-))	REFB	REFB
26	REFT (差分基准电压 (+))	REFT	REFT
27	AVDD (模拟电源)	AVDD	AVDD
28	AGND (模拟地)	AGND	AGND
29	VIN+ (模拟输入引脚 (+))	VIN+	VIN+
30	VIN- (模拟输入引脚 (-))	VIN-	VIN-
31	AGND (模拟地)	AGND	AGND
32	AVDD (模拟电源)	AVDD	AVDD



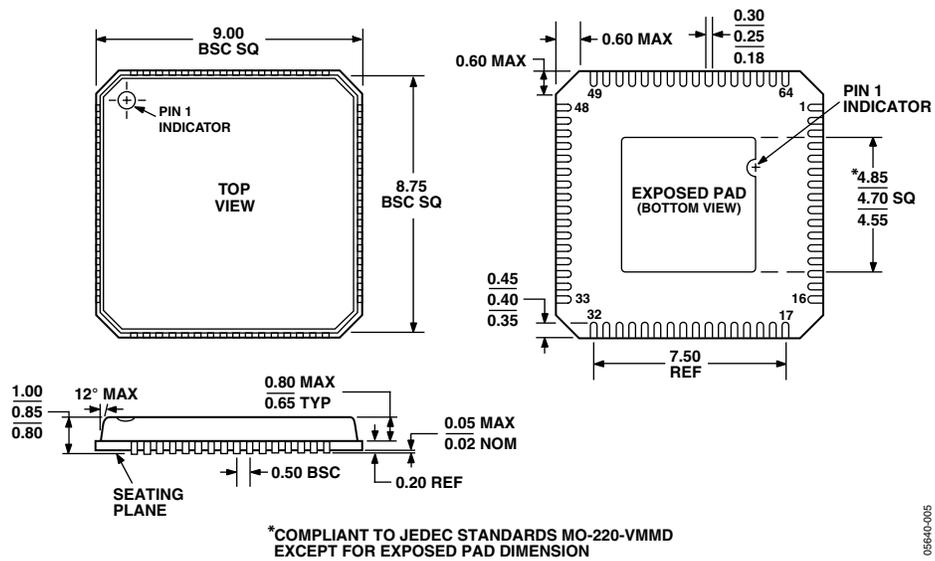


图 5.64 引脚 LFCSP 封装，四方超薄体 (LFCSP\_VQ)

(CP-64-1)

尺寸单位：mm

表 III. 64 引脚 LFCSP 封装 AD9216、AD9238、和 AD9248 双通道 ADC 的引脚功能描述

引脚编号	AD9216 10 位 ADC 引脚功能	AD9238 12 位 ADC 引脚功能	AD9248 14 位 ADC 引脚功能
1	AGND (模拟地)	AGND	AGND
2	VIN+_A (通道 A 的模拟输入引脚 (+))	VIN+_A	VIN+_A
3	VIN-_A (通道 A 的模拟输入引脚 (-))	VIN-_A	VIN-_A
4	AGND (模拟地)	AGND	AGND
5	AVDD (模拟电源)	AVDD	AVDD
6	REFT_A (通道 A 的差分基准电压 (+))	REFT_A	REFT_A
7	REFB_A (通道 A 的差分基准电压 (-))	REFB_A	REFB_A
8	VREF (基准电压输入 / 输出)	VREF	VREF
9	SENSE 基准电压模式选择 (参见数据手册)	SENSE	SENSE
10	REFB_B (通道 B 的差分基准电压 (-))	REFB_B	REFB_B
11	REFT_B (通道 B 的差分基准电压 (+))	REFT_B	REFT_B
12	AVDD (模拟电源)	AVDD	AVDD
13	AGND (模拟地)	AGND	AGND
14	VIN-_B (通道 B 的模拟输入引脚 (-))	VIN-_B	VIN-_B
15	VIN+_B (通道 B 的模拟输入引脚 (+))	VIN+_B	VIN+_B
16	AGND (模拟地)	AGND	AGND
17	AVDD (模拟电源)	AVDD	AVDD
18	CLK_B (通道 B 的时钟输入引脚)	CLK_B	CLK_B
19	DCS (占空比稳定器模式引脚 - 高电平有效)	DCS	DCS
20	DFS (数据输出格式引脚) (低电平为偏移二进制, 高电平为二进制补码)	DFS	DFS
21	PDWN_B (通道 B 关断 - 高电平有效)	PDWN_B	PDWN_B
22	OEB_B (通道 B 输出使能 - 低电平使能通道 B 数据 总线, 高电平将输出设置为高阻抗)	OEB_B	OEB_B
23	DNC (不连接)	DNC	D0_B (LSB)
24	DNC (不连接)	DNC	D1_B
25	DNC (不连接)	D0_B (LSB)	D2_B
26	DNC (不连接)	D1_B	D3_B
27	D0_B (LSB)	D2_B	D4_B
28	DRGND (数字输出地)	DRGND	DRGND
29	DRVDD (数字输出 VDD)	DRVDD	DRVDD
30	D1_B	D3_B	D5_B
31	D2_B	D4_B	D6_B
32	D3_B	D5_B	D7_B
33	D4_B	D6_B	D8_B
34	D5_B	D7_B	D9_B
35	D6_B	D8_B	D10_B
36	D7_B	D9_B	D11_B
37	D8_B	D10_B	D12_B

引脚编号	AD9216 10 位 ADC 引脚功能	AD9238 12 位 ADC 引脚功能	AD9248 14 位 ADC 引脚功能
38	D9_B (MSB)	D11_B (MSB)	D13_B (MSB)
39	OTR_B (通道 B 的超量程指示)	OTR_B	OTR_B
40	DRGND (数字输出地)	DGND	DGND
41	DRVDD (数字输出 VDD)	DRVDD	DRVDD
42	DNC (不连接)	DNC	D0_A (LSB)
43	DNC (不连接)	DNC	D1_A
44	DNC (不连接)	D0_A (LSB)	D2_A
45	DNC (不连接)	D1_A	D3_A
46	D0_A (LSB)	D2_A	D4_A
47	D1_A	D3_A	D5_A
48	D2_A	D4_A	D6_A
49	D3_A	D5_A	D7_A
50	D4_A	D6_A	D8_A
51	D5_A	D7_A	D9_A
52	DRVDD (数字输出 VDD)	DRVDD	DRVDD
53	DRGND (数字输出地)	DGND	DGND
54	D6_A	D8_A	D10_A
55	D7_A	D9_A	D11_A
56	D8_A	D10_A	D12_A
57	D9_A (MSB)	D11_A (MSB)	D13_A (MSB)
58	OTR_A (通道 A 的超量程指示)	OTR_A	OTR_A
59	OEB_A (通道 A 输出使能 - 低电平使能通道 A 数据总线, 高电平将输出设置为高阻抗)	OEB_A	OEB_A
60	PDWN_A (通道 A 关断 - 高电平有效)	PDWN_A	PDWN_A
61	MUX_SELECT (数据多路复用模式)	MUX_SELECT	MUX_SELECT
62	SHARED_REF (低电平 = 独立, 高电平 = 共享)	SHARED_REF	SHARED_REF
63	CLK_A (通道 A 的时钟输入引脚)	CLK_A	CLK_A
64	AVDD (模拟电源)	AVDD	AVDD

## 10、12 或 14 位 ADC 的布局

对电路设计师而言，设计不同引脚排列的唯一差异是考虑未用的数据输出引脚，这意味着为分配给位 11 至 14 的引脚添加选择性端接，即最低有效位。

假设 ADC 输出驱动 DSP 或 FPGA，用户将电路和布局设计成适应 10、12 或 14 位分辨率。

常用方法是将电阻与 ADC 输出串联，以便端接 PCB 走线，以及将标称 10k $\Omega$  电阻接地或连接至 DSP 或 FPGA 输入端的 VDD。电阻配置取决于制造商对于所用 FPGA 或 DSP 的建议。

电阻的使用与否取决于相应位是否使用。图 6 显示的是设计示例。

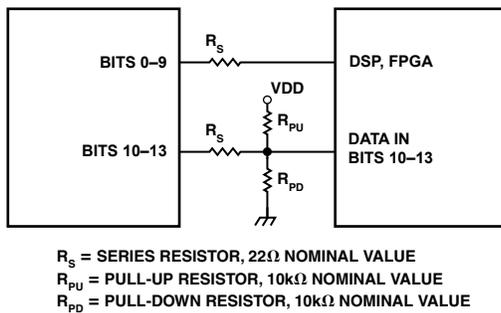


图 6. 引脚兼容转换器的灵活设计

如果未使用的位需要端接电阻，可使用  $R_{PU}$  或  $R_{PD}$ 。某些器件从内部端接未使用的位，不需要外部端接电阻。引脚兼容转换器的最灵活设计是用串联端接电阻设计电路板布局，后接上拉 ( $R_{PU}$ ) 和下拉 ( $R_{PD}$ ) 电阻焊盘。根据 DSP 或 FPGA 的不同，如果需要外部端接，仅使用  $R_{PU}$  或  $R_{PD}$  之一，采用内部端接时则不予使用。

## 芯片级封装的 PCB 设计指南

芯片级封装 (CP-32 和 CP-64) 上的引脚焊盘为方形。印刷电路板焊盘应比封装引脚焊盘长 0.1 mm，宽 0.05 mm。为确保焊点最大，引脚焊盘应位于电路板焊盘中央。芯片级封装的底部有一个居中的裸露焊盘用于散热，印刷电路板的散热焊盘至少应与裸露焊盘一样大。

在印刷电路板上，散热焊盘与焊盘图形内边的间距至少应为 0.25 mm，以确保不会发生短路。印刷电路板散热焊盘上可以开散热通孔，以改善封装的散热性能。

散热通孔应与散热焊盘合为一体，间距为 1.2 mm。通孔直径应在 0.3 mm 至 0.33 mm 之间，通孔管应镀以 1 盎司的铜，以堵住通孔。用户应将印刷电路板散热焊盘连到 AGND。

## 结束语

本应用笔记介绍了单通道和双通道高速 ADC 的常见引脚排列和尺寸，以及设计师如何利用其引脚兼容特性。文中列出了转换器引脚功能，并显示了数据输出位差异，以使用户能够设计出适应不同分辨率和速度的单通道电路板，从而在不改变布局的前提下更改转换器速度或分辨率，节省上市时间。