

## 孔径时间、孔径抖动、孔径延迟时间——正本清源

作者：Walt Kester

### 简介

在ADC和采样保持器(SHA)的技术规格中，误解最深、滥用最多的可能是那些包含“孔径”的规格。图1给出了一个简单的模型，SHA最基本的动态特性是它能够快速断开保持电容与输入缓冲放大器的连接。一直以来，这一动作所需的极短（但非零）时间间隔称为“孔径时间”（或“采样孔径”） $t_a$ 。此间隔结束时电压保持的实际值取决于输入信号压摆率和开关操作本身引入的误差。图1显示对两个任意斜率的输入信号（分别标为1和2）应用保持命令时的情况。为清楚起见，采样保持基底误差和开关瞬态忽略不计。最终保持的值是输入信号的延迟版本，并且是开关孔径时间范围内的平均值。该一阶模型假设，保持电容上的最终电压值约等于应用于开关的信号在开关从低阻抗变为高阻抗的时间间隔( $t_a$ )内的平均值。

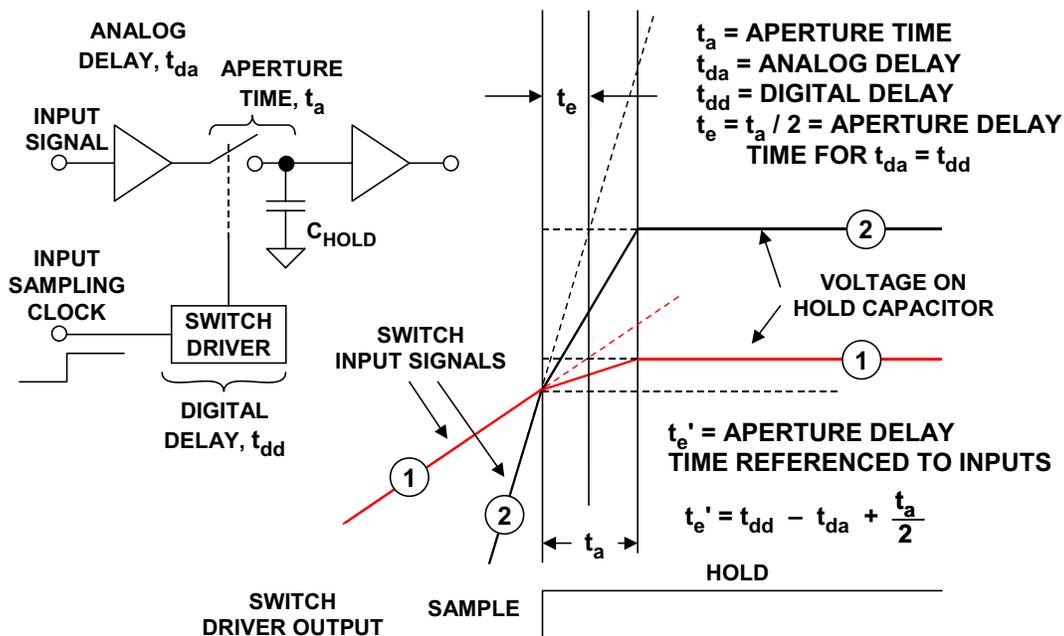


图1：采样保持波形和定义

该模型显示，开关断开所需的有限时间( $t_a$ )相当于在驱动SHA的采样时钟中引入一个小延迟 $t_e$ 。此延迟为常数，可以是正值，也可以是负值。图中显示，两个信号虽然斜率不同，但适用同一 $t_e$ 值。此延迟 $t_e$ 称为“有效孔径延迟时间”、“孔径延迟时间”或“孔径延迟”。

在ADC中，孔径延迟时间参考转换器的输入，必须考虑通过输入缓冲器的模拟传播延迟 $t_{da}$ 和通过开关驱动器的数字延迟 $t_{dd}$ 的影响。以ADC输入为基准，孔径时间 $t_e$ 定义为前端缓冲器的模拟传播延迟 $t_{da}$ 与开关驱动器数字延迟 $t_{dd}$ 的时间差加上孔径时间的一半 $t_a/2$ 。

有效孔径延迟时间通常为正值，但如果孔径时间的一半 $t_a/2$ 与开关驱动器数字延迟 $t_{dd}$ 之和小于通过输入缓冲器的传播延迟 $t_{da}$ ，则它也可以是负值。因此，孔径延迟规格确定了输入信号相对于采样时钟沿的实际采样时间。

孔径延迟时间可以通过如下方法来测量：对ADC应用一个双极性正弦波信号，然后调整同步采样时钟延迟时间，使得ADC的输出为中间电平（对应于正弦波的零交越点），输入采样时钟沿与输入正弦波实际零交越点之间的相对延迟即为孔径延迟时间，如图2所示。

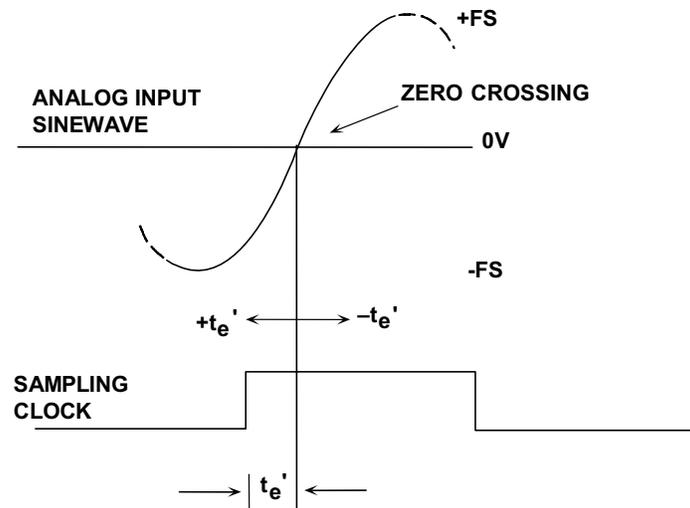


图2：相对于ADC输入测量有效孔径延迟时间

孔径延迟不产生误差（假设它比保持时间要短），但会在采样时钟输入或模拟输入（取决于其符号）中起固定延迟作用。然而，在“交错”ADC、同步采样应用或直接I/Q解调中，两个或更多ADC必须精密匹配，不同转换器之间的孔径延迟差异可能会给高压摆率信号带来误差。在这些应用中，必须适当调整采样时钟相对于ADC的相位，从而消除孔径延迟不匹配问题。

然而，如果孔径延迟中存在样本间变化（“孔径抖动”），则会产生相应的电压误差，如图3所示。在开关断开的时刻，这种样本间变化称为“孔径不确定性”或“孔径抖动”，通常用均方根皮秒(ps rms)来衡量。

相应输出误差的幅度与模拟输入的变化速率有关。针对既定的孔径抖动值，孔径抖动误差随着输入 $dv/dt$ 提高而提高。相位抖动对外部采样时钟（或模拟输入）的影响也是产生同样类型的误差。因此，总抖动量为外部采样时钟抖动与ADC孔径抖动的方和根。

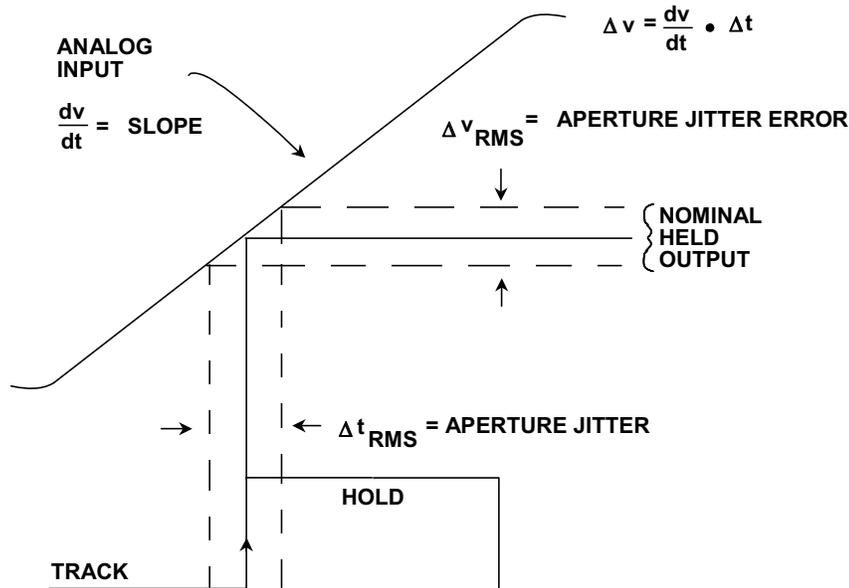


图3: 孔径抖动和采样时钟抖动的影响

## 孔径抖动和采样时钟抖动对ADC信噪比(SNR)的影响

通过下面的简单分析，可以预测孔径和采样时钟抖动对理想ADC SNR的影响。假设输入信号由下式给出：

$$v(t) = V_O \sin 2\pi ft. \quad \text{公式1}$$

该信号的变化速率由下式给出：

$$\frac{dv}{dt} = 2\pi f V_O \cos 2\pi ft. \quad \text{公式2}$$

将幅度 $2\pi f V_O$ 除以 $t_j$ 可以获得 $dv/dt$ 的均方根值：

$$\left. \frac{dv}{dt} \right|_{\text{rms}} = \frac{2\pi f V_O}{\sqrt{2}}. \quad \text{公式3}$$

现在令 $\Delta v_{\text{rms}} =$ 均方根电压误差， $\Delta t =$ 均方根孔径抖动 $t_j$ ，并将这些值代入公式3：

$$\frac{\Delta v_{\text{rms}}}{t_j} = \frac{2\pi f V_O}{\sqrt{2}}. \quad \text{公式4}$$

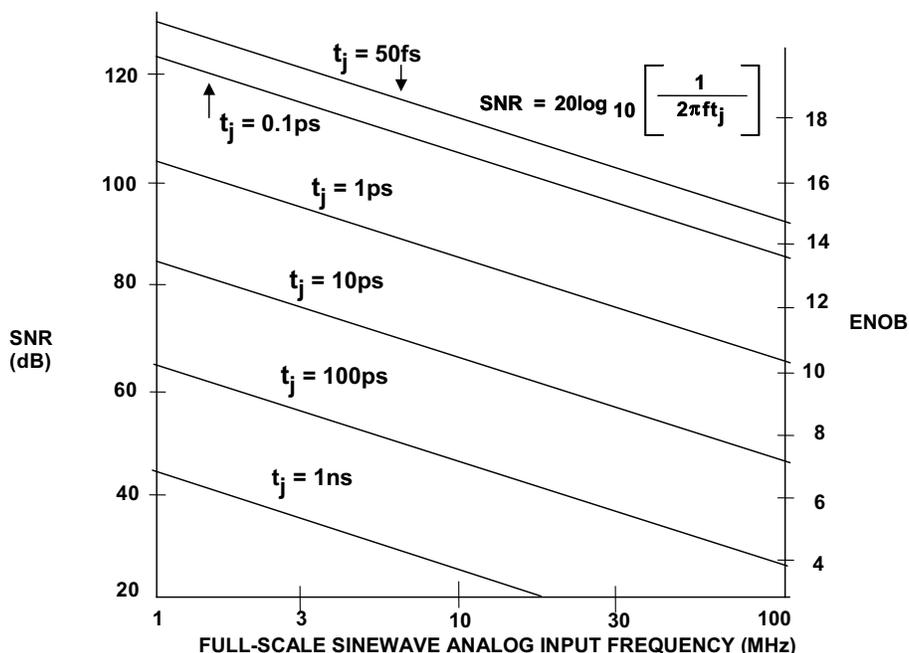
通过公式4求出 $\Delta v_{\text{rms}}$ ：

$$\Delta v_{\text{rms}} = \frac{2\pi f V_O t_j}{\sqrt{2}}. \quad \text{公式5}$$

满量程输入正弦波的均方根值为 $V_O/\sqrt{2}$ ，因此均方根信号与均方根噪声的比值（用dB表示）为：

$$\text{SNR} = 20 \log_{10} \left[ \frac{V_O / \sqrt{2}}{\Delta v_{\text{rms}}} \right] = 20 \log_{10} \left[ \frac{V_O / \sqrt{2}}{2\pi f V_O t_j / \sqrt{2}} \right] = 20 \log_{10} \left[ \frac{1}{2\pi f t_j} \right]. \quad \text{公式6}$$

该公式假设ADC具有无限的分辨率，孔径抖动是决定SNR的唯一因素。图4给出了该公式的图形，它说明孔径和采样时钟抖动对SNR和ENOB有严重影响，特别是当输入/输出频率较高时。例如，当对一个100 MHz IF信号进行采样时，为了实现14位SNR性能，孔径抖动必须小于0.1 ps。目前可提供典型孔径抖动规格为60 fs rms的ADC（[AD9445](#) 14位125 MSPS和[AD9446](#) 16位100 MSPS）。必须特别注意降低采样/重构时钟的相位噪声，以免ADC本身固有的性能下降。



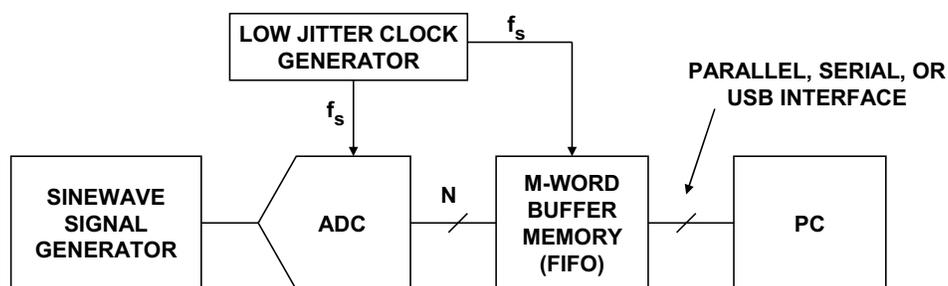
**图4: 抖动引起的数据转换器理论SNR和ENOB与满量程正弦波输入频率的关系**

对时钟信号的所有方面都必须慎重对待，包括：振荡器本身（例如，555定时器难以胜任，即便是石英晶振，如果使用与高噪声逻辑共享一个芯片的有源器件，也会产生问题）；传输路径（这些时钟非常容易受各种类型的干扰影响）；以及ADC或DAC中引入的相位噪声。如前所述，转换器电路中的一个常见相位噪声源是集成采样保持(SHA)电路的孔径抖动，但总均方根抖动由多个部分组成，实际的SHA孔径抖动常常是其中最小的一个。

1980年代以前，多数采样ADC一般采用独立的SHA和ADC来构建。接口设计很复杂，组合性能难以精确预测。如今，几乎所有数据采样系统都使用集成SHA的采样ADC。SHA的孔径抖动可能没有规定，但如果清楚地规定了整个频率范围内的SNR或ENOB，则不必担心SHA，因为特定输入频率下特定SNR的保证即是充分孔径抖动规格的隐含保证。

## 利用FFT技术测量ADC孔径抖动

用于测量ADC SNR、SFDR等参数的FFT测试程序提供了一种出色的孔径抖动间接测量方法。需要注意的是，测量结果不仅包括ADC内部孔径抖动，而且包括采样时钟发生器的抖动。因此，所选发生器的均方根抖动规格应当比待测ADC的额定孔径抖动低好几倍（各抖动分量以方和根形式合并）。图5显示了孔径抖动测试的基本测试设置以及主要的计算公式。



- ◆ SNR FOR LOW FREQUENCY FS INPUT = SNRL
- ◆ SNR FOR HIGH FREQUENCY FS INPUT = SNRH (FREQUENCY = f)
- ◆  $SNRA = 20 \log_{10} \left[ \frac{1}{2\pi f t_a} \right]$
- ◆  $t_a = \frac{1}{2\pi f} \sqrt{\left[ 10^{-SNRH/20} \right]^2 - \left[ 10^{-SNRL/20} \right]^2}$
- ◆ INCLUDES JITTER OF CLOCK GENERATOR

**图5：根据高频时SNR的下降幅度测量孔径抖动**

需要进行两次SNR测量，两次测量分别使用频率为 $f_L$ 和 $f_H$ 的满量程输入正弦波。第一次测量是在相对较低的频率 $f_L$ 下测量SNRL，此时噪声主要由ADC等效输入噪声和量化噪声组成。即使对该低输入频率做出些许改变，仍应测量到相同的SNR值。该采样频率一般设置为容许的最大频率。第二次测量是在高输入频率 $f_H$ 下进行SNRH测量，此时孔径抖动对ADC SNR的影响变得明显。根据ADC不同，此频率最高可以达到 $f_s/2$ 。图中已经给出由孔径抖动单独引起的信噪比计算公式：

$$SNRA = 20 \log_{10} \left[ \frac{1}{2\pi f_H t_a} \right], \quad \text{公式7}$$

其中SNRA为孔径抖动引起的SNR (dB)， $f_H$ 为输入频率。

求解 $t_a$ :

$$t_a = \frac{1}{2\pi f_H} \cdot \frac{1}{10^{\text{SNRA}/20}} \quad \text{公式8}$$

下一步是根据SNRH和SNRL计算SNRA。由于SNR用dB表示，因此首先必须将其转换为比值，然后以方和根形式合并其倒数：

$$\left(\frac{1}{10^{\text{SNRA}/20}}\right)^2 = \left(\frac{1}{10^{\text{SNRH}/20}}\right)^2 + \left(\frac{1}{10^{\text{SNRL}/20}}\right)^2 \quad \text{公式9}$$

对公式9进行变形：

$$\left(\frac{1}{10^{\text{SNRA}/20}}\right) = \sqrt{\left(\frac{1}{10^{\text{SNRH}/20}}\right)^2 - \left(\frac{1}{10^{\text{SNRL}/20}}\right)^2} \quad \text{公式10}$$

将公式10代入公式8：

$$t_a = \frac{1}{2\pi f_H} \cdot \sqrt{\left(\frac{1}{10^{\text{SNRH}/20}}\right)^2 - \left(\frac{1}{10^{\text{SNRL}/20}}\right)^2} \quad \text{公式11}$$

## 结束语

应当注意，该测试所需的所有测量均使用SNR而不是SINAD（信纳比）。根据FFT输出计算SNR时，必须消除二次至六次谐波（以及直流成分），这一点非常重要，否则将无法获得准确的孔径抖动大小。

最后需要说明的是，由于输入信号或ADC采样时钟可能会发生不良抖动，而且布局布线也可能引起抖动和噪声，因此测量小于10 ps rms的均方根孔径抖动异常困难。要获得如此高的精度，频率合成器的抖动必须非常低，此外还应谨慎处理布局布线、信号路由、接地和去耦。

**参考文献:**

1. Brad Brannon, "[Aperture Uncertainty and ADC System Performance](#)," *Application Note AN-501*, Analog Devices, Inc., January 1998. (available for download at <http://www.analog.com>)
2. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034.
3. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapters 2 and 5. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapters 2 and 5.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.