

认识宽带GSPS ADC中的无杂散动态范围

作者: Ian Beavers | Electronic Design

在为高性能系统选择宽带模数转换器(ADC)时,需要考虑多种模拟输入参数,比如,ADC分辨率、采样速率、信噪比(SNR)、有效位数(ENOB)、输入带宽、无杂散动态范围(SFDR)以及微分或积分非线性度等。

对于GSPS ADC,最重要的一个交流性能参数可能就是SFDR。简单而言,该参数规定了ADC以及系统从其他噪声或者任何其他杂散频率中解读载波信号的能力。

为了实现GSPS ADC中所使用的转换速率,可以采用以高采样速率捕获信号的多种架构。然而,使用其中一些架构时需要以牺牲全带宽SFDR性能为代价。

为了认识转换器SFDR对系统的影响,我们就设计工程师针对SFDR参数细节提出的一些常见问题进行了回答,同时对该参数在转换器数据手册中的描述方式、对ADC性能起着限制或促进作用的各种架构以及对SFDR性能形成限制的系统设计因素进行了说明。

我注意一以,数据手册中关于SFDR的说明,有些列出了注意事项,有些没有列出。到底什么是SFDR?

能够区分信号和噪声是许多信号采集系统的一个关键方面。无论明确的电信协议、雷达扫描,还是测量仪器,弱信号的采集和解码是区分任何系统性能的核心所在。

SFDR表示可从大于干扰信号分辨出的最小功率信号。它定义的是载波功率的均方根(rms)值与频域(如快速傅里叶变换

(FFT))中的下一个最大有效杂散信号的均方根值之间的动态比值。因此,根据定义,该动态范围不得存在其他杂散频率。

SFDR通常采用功率单位(dBc),量化为目标载波相对于下一个最大有效频率的功率的范围。然而,该参数也可以满量程信号为基准,以功率单位(dBFS)为计量单位。这是一个重要的区别,因为目标载波可能是功率相对较低的信号,而且远远低于至ADC的满量程输入。当情况确实如此时,SFDR在区分信号与其他噪声和杂散频率时变得至关重要。

是什么对ADC的SFDR构成限制?

谐波频率是基波频率的整数倍数。对于设计良好的单芯片ADC内核,SFDR一般主要由载波频率与目标基波频率的第二或第三谐波之间的动态范围构成。一些窄带ADC数据手册只会定义较窄的工作频带内的SFDR,这种情况下,第二和第三谐波一般都位于带外。其他数据手册可能描述较宽带内的SFDR,同时就实现该性能要满足的条件做出说明。

尽管第二或第三谐波一般可能是主导杂散频率,但由于存在其他系统原因,有些杂散也可能会限制GSPS ADC的SFDR性能。例如,多个交错ADC内核可能会把交错伪像带入频域,从而产生杂散频率。这些在量级上有可能比基波频率的第二或第三谐波大。因此,它们会成为SFDR的主导限制因素。尽管这可能不符合直觉,但在交错ADC数据手册中,SFDR参数值可能会伴随一条警告消息,称计算时未纳入交错杂散(图1)。

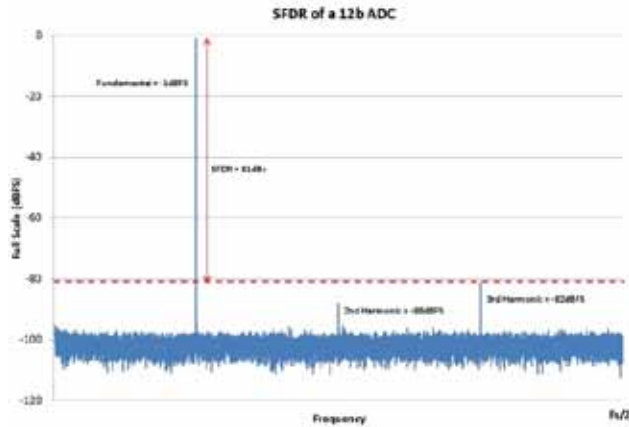


图1.这是一款单芯片12位ADC的FFT，其中，第三谐波为SFDR的主要贡献因素。在这种情况下，从基波(-1 dBFS)到第三谐波(-82 dBFS)的动态范围为81 dBc，因为动态范围是相对于载波功率的。

窄带SFDR要以外推至宽带SFDR吗？

如果系统只需要较窄的频带，则可使用带通抗混叠输入滤波器来抑制目标频带以外的谐波或伪像。只要无需观察滤波频带范围内的信号，这对某些应用来说可能非常有效。但对于带宽信号采集系统来说，这却是不可行的。在有些数据手册中，ADC的SFDR参数值也可能针对的是很窄的一部分带宽，要比ADC的满量程输入带宽小得多。

一般地，我们不能假定，可对针对窄频带的SFDR进行外推，以在较宽或满量程奈奎斯特频带(即 $F_s/2$)中获得相同的性能。其主要原因在于，针对基波窄带的频率规划的目的就是过滤掉较高谐波并将其推至目标频带以外。如果移除滤波器，则这些谐波和其他杂散将成为系统中宽带SFDR的一部分(图2和图3)。

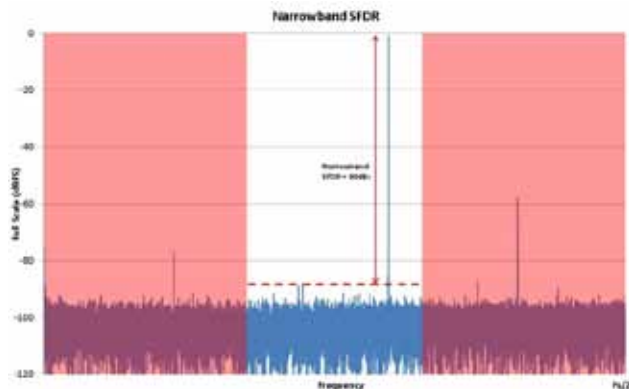


图2.实际上，窄带应用可能使用宽带SFDR较差的ADC。利用抗混叠滤波器来抑制红色阴影区域的频率，就可以将会导致SFDR性能下降的任何谐波或杂散过滤到带外。

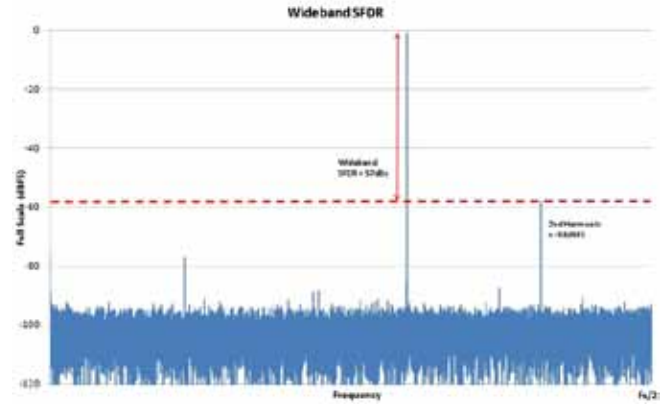


图3.运用相同的条件，同时假定移除ADC滤波，结果，宽带谐波或杂散会对SFDR形成限制。这种情况表明，将优良的窄带SFDR外推至宽带SFDR是不可行的。

差分输入ADC的SFDR可能受到其他前端系统元件的影响吗？

多数高速ADC采用一种差分输入结构，具有良好的共模噪声抑制能力。然而，这需要许多采集系统在ADC输入前端将单端信号转换成差分信号。对于从单端到差分信号的这一转换过程，主要选择是无源巴伦或变压器及有源放大器。虽然系统的这一部分有许多高性能元件可供选择，但是，即使最好的解决方案也会存在一些较小的差分不平衡，结果会使目标信号失真，并减小通过ADC的SFDR。

ADC前端的差分输入信号各端之间的相位失配会导致基波信号谐波功率增加。当差分信号的一端在时间上先于另一端且提前量达到相对于其周期的一定相位量时，就可能发生这种情况。其效应如图4所示，此时，差分对的一端比另一端提前较小的周期相位量。

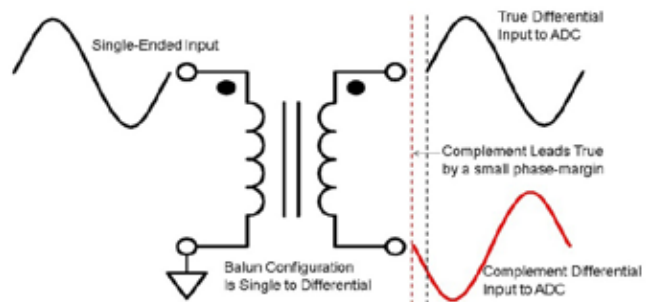


图4.这种情况下，巴伦输出与ADC差分输入之间存在几度的相位失配。如果差分输入在相位上完全匹配，这可能导致FFT中的第二谐波比其他情况下高，从而对SFDR造成影响。

差分信号采集系统前端的另一不平衡可能是幅度失配。当差分信号一端的增益不同于其补码时，ADC输入就会把一端视为较大信号，另一端视为较小信号。在其他情况下，这会减小基波信号的全功率，降低SFDR的dBc值。差分输入端如果存在2-dB的幅度失配，结果会导致满量程输入信号功率下降1-dB。这些前端信号完整性方面的每个问题都可能使ADC的SFDR性能以及整个系统的信号解码能力下降。

可能限制SFDR的ADC架构有哪些？

采样速率达到且超过1 GSPS的几种ADC采用一种交错方案，利用一对或几个分立通道或内核来实现完全高速数据速率。例如，可以基于交错方案，用一个双通道ADC来实现完全采样速率，其中，每个内核轮流使用采样过程。当一个通道在采样时，另一通道将处理前面的采样。交错架构也可使用3个或更多ADC内核。

采用交错方法时，多个ADC内核可以并行工作，从而实现高于单核的采样速率。然而，每个这些内核的输入端之间都存在相位、失调、增益和带宽微小差异。结果，新的交错伪像和图像杂散可能进入频谱中，从而导致ADC宽带SFDR下降。这会减小系统的动态范围，降低其分辨弱目标信号与交错杂散的能力。为了缓解交错ADC看到的伪像，系统设计师可能需要仔细阅读应用笔记，了解特殊校准模式和方法，以便对杂散做出细致的安排。

只有一个处理内核的单芯片ADC架构不会出现交错杂散。例如，作为一种宽带转换器，单核流水线ADC都会标榜相对较高的SFDR，一般受第二或第三谐波的限制。

交错ADC的性能在频域中有着怎样的表现？

对于由三个分立交错内核构成的采样架构，有两个增益和相位图像杂散及一个失调杂散(图5)。可在 $2/3 \times$ 奈奎斯特频率时看到失调杂散，但在这种情况下，失调杂散并非SFDR的主要贡献因素。SFDR限制增益和相位杂散可在 $(2/3 \times$ 奈奎斯特频率 $\pm$ 模拟输入频率)时看到。

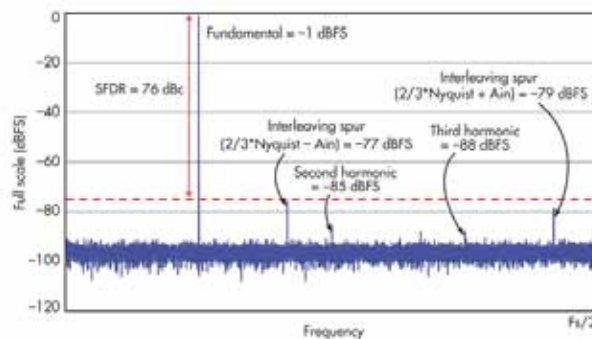


图5.在该FFT中，在一个交错系统板上采用了三个分立式ADC。请注意，关联交错杂散伪像会给SFDR带来-8 dBc的限制，而第二谐波为-85 dBFS。

幅度上最大的杂散是系统SFDR的最大贡献因素。如果没有交错杂散，SFDR将是基波频率到第二谐波的动态范围。在这种具体情况下，交错图像杂散会导致SFDR性能下降-8-dB。

对于由四个分立交错内核构成的采样架构，有三个增益和相位图像杂散及两个失调杂散(图6)。在奈奎斯特频率以及 $1/2 \times$ 奈奎斯特频率下存在失调杂散，在(奈奎斯特频率-模拟输入频率)下另有一个图像杂散，但在这种情况下，这些都不是SFDR的主要贡献因素。主要增益和相位杂散可在 $(1/2 \times$ 奈奎斯特频率 $\pm$ 模拟输入频率)时看到。

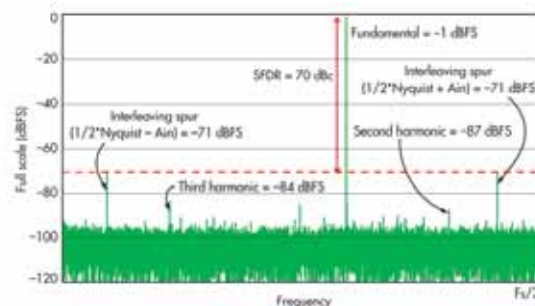


图6.在该FFT中，在一个交错系统板上采用了4个分立式ADC。请注意，关联图像杂散伪像会在 $1/2 \times$ 奈奎斯特频率 $\pm$ Ain时影响SFDR，给SFDR带来-13 dBc的限制，而第三谐波为-84 dBFS。

如果这些杂散的幅度大于第二或第三谐波，则会成为系统中SFDR的主要贡献因素。如果没有交错杂散，SFDR将是基波频率到第三谐波的动态范围。在这种具体情况下，交错图像杂散会导致SFDR性能下降-13-dB。

SFDR的其他限制因素

造成SFDR性能下降的另一潜在领域是系统设计，即在设计允许外部噪声耦合到ADC的模拟输入端或时钟输入端时。另外，如果系统板布局规划不当，ADC的数字输出端有可能耦合回输入端。外部噪声也可能耦合到ADC的基准电压源、电源或接地域上。如果噪声足够大且具有半周期性，则会在系统的频域中表现为无用的SFDR限制杂散，与基波频率或ADC架构均无关系。

GSPS ADC的未来发展趋势

具有高宽带SFDR的GSPS ADC目前已经上市，这类器件不存在过去曾对系统性能形成限制的交错伪像。AD9860是一款双通道、14位、1-GSPS ADC，可在1-GHz输入下实现78 dBc的SFDR。AD9625是一款12位、2-GSPS ADC，可在1-GHz输入下实现80 dBc的典型宽带SFDR。

SFDR是GSPS和ADC的一个重要而关键的性能指标。宽带SFDR一般受基波信号第二或第三谐波的限制。单通道单芯片流水线ADC及其他高级架构为高性能GSPS转换器开创了一个新的前沿。在频域中，它们不存在ADC架构过去在GSPS空间所表现的交错杂散。

对于要求宽带响应的应用，查看、规划和移除这些伪像可能面临诸多问题。新型解决方案可以解决这些系统问题，同时还能在整个宽带频谱内提供最先进的SFDR性能。

作者简介

Ian Beavers是ADI公司(美国北卡罗来纳州格林斯博罗)高速模数转换器团队的应用工程师。他于1999年加入ADI公司，拥有超过18年的半导体行业从业经验。他于美国北卡罗来纳州立大学获得电气工程学士学位和格林斯博罗分校MBA学位。他是中文技术论坛高速ADC支持社区的会员。如有任何问题，请发送到ADI公司中文技术论坛在线技术支持社区的IanB。

参考文献

1. Kester, Walt, "Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor," MT-003 Tutorial, www.analog.com/static/imported-files/tutorials/MT-003.pdf.
2. Looney, Mark, "Advanced Digital Post-Processing Techniques Enhance Performance in Time-Interleaved ADC Systems," *Analog Dialogue*, Volume 37, Issue 8, August 2003
3. Kester, Walt, Analog-Digital Conversion, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6; also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 2
4. Black, W.C., Jr. and D.A. Hodges, "Time Interleaved Converter Arrays," IEEE International Conference on Solid State Circuits, Feb. 1980, pp. 14-15.
5. Black, W.C., Jr. and D.A. Hodges, "Time Interleaved Converter Arrays," *IEEE Journal of Solid State Circuits*, Dec. 1980, Volume 15, pp. 1022-1029.
6. Harris, Jonathan, "The ABCs of interleaved ADCs," *EDN Network*, Feb. 17, 2013, www.edn.com/design/analog/4407107/3/The-ABCs-of-interleaved-ADCs.

资源

分享本文

[facebook](#)[twitter](#)