



DDS 常见问题解答

编写	CAC(Z)
时间	2014/05/16
版本	V3.0

声明

Analog Devices 公司拥有本文档及本文档中描述内容的完整知识产权 (IP)。Analog Devices 公司有权在不通知读者的情况下更改本文档中的任何描述。如果读者需要任何技术帮助, 请通过 china.support@analog.com 或免费热线电话 4006-100-006 联系亚洲技术支持中心团队。其他技术支持资料以及相关活动请访问以下技术支持中心网页 http://www.analog.com/zh/content/ADI_CIC_index/fca.html

Analog Devices, Inc.

版本历史

版本	日期	作者	描述
1.0	2011/2/15		文档建立
2.0	2013/4/7	CAC(Z)	增加表 1-1 中关于 AD9914 和 AD9915 的参数-----页码 9; 增加关于 AD9914 和 AD9915 的描述-----页码 11; 增加章节 3.1 内容-----页码 16; 增加章节 3.10, 3.11 内容-----页码 19, 20; 增加章节 3.16, 3.18 内容-----页码 22; 增加章节 3.19 内容-----页码 23; 增加章节 3.21~28 内容-----页码 23~25; 修改 3.32 内容----页码 26; 删除了一些章节, 这里不列出。
3.0	2014/5/16	CAC(Z)	增加了 1-1 中关于 AD5933 和 AD5934 的介绍; 增加了 1-2 中关于 AD5933 和 AD5934 的参考文档; 增加章节 3.38~48 内容-----页码 35~42;

目录

版本历史	III
目录	IV
第 1 章 简介	7
1.1 产品简介	7
1.2 参考资料	9
第 2 章 原理简介	11
2.1 原理	11
2.2 DDS 有关名词解释	12
第 3 章 常见应用问题解答	15
3.1 DDS 有没有仿真工具?	15
3.2 DDS 没有输出, 怎么办?	15
3.3 哪些 DDS 能直接用晶体提供时钟, 哪些不能?	16
3.4 Update 更新信号如何控制?	16
3.5 DDS 的扫频功能如何实现?	16
3.6 DDS 输出级滤波器如何设计?	16
3.7 DDS 发烫, 是否正常?	17
3.8 DDS 对输入时钟有什么要求?	17
3.9 AD9910 的时钟输入需要注意什么?	18
3.10 如何配置 AD9910 的 RAM 模式?	18
3.11 想用 AD9910 输出带宽为 110MHz 的信号, 用哪个频段的输出 SFDR 性能更好?	19
3.12 DDS 时钟输入, DAC 输出能否使用单端模式? 电路该如何接?	20
3.13 DDS 评估板上分别有 2 个变压器或 2 个巴伦 (Balun) 有什么用处?	20
3.14 DDS 评估板上端接电阻为 50 欧, 为何变压器的参数是在 75 欧标定的?	20
3.15 ADT1-1WT 的原副边是否可以互换使用?	21
3.16 如何同步多片 AD9910 芯片的输出?	21
3.17 DDS 输出端 DAC 为电流输出, 怎么转换为电压, 有什么限制?	21
3.18 DDS 的 AGND, DGND 应该怎样连接, 接模拟地还是数字地?	22
3.19 AD9910 无源晶体不起振?	22
3.20 如何确定 DDS 寄存器的值?	22
3.21 用 AD9834 输出的正弦波去驱动片上的比较器, 如何减小比较器输出方波的抖动?	22
3.22 AD9834 等比较器输出的电平是多少?	23
3.23 AD9834 如何实现同步, 想要一路三角波和一路方波输出同步?	23
3.24 如何用 DDS 输出占空比可调的方波?	23
3.25 哪些 DDS 较容易地实现 BFSK 和 BPSK 调制功能?	24
3.26 AD9833/34/37/38 的输出正弦波的波形都有一个直流的偏移, 如何将这一个直流信号去掉?	24
3.27 关于 AD9833/34/37/38, 请推荐几个可驱动 MCLK 的晶振?	25
3.28 AD9833 的回流焊温度究竟是多少, 手册上 (Rev. E) 和产品主页上标示的温度有差异?	25
3.29 DDS 除了正弦波, 还能产生别的波形么?	25
3.30 用 DDS 有什么好处?	25
3.31 ADI 的 DDS 捷变频能力为多少?	26
3.32 如何使用 DDS 进行幅度调制?	26
3.33 如何用 AD5930 来产生一个单频信号?	26
3.34 为什么 DDS 输出的幅度会随频率的增加而减小?	26
3.35 DDS 输出电压的幅度如何计算?	27
3.36 输出杂散较大, 怎么办?	27
3.37 DDS 输出杂散分布	27

3.38 AD5933 和 AD5934 的测量原理?	33
3.39 AD5933 和 AD5934 有什么区别?	34
3.40 为什么 AD5933 的 6 号输出引脚输出的信号既有交流信号中包含直流偏置呢? 直流偏置信号有什么作用呀?	35
3.41 为什么 AD5933 激励信号有四种选择 1.98V, 0.97V, 383mV, 198mV, 为什么 PGA 需要编程增益?	35
3.42 如何实现低频激励, 数据手册上都是 1~100KHz 的激励频率?	35
3.43 数据手册上描述阻抗测量范围是 1k 欧姆到 10M 欧姆, 想测小于 1k 欧姆的阻抗, 可行吗?	36
3.44 从 AD5933 评估软件中导出出来的.CSV 文件各项是什么含义, 特别是相位那一系列?	36
3.45 为什么我使用 AD5933 的测量精度不高, 需要注意哪些方面?	38
3.46 在 AD5933 的测量中, 既然被测阻抗和反馈阻抗的阻值与实测阻抗越接近测量越准确, 在实际应用中阻抗范围比较宽应该怎么做?	39
3.47 AD5933 的电容的测量范围是多少?	39
3.48 如何使用 AD5933 测量对地阻抗?	40

第1章 简介

1.1 产品简介

ADI 的直接数字频率合成芯片，可以很方便地产生正弦波、扫频、各种调制波形。

表 1-1 DDS 芯片列表

Part#	# Ch	Master Clock (MHz)	Resolution (Bits)	Fs Iout	Tuning Word Width (bits)	REF Clock Multiplier	I/O Interface	Compliance Range (V)	Nominal Supply (V)	Power Dissipation
AD9914	1	3.5GHz	12bit	20mA	32bit	Yes	Parallel	500mV	Single(+1.8), Single(+3.3)	-
AD9915	1	2.5GHz	12bit	20mA	32bit	Yes	Parallel	500mV	Single(+1.8), Single(+3.3)	-
AD9837	1	16MHz	10bit	3mA	28bit	Yes	Serial	800mV	Single(+2.3 to +5.5)	-
AD9838	1	16MHz	10bit	3mA	28bit	Yes	Serial	800mV	Single(+2.3 to +5.5)	11mW
AD9912	1	1GHz	14bit	20mA	48bit	Yes	Serial	500mV	Multi(+1.8, +3.3)	-
AD9913	1	250MHz	10bit	4.6mA	32bit	Yes	Parallel	800mV	Single(+1.8)	-
AD9910	1	1GHz	14bit	20mA	32bit	Yes	Parallel	500mV	Single(+1.8), Single(+3.3)	-
AD9957	1	1GHz	14bit	20mA	32bit	Yes	Serial	500mV	Multi(+1.8, +3.3)	-
AD9911	1	500MHz	10bit	10mA	32bit	Yes	Serial	1.8V	Single(+1.8)	351mW
AD5932	1	50MHz	10bit	-	24bit	Yes	Serial	-	Single(+2.3 to +5.5)	40mW
AD5930	1	50MHz	10bit	3.1mA	24bit	No	Serial	800mV	Single(+2.3 to +5.5)	40mW
AD5933	1	16.776MHz	12bit	-	27bit	-	Serial	-	Single(+5)	-
AD9958	2	500MHz	10bit	10mA	32bit	Yes	Serial	2.3V	Multi(+1.8, +3.3)	-
AD5934	1	16.776MHz	12bit	-	27bit	-	Serial	-	Single(+2.7), Single(+5)	-
AD9959	4	500MHz	10bit	10mA	32bit	Yes	Serial	2.3V	Multi(+1.8, +3.3)	-
AD9956	1	400MHz	14bit	10mA	48bit	No	Serial	2.3V	Multi(+1.8, +3.3)	400mW
AD9859	1	400MHz	10bit	20mA	32bit	Yes	Serial	2.05V	Multi(+1.8, +3.3)	171mW
AD9951	1	400MHz	14bit	10mA	32bit	Yes	Serial	2.05V	Multi(+1.8, +3.3), Single(+1.8)	171mW
AD9952	1	400MHz	14bit	10mA	32bit	Yes	Serial	2.05V	Multi(+1.8, +3.3), Single(+1.8)	171mW
AD9953	1	400MHz	14bit	10mA	32bit	Yes	Serial	2.05V	Multi(+1.8, +3.3), Single(+1.8)	171mW
AD9954	1	400MHz	14bit	10mA	32bit	Yes	Serial	2.05V	Multi(+1.8, +3.3), Single(+1.8)	220mW

Part#	# Ch	Master Clock (MHz)	Resolution (Bits)	Fs Iout	Tuning Word Width (bits)	REF Clock Multiplier	I/O Interface	Compliance Range (V)	Nominal Supply (V)	Power Dissipation
AD9858	1	1GHz	10bit	40mA	32bit	Yes	Parallel	3.8V	Multi(+3.3, +5)	2.5W
AD9833	1	25MHz	10bit	3mA	28bit	No	Serial	650mV	Single(+2.3 to +5.5)	27.5mW
AD9834	1	75MHz	10bit	3mA	28bit	No	Serial	800mV	Single(+2.3 to +5.5)	40mW
AD9857	1	200MHz	14bit	20mA	-	Yes	Serial	1V	Single(+3.3)	2W
AD9852	1	300MHz	12bit	20mA	48bit	Yes	Parallel	1V	Single(+3.3)	3.2W
AD9854	2	300MHz	12bit	10mA	48bit	Yes	Parallel	1V	Single(+3.3)	4.2W
AD9856	1	200MHz	12bit	10mA	12bit	Yes	Parallel	1.5V	Single(+3)	1.6W
AD9851	1	180MHz	10bit	20mA	32bit	Yes	Parallel	1.5V	Single(+3), Single(+3.3), Single(+3.6), Single(+5)	650mW
AD9835	1	50MHz	10bit	4mA	32bit	No	Serial	1.35V	Single(+5)	200mW
AD9832	1	25MHz	10bit	4mA	32bit	No	Serial	1.35V	Single(+3.3), Single(+3.6), Single(+5)	120mW
AD9831	1	25MHz	10bit	4mA	32bit	No	Parallel	1.5V	Single(+3.3), Single(+3.6), Single(+5)	120mW
AD9830	1	50MHz	10bit	20mA	32bit	No	Parallel	1V	Single(+5)	300mW
AD9850	1	125MHz	10bit	20mA	32bit	No	Parallel	1.5V	Single(+3.3), Single(+5)	480mW

AD983x系列, AD985x系列, AD995x, AD991x系列概述

AD983X 系列 DDS 是低功耗型, 最高频率在 50MHz, 用的是高速 10 位 DAC 输出。适合于对功耗要求严格的便携设备应用。其共同特点是封装小, 如 AD9833 仅有 10 个管脚。AD9834 内部集成比较器, 可直接输出方波。AD9837 和 AD9833 结构类似, AD9838 和 AD9834 结构类似, 但是 AD9837 和 AD9838 用于频率较低信号发生。

AD985X 系列 DDS 不仅是高性能的系列, 也是 ADI 推出较早, 认知度较高的系列。这个系列的最高输入时钟达到 1GHz. 而且系列内所有成员的输出无杂散动态范围都较高。这个系列的控制接口除 AD9857 以外均有串行和并行两种。这个系列除少数几个产品以外, 都可以实现方波输出。这个系列的另外一个特点是: 除 AD9850 和 AD9851 外, 都具有多种调相或调频的功能。AD9854 为正交输出。而 AD9856 和 AD9857 均是在 DDS 内核基础上的数字正交上变频器, 被广泛地应用于无线通信中。其中 AD9853 工作在 QPSK 或者是 16-QAM 调制方式下最高数据率为 14Mbit/S; AD9856 的最高输入速度为 50Msamples/S, 也就是 25M 对的 I/Q 数据; AD9857 的最高输入速度为 100Msamples/S, 也就是 50M 对的 I/Q 数据。而 AD9856 和 AD9857 内置的 SIN(x)/x 补偿功能也为宽带调制应用带来很多方便。

AD995X 系列 DDS 是 ADI 公司的低功耗产品。从 AD985X 系列的比较可以发现, 虽然它们的性能很高, 但是功耗也很大, 基本上不可能用于便携设备。正是为了解决高性能和低功耗的问题, ADI 推出了 AD995X 系列 DDS, 它的功耗是 AD985X 系列的 1/10, 但

保持了高性能。AD995X 系列的顶级产品是 AD9954。这个系列的产品均是以 1.8V 单电源供电。

AD991X 系列 DDS 是 ADI 公司最新推出的 DDS 产品。与 AD995X 系列相比较，在保持低功耗的同时，AD991X 系列的功能更加强大。比如 AD9910，拥有多种控制模式，使用非常灵活，有 DRG 和 RAM 功能，方便扫频应用；而 AD9911 使用了 SpurKiller 技术，大大改善了杂散性能，并且 AD9911 还可产生多音信号。AD9914 和 AD9915 极大地提高了系统时钟，扩展了可输出的频率范围。

AD5933 和 AD5934 复阻抗测量芯片概述

AD5933 和 AD5934 是内部集成了 DDS 的复阻抗测量芯片。AD5933 是一款高精度的阻抗转换器系统解决方案。由 DDS 产生高达 100kHz 的激励信号，进行缓冲、放大后输出到被测阻抗，经过二端口网络后的信号反馈输入到 AD5933，再使用 1 MSPS 的模数转换器(ADC)对这一信号进行采样。然后由片上 DSP 进行离散傅里叶变换(DFT)处理。DFT 算法在每个频率上返回一个实部(R)和一个虚部(I)，保存在寄存器中，可通过 I2C 访问。这一虚部和实部和校准时的实部和虚部比较就会得到复阻抗的值，在后面的内容中包含了测量原理。AD5934 与 AD5933 结构类似。可应用于电化学分析、生物电阻抗分析、阻抗频谱分析、复阻抗测量。

1.2 参考资料

参考资料：

CN-0186: Phase Coherent FSK Modulator

http://www.analog.com/static/imported-files/circuit_notes/CN0186.pdf

CN-0156: Amplitude Control Circuit for AD9834 Waveform Generator (DDS)

http://www.analog.com/static/imported-files/circuit_notes/CN0156.pdf

CN-0121: Synchronizing Multiple AD9910 1 GSPS Direct Digital Synthesizers

http://www.analog.com/static/imported-files/circuit_notes/CN0121.pdf

CN-0109: Low Jitter Sampling Clock Generator for High Performance ADCs Using the AD9958/AD9858 500 MSPS/1GSPS DDS and AD9515 Clock Distribution IC

http://www.analog.com/static/imported-files/circuit_notes/CN0109.pdf

AN-1070: Programming the AD9833/AD9834

http://www.analog.com/static/imported-files/application_notes/AN-1070.pdf

AN-1108: AD9832/AD9835 Programming Examples

http://www.analog.com/static/imported-files/application_notes/AN-1108.pdf

AN-953: Direct Digital Synthesis (DDS) with a Programmable Modulus

http://www.analog.com/static/imported-files/application_notes/AN-953.pdf

AN-0996: The Advantages of Using a Quadrature Digital Upconverter (QDUC) in Point-to-Point Microwave Transmit Systems

http://www.analog.com/static/imported-files/application_notes/AN-0996.pdf

AN-924: Digital Quadrature Modulator Gain

http://www.analog.com/static/imported-files/application_notes/AN-924.pdf

AN-0982: The Residual Phase Noise Measurement

http://www.analog.com/static/imported-files/application_notes/AN-0982.pdf

CN-0217 : High Accuracy Impedance Measurements Using 12-Bit Impedance Converters

http://www.analog.com/static/imported-files/circuit_notes/CN0217.pdf

AN-1053: AD5933 Evaluation Board Example Measurement

http://www.analog.com/static/imported-files/application_notes/AN-1053.pdf

AN-847: Measuring a Grounded Impedance Profile Using the AD5933

http://www.analog.com/static/imported-files/application_notes/AN-847.pdf

第2章 原理简介

2.1 原理

直接数字式频率综合器 DDS (Direct Digital Synthesizer)，实际上是一种分频器：通过编程频率控制字来分频系统时钟 (SYSTEM CLOCK) 以产生所需要的频率。DDS 有两个突出的特点，一方面，DDS 工作在数字域，一旦更新频率控制字，输出的频率就相应改变，其跳频速率高；另一方面，由于频率控制字的宽度宽 (48bit 或者更高)，频率分辨率高。

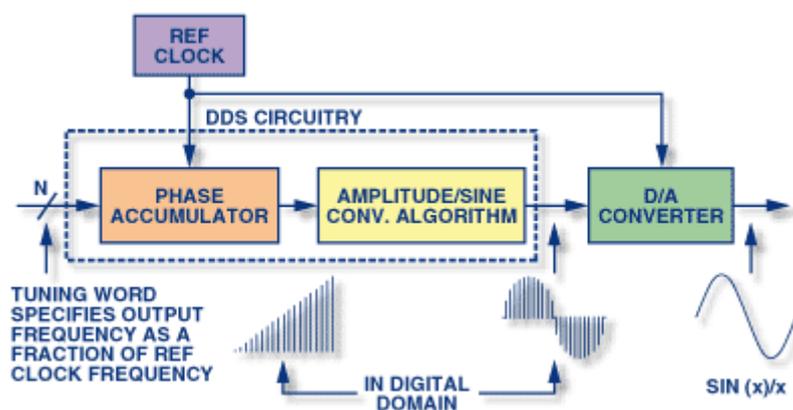


图 2-1 DDS 结构

相位累加器：一个正弦波，虽然它的幅度不是线性的，但是它的相位却是线性增加的。

DDS 正是利用了这一特点来产生正弦信号。如 **Error! Reference source not found.**，根据 DDS 的频率控制字的位数 N ，把 360° 平均分成了 2^N 等份。

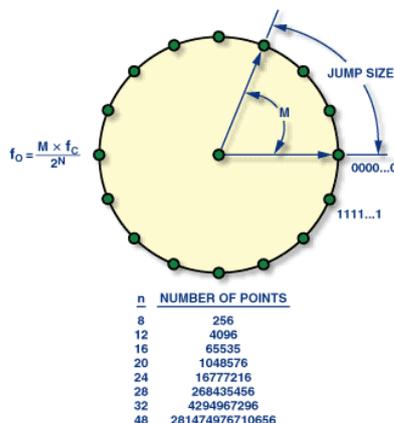


图 2-2 相位累加器原理

假设系统时钟为 F_c ，输出频率为 F_{out} 。每次转动一个角度 $360^\circ/2^N$ ，则可以产生一个频率为 $F_c/2^N$ 的正弦波的相位递增量。那么只要选择恰当的频率控制字 M ，使得 $F_{out} /$

$F_c = M / 2N$, 就可以得到所需要的输出频率 F_{out} ,

$$F_{out} = F_c * M / 2N,$$

相位幅度转换: 通过相位累加器, 我们已经得到了合成 F_{out} 频率所对应的相位信息, 然后相位幅度转换器把 $0^\circ \sim 360^\circ$ 的相位转换成相应相位的幅度值。比如当 DDS 选择为 2V p-p 的输出时, 45° 对应的幅度值为 0.707V, 这个数值以二进制的形式被送入 DAC。这个相位到幅度的转换是通过查表完成的。

DAC 输出: 代表幅度的二进制数字信号被送入 DAC 中, 并转换成为模拟信号输出。注意 DAC 的位数并不影响输出频率的分辨率。输出频率的分辨率是由频率控制字的位数决定的。

2.2 DDS 有关名词解释

下面介绍有关芯片的重要参数。

参考时钟/系统时钟(REFERENCE CLOCK / SYSTEM CLOCK)

参考时钟就是 DDS 的输入时钟频率。

系统时钟就是 DAC 的采样率, 频率越高, 能够输出的频率也就越高, 输出频率应小于 40% 系统时钟频率。

如果不使用内部 PLL 倍频器, 参考时钟就等于系统时钟, 如果使用 PLL 倍频器 (倍频系数为 M) 或者分频器 (分频系数为 R), 那么系统时钟为参考时钟 $\times M$ 或者参考时钟 $\div R$ 。

频率控制字(Frequency Tuning Word)

频率控制字的值 M 决定了输出频率, $f_{out} = \frac{M \times f_c}{2^n}$ 。

频率控制字位数 (N) 越高, 输出频率的分辨率就越高, 频率分辨率为 $F_c/2N$ 。

DAC 输出电压范围 (Voltage Compliance Range)

对于电流输出型 DAC, DAC 的输出电压必须在一定范围之内。输出电流在负载上建立的电压的值, 一定要在这个范围之内。否则, 输出级有可能会损坏。

无杂散动态范围 (SFDR)

无杂散动态范围(SFDR)是信号 RMS 值与一定带宽内最大杂散频谱分量 RMS 值的比率, 可以分为宽带的 SFDR (wideband SFDR) 和窄带的 SFDR (Narrowband SFDR), 这里宽带的定义通常为从直流一直到奈奎斯特频率 (即系统主频一半), 窄带的频宽一般为

$\pm 15\text{KHz}$, $\pm 50\text{KHz}$, $\pm 250\text{KHz}$, $\pm 1\text{MHz}$ 等。

相位噪声 (Phase Noise)

一个绝对纯净的正弦波在频谱上是一根谱线，但实际的正弦波都会有噪声，噪声通过相位调制使频谱叠加了一个裙状图。相位噪声指的是在给定输出频率的条件下，一定频偏位置上的 1Hz 带宽内的噪声功率与输出载波功率的比值，单位为 $\text{dBc/Hz}@x\text{kHz}$ 。DDS 输出正弦波的相位噪声是参考时钟的相位噪声、电源噪声相位调制、DDS 自身的噪声等因素叠加的结果。测试条件需要将参考源的噪声确定好，因为参考源的噪声对 DDS 输出正弦波的绝对噪声起着至关重要的作用。

残留相位噪声 (Residual Phase Noise)

因为 DDS 的输出正弦波的相位噪声与诸多因素有关，不同的参考源会得到不同的相位噪声，因此为了衡量 DDS 自生引入的噪声，有了残留相位噪声或称为附加相位噪声 (Additive)。下图所示为 AD9910 的残留相位噪声：

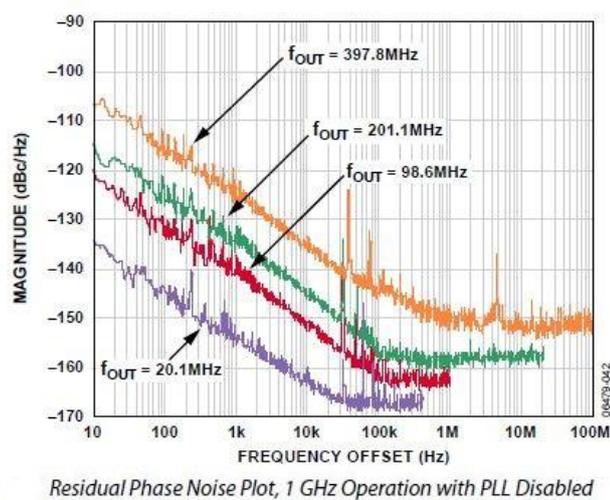


图 2-3 AD9910 残留相位噪声

时钟抖动 (Jitter)

下图说明了时钟抖动的概念。图中的黑线为理想的时钟信号。该理想时钟的上升沿和下降沿是瞬间变化的，并且上升沿和下降沿的发生时刻是严格由信号周期决定的。那么，什么是时间抖动呢？时间抖动是时钟信号质量的一个度量，比如这一页的方波信号，实际信号的上升沿和下降沿的发生时刻与理想发生时刻有一个偏差，实际信号用红色标出，实际信号的边沿发生在不同的时刻，也就是说，时钟抖动使周期变得不均匀。

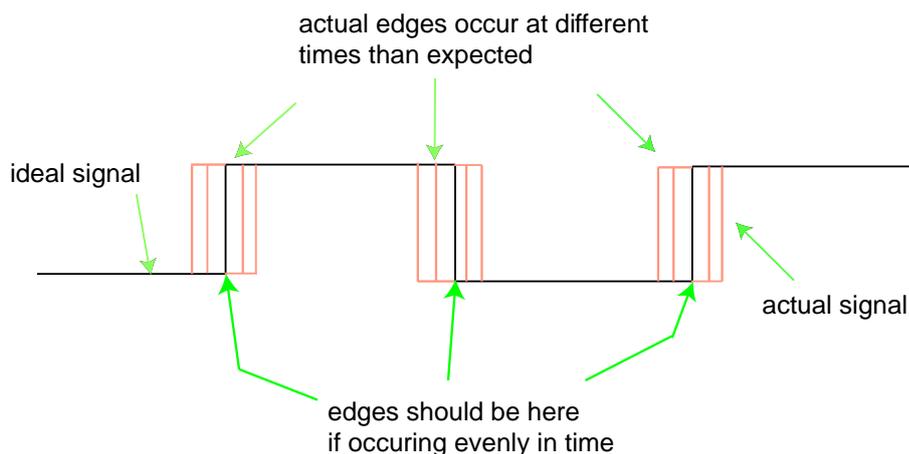


图 2-4 时钟抖动

Chirp

Chirp 模式也叫做脉冲调制。包括线性调频扫描模式和非线性调频扫描模式。这是 AD9854 非线性调频的一个示意图，通过 Ramped FSK 模式下，改变频率的斜率（即改变时间步长 ramp rate，和频率步长 delta frequency word）来实现的。

Chirp 信号一般用于雷达领域，实现 chirp 的器件可用 DDS，如 AD9854、AD9910、AD9914、AD9915 等。

Profiles

可以允许用户预先编程几组输出频率的控制字，然后在这些控制字组中选择，一个 Profile 有一组频率、相位、幅度参数。具有 Profile 的 DDS 有 AD9914，AD9910，AD9954 等。

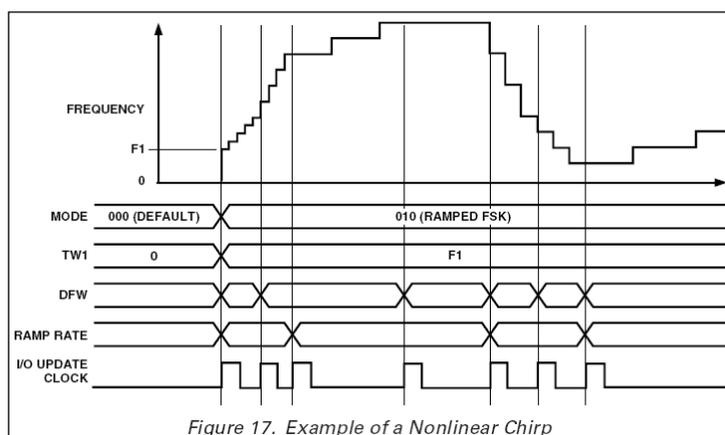


Figure 17. Example of a Nonlinear Chirp

图 2-5 AD9854 非线性调频示意图

第3章 常见应用问题解答

下面按顺序对 FAQ 进行详细的叙述。其中标题为问题的叙述，标题以下的正文为问题的详细解答。

3.1 DDS 有没有仿真工具？

专门用于 DDS 仿真的在线工具 ADIsimDDS，可以对选择的 DDS 进行参考频率设置，所需输出频率，计算实际频率和频率控制字，可得出时域波形和频谱特性，频率包括了谐波、各种杂散的位置和大小，也可设置输出滤波器的阶数和带宽观察杂散被抑制的情况。

仿真工具的位置：<http://designtools.analog.com/dtDDSWeb/dtDDSMMain.aspx>

3.2 DDS 没有输出，怎么办？

请先在管脚位置测量电源电压大小，控制信号电压，时钟电平是否正确，电压幅度是否在数据手册的范围内，尤其是 RESET，POWER DOWN 等管脚的逻辑状态。如果一切正常，请做如下检查。

1. 如果芯片有 SYNC_OUT 或 SYNC_CLK 信号输出管脚，请测量此管脚的信号。看其输出频率是否正确，如果此管脚输出异常，请重复仔细检查硬件连接，电源和时钟输入。
2. 如果 SYNC_OUT 或 SYNC_CLK 正常，请检查寄存器的读写时序，这包括控制信号和数据信号的电平是否正确。判断寄存器读写是否正确的方法包括，可以改变内部锁相环的倍频系数，然后观察 SYNC_OUT 或 SYNC_CLK 管脚的输出频率变化。另外的方法是在写完寄存器以后再读出寄存器的值，检查是否写入的寄存器值和读出的值相同。如果读写寄存器存在问题，请使用逻辑分析仪检查时序。
3. 检查寄存器的值是否配置正确，这可以使用 ADI 网站上各个芯片的评估板软件或者相关芯片的网上在线设计工具来帮助您设计计算寄存器的值。
4. 这里需要提到的是很多常见的硬件连接的问题是 DDS 输出管脚的接法。大部分的 DDS 的输出都是差分电流输出，所以请特别注意 DDS 的输出连接。
 - 1) 请注意有些 DDS 的 IOUT 和/IOUT 输出需要接电阻到地，但是有一些需要接电阻到 AVDD。请参考芯片的数据手册和评估板原理图。
 - 2) IOUT 和/IOUT 的端接电阻的大小要满足满量程电流在电阻上建立的电压小于数据手册上的 **Voltage Compliance Range**。
 - 3) IOUT 和/IOUT 的端接阻抗要相同，不能将其中一个悬空。请参考评估板的接法。

3.3 哪些 DDS 能直接用晶体提供时钟，哪些不能？

一些 DDS 能够直接接晶体，而有些不能，985X, 983X 系列不能使用晶体，最新系列 995X 都可以使用晶体。

3.4 Update 更新信号如何控制？

通常写入 DDS 芯片的控制字会先暂存在 Buffer 中，当 Update 信号产生后，Buffer 中的内容被送到真正的寄存器中。Update 信号由用户控制产生（Update 管脚为输入），有些 DDS 芯片的 Update 信号也可以自动产生（写入一个控制字后芯片自动生成更新信号，Update 管脚为输出），比如 AD9852/4, AD9910。

3.5 DDS 的扫频功能如何实现？

很多 DDS 有线性扫频模式，最关键的寄存器一般有两个，一个控制每次扫频的频率间隔，一个控制多久的时间跳一次频。以 AD9858 为例。首先要编程 DFRRW (跳变率寄存器 The delta frequency ramp rate word)，它的功能类似一个倒数计数器，每 8 个主频周期，就会减 1，减到 0 则会进行一次跳频。在扫频之前，还要写入改变频率控制字 DFRTW (The delta frequency tuning word)，这是每次跳频输出频率改变的大小。用户还必须计算出起始频率到最终频率的时间，并对 DFRRW 的寄存器写入 0，则会停止扫频。具体详细的公式请参考 AD9858 数据手册 19 页。

再以 AD9956 为例，需要编程两个输出频率，FTW1，和 FTW2，同时还有一个管脚 P0 来控制扫频方向。扫频模式受 4 个寄存器控制，第一个是 RDFTW 寄存器(Rising Delta Frequency Tuning Word 上升频率控制字)，存储的数值是每次扫频跳动的频宽。比如 RDFTW 选择 1MHz，那么扫频的分辨率就是 1MHz。第二个是 RSRR 寄存器 (Raising Sweep Ramp Rate 上升扫频速率)，它其实是一个计数器，用来数 SYNC_CLK，每次计数到 0 的时候，就会跳一次频，输出频率增加 RDFTW，或者减少 FDFTW。更详细的扫频工作模式说明请参考 AD9854 或 AD9954 的数据手册。RDFTW/FDFTW 计算方式跟 FTW 计算方法一样，跳频大小= REFCLK×RDFTW/2^N (N 为 RDFTW 的位数) 而每次跳频的间隔时间为 SYNC_CLK* RSRR/FSRR。不同片子的具体详细的控制方法，请参看具体片子的数据手册。

3.6 DDS 输出级滤波器如何设计？

关于无源滤波器的设计，建议采用 ADS, Designer 等仿真软件进行仿真。

或者登录页面：<http://www.microwaves101.com/content/downloads.cfm> 下载滤波器设计工具 Download Vlad's filter calculator (申明：该工具与本公司无任何关联)

3.7 DDS 发烫，是否正常？

首先，您可以通过数据手册中的供电电压，工作时候的工作电流算出功率损耗，然后再通过数据手册给出的参数，可以算出芯片工作时的理论温度。以 AD9850 为例，可以看到工作在 125MHz 的时候，系统功耗最大为 480mW。

P_{DISS} @					
62.5 MHz Clock, 3.3 V Supply	Full	VI	100	160	mW
110 MHz Clock, 3.3 V Supply	Full	VI	155	200	mW
62.5 MHz Clock, 5 V Supply	Full	VI	220	320	mW
125 MHz Clock, 5 V Supply	Full	VI	380	480	mW

同时，可以看到这个片子的热阻参数如下，

SSOP θ_{JA} Thermal Impedance 82°C/W

θ_{JA} 是指芯片内部和外部空气的温度差， θ_{Jc} 是芯片封装和外部的温度差。如果片子没有给出 θ_{Jc}

的参数，可以大致用 $1/2 \theta_{JA}$ 来估算（一般情况小于 $1/2 \theta_{JA}$ ）。那么可以得出片子工作时候的外部封装的温度大约要高出周围温度 $82 / 2 \times 0.48W = 19.68$ 度，所以，假设环境温度为 25 度，那么片子在 45 度到 50 度都是很正常的。如果片子的温度高于计算值，请测量流过供电管脚的电流，如果发现流过电流过大，请检查是否板子上有短路。

有些底部有金属散热片的片子（比如 AD9858），要求把芯片底部的金属片焊接在 PCB 的焊盘上，并且 PCB 的此焊盘要与 GND 网络连接，这样，芯片能够依靠 PCB 大面积的 GND 来进行散热。具体的 PCB 封装的设计方法，可以在数据手册中找到，如 AD9854 的数据手册。

3.8 DDS 对输入时钟有什么要求？

一般数据手册都会给出具体的要求，下面仅以 AD9956 为例。首先是系统频率，有些片子会有倍频器或者分频器。倍频和分频最后的结果不能超过片子能够支持的最高主频，AD9956 为 400MHz。同时，输入时钟的功率 -10~+4dBm 和电压范围也有要求。最后要注意的就是，输入阻抗，输入等效电容等。请注意，DDS 正常工作的前提是，输入时钟满足 DDS 的要求，所以请先明确输入的时钟是否正确。

RF DIVIDER (REFCLK) INPUT SECTION (+R)			
RF Divider Input Range	1	2700	MHz
Input Capacitance (DC)		3	pF
Input Impedance (DC)		1500	Ω
Input Duty Cycle	42	50	%
Input Power/Sensitivity	-10	+4	dBm
Input Voltage Level	350	1000	mV p-p

DDS SYSCLK not to exceed 400 MSPS
Single-ended, into a 50 Ω load!

3.9 AD9910 的时钟输入需要注意什么？

AD9910 是一款功能强大的 DDS 芯片，这也体现在系统时钟的产生上，有两种接法：

外部接晶体（下图中蓝线）。此时必须使能内部的锁相环，否则晶体无法振荡。这种配置下，需要将 XTAL_SEL 管脚接高，同时将 CFR3<8>置 1 使能 PLL，倍频系数由 CFR3<7:1>决定，由于内部有 6 个可配置的 VCO 的范围，所以 VCO 的范围需要进行选择，由 CFR3<26:24>决定。

外部接有源晶振。此时须将 XTAL_SEL 接低，锁相环可以使能，也可不使能。使能时（下图中紫色线），与 1 类似；不使能时（下图中红线），需要配置 CFR3<14>和 CFR3<15>。

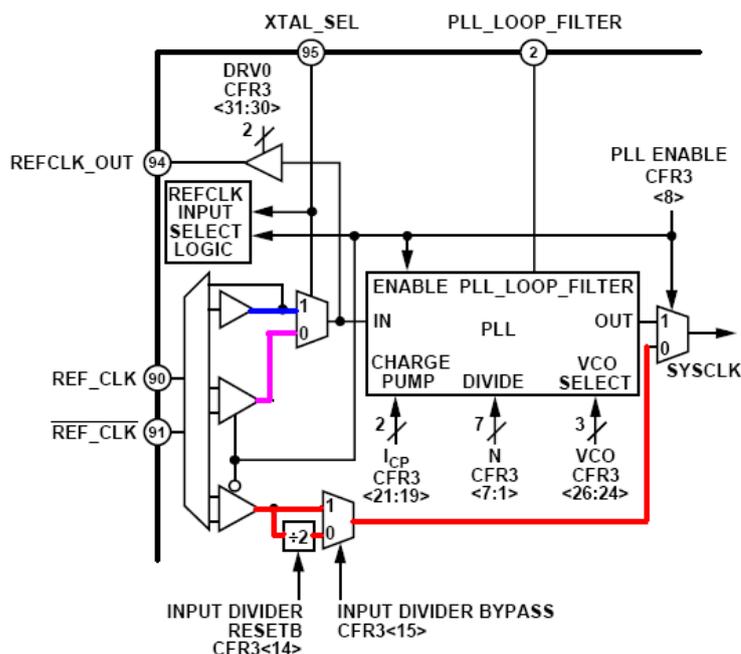


图 3-1 AD9910 时钟结构

3.10 如何配置 AD9910 的 RAM 模式？

- 1) 给 AD9910 加电，并加上 REF_CLK；
- 2) 给 MASTER_RESET 发一个脉冲将器件的寄存器重启到默认值，这时 RAM Enable is

disabled;

- 3) 对 0x02 寄存器配置数据得到想要的时钟;
- 4) 对 profile 0 寄存器 0x0E 写数据, 将起始地址和终止地址包含所有要用到的范围 (包括会用到 profile1,2 的地址), 相应的外部引脚 Pin54~52 置低电平, 发 I/O_UPDATE;
- 5) 将数据写入 RAM register 0x16, 32bits 的数据个数由 4) 中决定, 全部写完后发 I/O_UPDATE, 至此, 便完成了 RAM loaded;
- 6) 发数据到 profile, 对其进行起始终止步进时间进行设置, 如 profile0,1, 对应地址 0x0E, 0x0F;
- 7) 发数据到 0x00, 使 RAM enabled, 配置 RAM destination bits, 或其他想要的设置;
- 8) 发送 I/O_UPDATE;

3.11 想用 AD9910 输出带宽为 110MHz 的信号, 用哪个频段的输出 SFDR 性能更好?

仅仅从器件手册图 6 中宽带 SFDR 可以看到低频段这一性能更优。但是客户担心这个测试有没有包括谐波? 比如说 10MHz 的谐波可能很大, 但是其他杂散可能比较小, 这个谐波还是影响了客户目标频段的杂散。这个担忧是没有必要的, 下面是测试结果。输出频率是 10MHz, 后面的低通滤波器是 400MHz 的带宽, SFDR 可到-70dBc 以下。因此, 不需担心谐波, 低频段输出的 SFDR 性能更优。

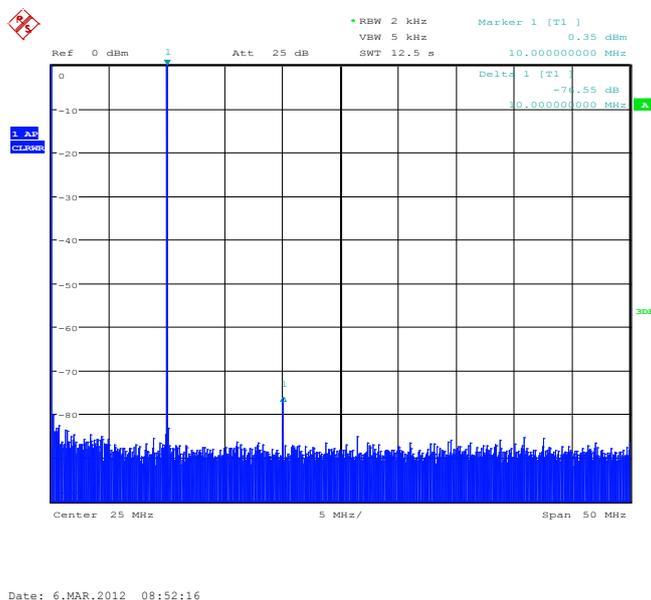


图 3-2 AD9910 时钟结构

3.12 DDS 时钟输入，DAC 输出能否使用单端模式？电路该如何接？

DDS 的时钟输入可以使用单端模式，只要输入电压范围满足时钟要求。关于单端模式下不使用的时钟互补管脚的连接方法请参考具体片子的数据手册。通常为了得到更好的性能，推荐使用变压器把单端时钟转换为差分信号再输入到 DDS 芯片。下图为 AD9910 的单端和差分输入示意图：

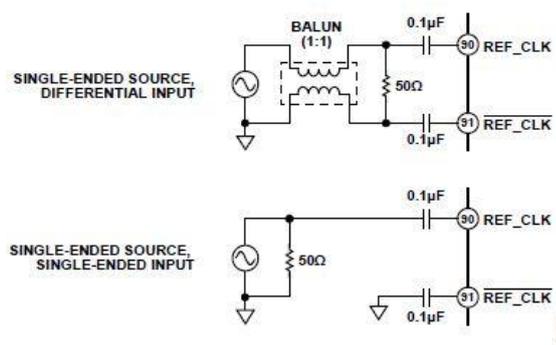


图 3-3 AD9910 参考时钟输入

如果要 DAC 单端输出，您可以只用 DAC 的一端输出，但是注意，另一管脚不能悬空。（根据数据手册说明，可以通过电阻接地或者接 AVDD。）通常为了得到更好的性能，推荐使用变压器或者巴伦完成差分转单端的功能。

3.13 DDS 评估板上分别有 2 个变压器或 2 个巴伦（Balun）

有什么用处？

用来完成 DAC 输出差分转单端的工作，而且还可以进行阻抗匹配，2 个串联的变压器或者巴伦能够提高其工作的平衡性。其中，低频中频使用变压器，高频时候一般使用巴伦，具体请参考该巴伦或变压器的数据手册。如果实际使用中不需要，也可以跳过不接。

3.14 DDS 评估板上端接电阻为 50 欧，为何变压器的参数是在 75 欧标定的？

在 ADI 的大多数 DDS 评估板上，我们都用到了 ADT1-1WT，该变压器资料中的各项参数都是在匹配 75 欧姆电阻时测得的，所以能保证与 75 欧姆电阻连接时性能最佳。如果该变压器用于 50 欧姆系统中，则变压器的频带可能会有变化，但变化不大，所以如果

DDS 输出的频率处于变压器中心频率附近，则对 DDS 的输出不会有任何影响。与大多数在 50 欧姆标定的变压器相比，ADT1-1WT 的带宽更宽。

3.15 ADT1-1WT 的原副边是否可以互换使用？

如下图左边为 ADT1-1WT 的定义，副边有中间的抽头，而原边没有，中间的抽头通常用于在输出上增加一个偏置电压。右边为 AD9910EVB 中该变压器的使用，电路中，ADT1-1WT 的副边接到 DDS 的输出，这是因为我们需要在 DDS 输出进行偏置，对于 1:1 的变压器而言，原副边互换性能是一样的。

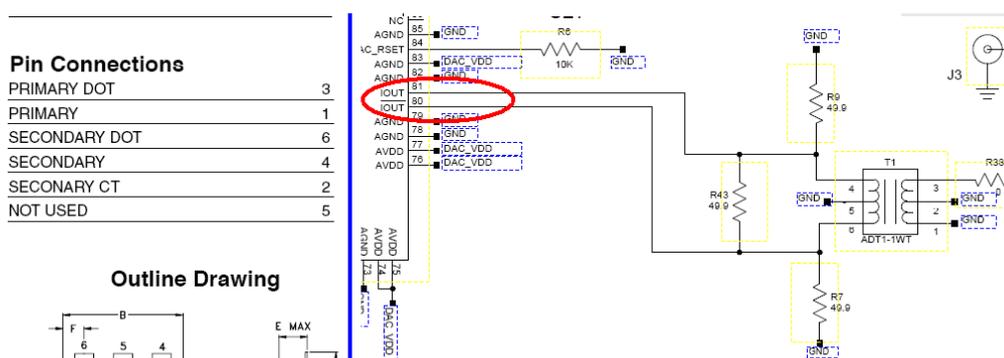


图 3-4 AD9910 输出电路

3.16 如何同步多片 AD9910 芯片的输出？

关于 AD9910 的同步，请参考 CN-0121。

3.17 DDS 输出端 DAC 为电流输出，怎么转换为电压，有什么限制？

对于 AD995X 系列，DAC 输出管脚必须通过一个串联电阻和 AVDD 连接（如果使用变压器，则变压器的中心抽头应该接 AVDD），并且要注意到输出管脚的电压范围，以 AD9954 为例，它的 DAC 输出范围（Voltage Compliance Range）为 $(AVDD - 0.5V)$ 到 $(AVDD + 0.5V)$ ，所以 DAC 的输出最大电流乘以串接到 AVDD 的电阻的值不应该超过 0.5V。对于 AD985X 和 983X，DAC 的输出是通过电阻接 GND 的，同样也有电压范围的要求，请参照数据手册中 Voltage Compliance Range 的值，或者参考评估板电路。将电流转换成电压的计算分析请参考应用文档 AN-912。

3.18 DDS 的 AGND, DGND 应该怎样连接, 接模拟地还是数字地?

模拟地和数字地是否分开, 需要权衡数字地上的干扰是否严重地影响了模拟地, 从而造成模拟信号的噪声和干扰。数字地和模拟地接在一起, 使得信号有更完整的回流路径, 有利于信号完整性。所以, 数字地和模拟地是否要接在一起并不是绝对的。评估板上的电路较简单, 数字部分少地上的干扰少, 因此接在一起。如果您的电路板上, 数字部分较复杂, 且有较高速的数字信号, 则需要分开。

3.19 AD9910 无源晶体不起振?

1. 首先核查电路连接, 包括供电接地等是否正确;
2. 核查无源晶振所需的电容大小;
3. XTAL_SEL 引脚是否接到了 1.8V;
4. 相应的寄存器设置是否正确, 寄存器的值可借助评估软件得出;

AD9910 评估版软件下载链接: <http://www.analog.com/en/rfif-components/direct-digital-synthesis-dds/ad9910/products/EVAL-AD9910/eb.html>

评估软件安装后设置所需的功能, 就能得到相应的寄存器值

5. 特别是 PLL 的设置, 还有环路滤波器的大小;
6. 通过 SYNC_CLK 引脚核查您所设置的系统时钟是否正确, 这个引脚是系统时钟的四分之一分频;
7. 如果实在没有出来时钟信号, 建议先使用有源时钟 25MHz 做参考源, 调试出正确的系统时钟频率后, 再使用相同的设置相同的电路试一试晶体 (仅仅改变 XTAL_SEL 引脚电平)。

3.20 如何确定 DDS 寄存器的值?

请您参考 DDS 的评估板软件, 里面可以便捷的设置 DDS 的寄存器的值, 而且寄存器的值还可以存为文件, 可以直接把文件的值读入 DDS 寄存器的值。

3.21 用 AD9834 输出的正弦波去驱动片上的比较器, 如何减小比较器输出方波的抖动?

通常为了达到较好的抖动性能, 可将正弦波连接 5 阶椭圆滤波器后再接入 AD9834 的 Vin, 可以减小输出抖动。下面的例子中, 输入的时钟 MCLK 约为 13ns, AD9834 的输出

方波的抖动可约为 600ps。

所需输出为 10MHz, $MCLK = 75MHz$

未经滤波器的正弦波的抖动为 13nS, 通过 40MHz 带宽的 5 阶椭圆滤波器后 AD9834 的输出抖动减小到约为 600ps

3.22 AD9834 等比较器输出的电平是多少?

AD9834 输出方波时是 CMOS 逻辑。最小最大值是 0V 和 DVDD。

3.23 AD9834 如何实现同步, 想要一路三角波和一路方波输出同步?

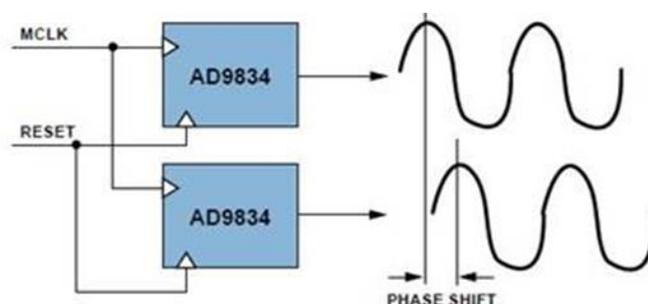


图 3-5 两片 AD9834 同步

如上图所示, 将 AD9834 同步, 一路输出三角波, 两外一路输出方波, 两路的相对相移都可调节。不难实现您所需的同步信号。关于同步请您参考 AN-605。AD9838 和 AD9834 类似。但是, AD9833 和 AD9837 外部没有 reset 引脚, 很难实现两片芯片完全同步, 通过软件改变 reset 寄存器, 可接近同步。

3.24 如何用 DDS 输出占空比可调的方波?

- 1) AD9852 或 AD954 有一个正弦波输出 DAC, 还有一个控制 DAC, 控制 DAC 可以输出直流, 将二者输入到片上的比较器, 可以输出占空比可调的方波, 直流信号作为比较器的门限。
- 2) 用 AD9958 加外部的比较器:

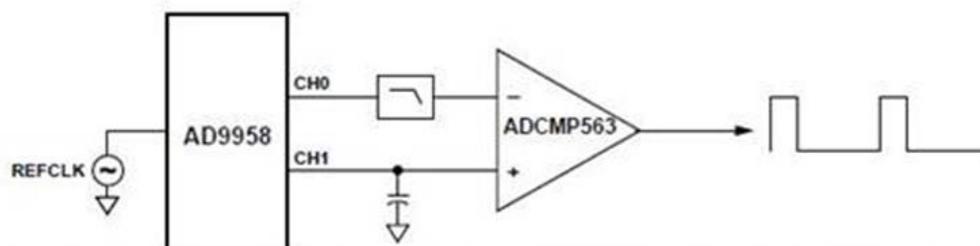


图 3-6 使用 AD9958 产生占空比可调的方波

3.25 哪些 DDS 较容易地实现 BFSK 和 BPSK 调制功能？

AD9834 和 AD9838 内部都有两个频率寄存器和相位寄存器，并且有一个引脚可以选择频率，有一个引脚可以选择相位。这写引脚就可以作为调制数据的输入，实现调制功能。

3.26 AD9833/34/37/38 的输出正弦波的波形都有一个直流的偏移，如何将这一个直流信号去掉？

加电容是一个去直流的方法。但是，如下两幅图所示，左边的图形是所需的波形，右边的图形是加了串联电容后的信号，显然简单加一个交流耦合的电容是不可取的。可加一个 RC 高通滤波器。

也可以考虑使用运放调节直流电平，参考 AN-581。

http://www.analog.com/static/imported-files/application_notes/AN-581.pdf

如果要精确的偏移直流电平，参考 AN-1107。

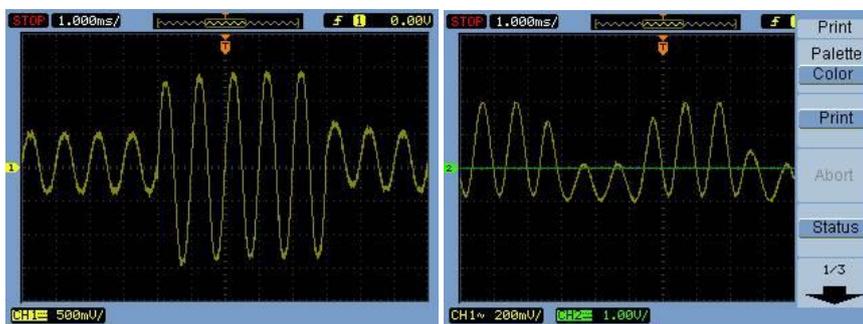


图 3-7 AD983x 输出信号中带直流偏置

3.27 关于 AD9833/34/37/38，请推荐几个可驱动 MCLK 的晶振？

AD9833 器件手册第 21 页对晶振的生产厂家进行了描述和推荐：

AEL 301-Series oscillators, AEL Crystals SG-310SCN oscillators, Epson Electronics

3.28 AD9833 的回流焊温度究竟是多少，手册上 (Rev. E) 和产品主页上标示的温度有差异？

表 3-1 AD9833 产品主页参数

Remove	ADI Part Number	Family	PACKAGE TYPE	Lead Count	Body Size	Plating or Solder Sphere Finish	Tin/Lead Percentage	High Temp Compatible	MSL Rating	Peak Reflow Temperature (°C)	RoHS Compatible	Component Weight (milligrams)	Lead (P CAS# 7439-92 MCV 1000ppm (ppm))
<input type="checkbox"/>	AD9833	AD9833BRM-REEL7	MINI_SO	10	N/A	Contains Pb	Sn85% Pb15%	No	1	240	N	28.3	1685
<input type="checkbox"/>	AD9833	AD9833BRMZ-REEL7	MINI_SO	10	N/A	Matte Sn	100% Sn	Yes	1	260	Y	25.3	Not Detecte

而在器件手册 Table3 中回流焊峰值温度为 220 度。

以产品主页中的数据为准。器件手册上的 220 度是旧的标准。

3.29 DDS 除了正弦波，还能产生别的波形么？

DDS 的输出波形取决于 DDS 内部的相位到幅度的变换表。通常该表为正弦表，所以输出波形为正弦波，如果为三角表，那么 DDS 的输出就可以为三角波。请参考 AD9833 的数据手册。方波信号可以通过比较器对正弦波信号整形得到。

AD9910 内部有 RAM，还能产生锯齿波，三角波等。

3.30 用 DDS 有什么好处？

频率分辨率高。

跳频速度高。

相位连续。

3.31 ADI 的 DDS 捷变频能力为多少？

即从频率 1 改变到频率 2 所花的最短的时间。一般由接口决定，控制寄存器的数值改变所需要的时间，就是频率改变的最快速度。为了加快这个速度，有的 DDS 采用并口通信，有的 DDS 则引入了预编程寄存器，可以预先编程，可以使频率的转换更加快捷。AD9910 的 RAM 和 DRG 也可以实现频率快速变化，在 1GHz 系统时钟下，变频时间只需 4ns。

3.32 如何使用 DDS 进行幅度调制？

对于 AD9852/4/9，AD9910/54/58/59，这些芯片内部有“amplitude scale factor”，可以通过改变“amplitude scale factor”的值来控制输出幅度。若芯片内部没有此寄存器，则可以通过改变 DAC 输出的电流来实现调幅。

有两种方法，一种是通过调节 Rset 电阻的端接电压来调整 DAC 输出的电流值来实现调幅，具体可参考 <http://www.edn.com/article/CA46103.htm>；另一种是通过改变 Rset 的电阻值来调幅，请参考应用笔记 AN-423。

AD9834/38 的输出幅度调节可参考 CN-0156: Amplitude Control Circuit for AD9834 Waveform Generator

如果您需要自动调节输出幅度，您也可以采用 AGC 环路控制，用 VGA+功率检波器实现，例如 AD8367+AD8361+AD820，详见 AD8367 的器件手册。

3.33 如何用 AD5930 来产生一个单频信号？

AD5930 是一款可编程的扫频信号发生器。如果需要产生单频信号，则可以把步进频率，步进点数和每个频点上停留的时间三个参数都置为 0。

3.34 为什么 DDS 输出的幅度会随频率的增加而减小？

如图所示，由于 DAC 的输出是阶梯状的波形，在频域上表示为 Sinc 效应，即随着频率的增加幅度下降。在一些 DDS 产品中，反 Sinc 滤波器可以减轻这种作用的影响，比如 AD9852/4，AD9957 等。

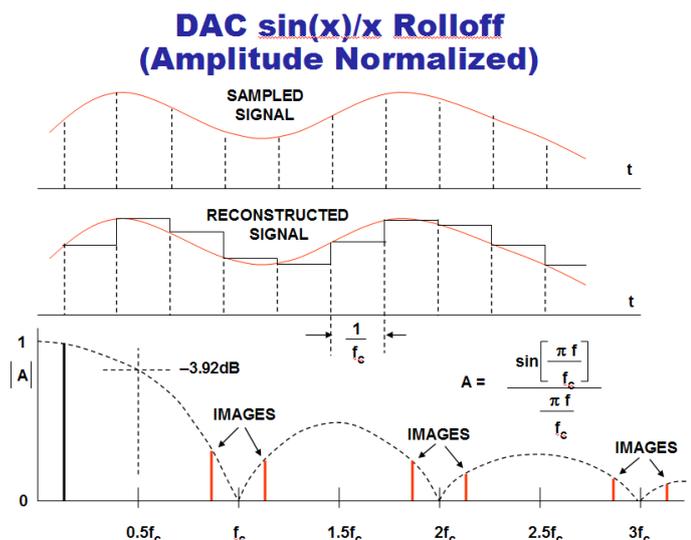


图 3-8 DAC 输出的 SINC 响应

3.35 DDS 输出电压的幅度如何计算？

一般地，DDS 芯片可以通过改变 Rset 电阻的值来调整 DAC 输出电流的大小，那么 DAC 输出的电压就为电流与端接电阻的乘积。并且在 DAC 的输出会用变压器将差分的输出转换为单端的输出，我们的应用笔记 AN-912 详细描述了当使用变压器时电压幅度是如何计算的。

3.36 输出杂散较大，怎么办？

下面将给出引入杂散的几个可能情况，如果杂散比较大，可以逐次检查杂散可能的来源。比如使用较高的系统主频，判断是否杂散来自 DAC 输出。也可以试着使用倍频功能，如果杂散同时被放大，则来自参考时钟，也可以试着改变调频码，如果杂散与基频距离不变，那么也很有可能来自参考时钟。同时也应该检查板上其他数字时钟的频率，还有周围环境的频率，都可能成为 DDS 输出杂散的来源。

3.37 DDS 输出杂散分布

我们已经知道 DDS 是一个分频器，在提供一个系统主频的情况下，能够输出低于系统主频，分辨率为 2^N 的正弦波。即，每一个主频周期，DAC 都会输出一个点，而 $2^N / M$ 个点形成输出频率的一个周期。这就相当于以系统时钟的频率对输出时钟进行采样，根据奈奎斯特定律，这就是为什么输出频率要低于系统时钟的 40% 的原因。

下图为 DDS 在 300M 主频，输出 80M 频率时的频谱。

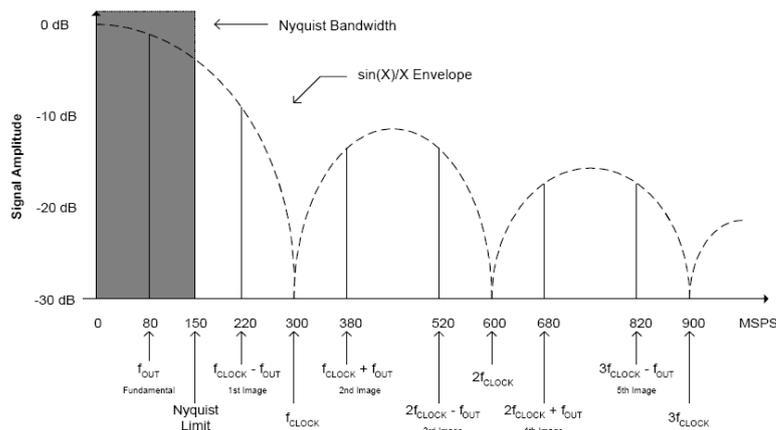


图 3-9 300M 主频, 80M 输出 DDS 频谱

上图是理想情况下的 DDS 输出频谱，实际的 DDS 的输出还会有更多杂散，在下图可以看到，实际的频谱会有各种各样的杂散，我们随后会分析杂散的来源。

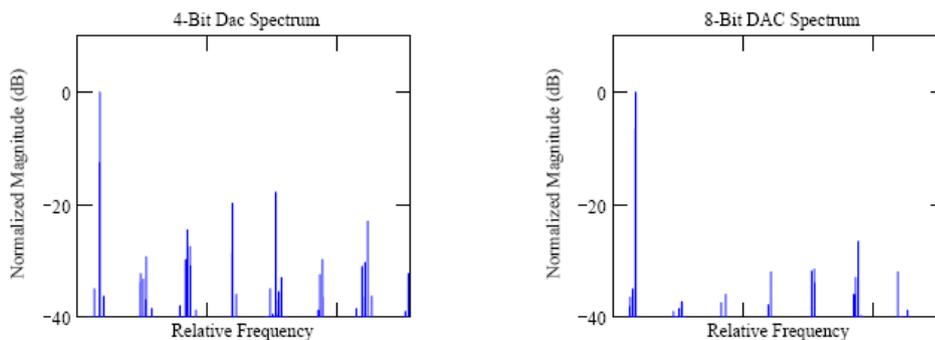


图 3-10 DDS 输出可能的杂谱

输出杂散的来源主要来自以下六点：

1. 参考时钟引入的噪声（REF CLOCK SPURS / NOISE）

参考时钟引入的噪声相对来说比较容易发现，它有三个特点，

第一，输入时钟的杂散会以同样的频偏出现在输出。如下图输入的时钟 400MHz，经过 100KHz 的调制，不管 DDS 的调频码为多少，输出在频偏 100KHz 的位置上，都会有杂散。

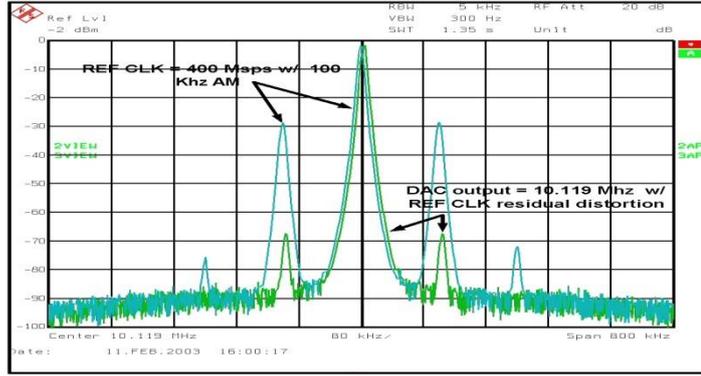


图 3-11 参考时钟带来的杂散

第二，输入时钟的杂散在输出的相噪会随着调频码的变小而减小。如下图，可以看到，参考时钟相同的情况下（300MHz），输出 80MHz 和 5MHz 时相噪不同，他们的差别是 $20 \log(80M/5M) = 24 \text{ dB}$ （在较高频偏处，因为受到了噪底的影响，所以差别小于 24dB）

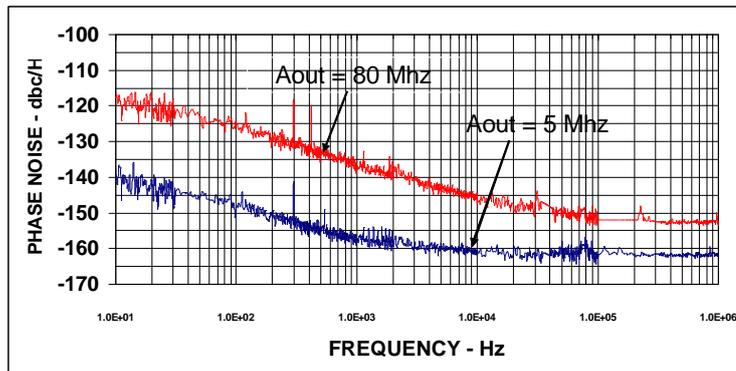


图 3-12 输出相噪和输出频率之间的关系

第三，输入时钟的杂散会被倍频功能而放大。

ADI 的大多数 DDS 都集成了参考时钟倍频器，即锁相环，如果使用了 PLL，参考时钟源中的任何噪声或者杂散都将在 PLL 环路带宽内以 $20 \log(x)$ 关系被放大。x 指 PLL 的频率放大倍数。如下图，当参考时钟倍频从 $5x$ 变为 $20x$ 时，因参考引入的杂散也按照 $20 \log(x)$ 的关系被放大了。

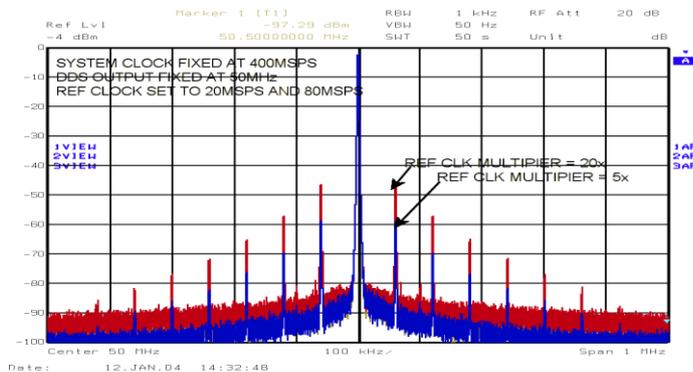


图 3-13 输出相噪和输出频率之间的关系

2. 相位截短杂散 (PHASE TRUNCATION SPURS)

相位截短杂散也是可以计算出来的，可以从调频码，相位截断保留的位数和参考时钟频率，算出相位截短引入的杂散，下图是 32 位的相位累加器，舍弃了后 18 位，保留了前 14 位的示意图。

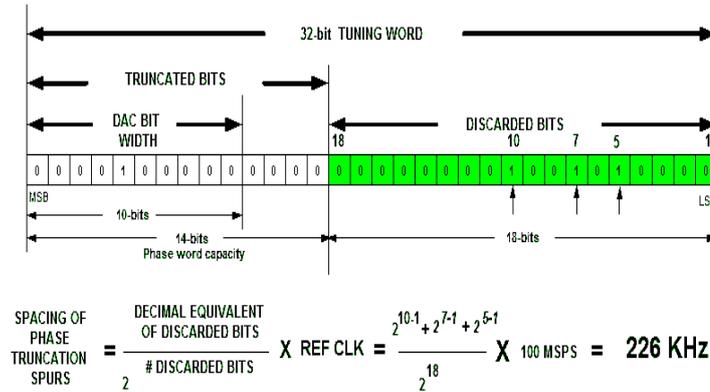


图 3-14 相位截短杂散

下图是上例的输出频谱图，输出频率旁边 226KHz 的杂散在预料之中，这个杂散的幅度也是可以计算出来的，最坏情况为 $-6 \times N$ dB。N 为相位截短保留的位数，本例为 14，所以可以看到，杂散的幅度大概为 $-6 \times 14 = -84$ dB。

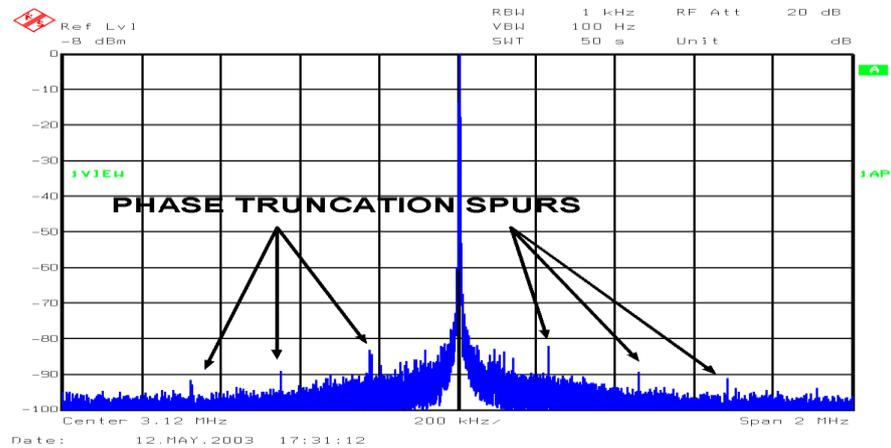


图 3-15 相位截短杂散

3. 相位幅度转换杂散 (PHASE-to-AMPLITUDE SPURS)

下图是相位幅度转换的示意图，为了易于理解，这里使用的是 3Bits 的 DAC 和 6Bits 的相位累加器，图中的红色曲线，就是相位幅度转换引入的误差，也是引入杂散的原因。相位幅度转换也是可以计算出来的，一般比 DAC 的输出量化噪声低 10 个 dB，所以并不是杂散最主要的因素。值得提出和注意的是，如果 DDS 驱动一个锁相环 (PLL)，并且相位幅度转换杂散在锁相环的带内，那么这个杂散会被按比例放大，可能会成为输出时钟的一个重要的杂散来源。

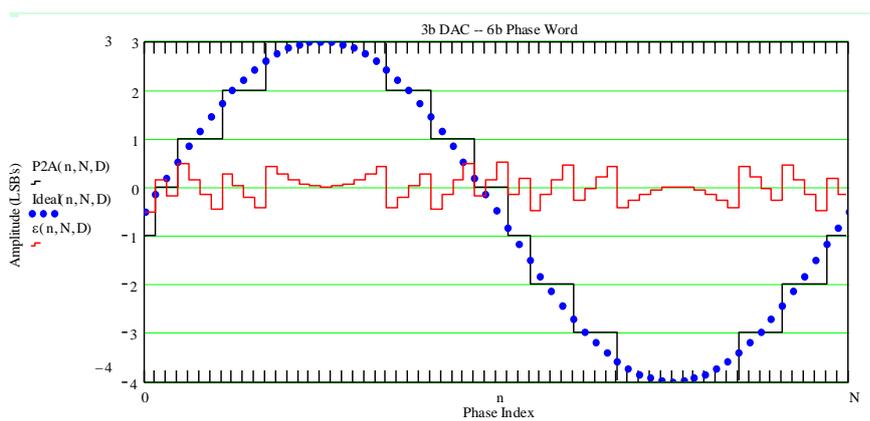


图 3-16 幅相转换杂散

4. DAC 输出导致的杂散 (DAC HARMONIC SPURS)

DAC 非线性误差和非理想开关特性是造成最大杂散的原因，二者都会产生谐波失真。大部分的谐波失真能量都集中在基频的低次谐波上，主要是 2 次和 3 次。DAC 通常是造成 DDS 输出中最大杂散的因素。得到最大的 SFDR 的关键是，找到参考时钟频率和输出频率之间的最佳关系。下面两图会跟大家举例说明。

对于下图，我们使用的是 100MHz 的参考频率我们发现杂散很大，主要是输出频率的奇次谐波。基频的奇次谐波混叠到第一奈奎斯特区内并且靠近基频。请记住，DDS 输出的最大杂散是基频的低次谐波。一旦它们超出了第一奈奎斯特区就会以可以预测的频率混叠回第一奈奎斯特区内。从图中可以看到，这个 DDS 在 4MHz 带宽内的无杂散动态范围 (SFDR) 大概为 -73 dBc，这个性能受到了较低的奇次谐波的限制

- 3rd 谐波 = $100 - 3 \times 25.153\text{M}$ = 24.541MHz
- 5nd 谐波 = $5 \times 25.153\text{M} - 100\text{M}$ = 25.765MHz
- 7nd 谐波 = $7 \times 25.153\text{M}$ = 23.929MHz
- 9nd 谐波 = $9 \times 25.153\text{M} - 2 \times 100\text{M}$ = 26.377MHz

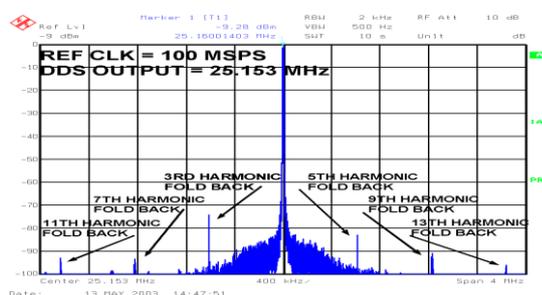


图 3-17 参考频率 100MHz，输出频率 25.153MHz 时的输出的杂散

对于下图，我们使用了 400MHz 的参考频率。从图中可以发现，在第一奈奎斯特区内没有 3 次、5 次和 7 次谐波的混叠频率，因为它们保留在第一奈奎斯特区内而且远离基频；

9 次、11 次和 13 次谐波确实混叠回第一奈奎斯特区内，但在有用带宽 4MHz 之外；而且，返回的偶次谐波也在有用带宽之外。

3 rd 谐波	=3×25.153M	=24.541MHz
5 nd 谐波	=5×25.153M	=125.765MHz
7 nd 谐波	=7×25.153M	=176.071MHz
9 nd 谐波	=9×25.153M-200M	=173.623MHz
11 nd 谐波	=9×25.153M-200M	=173.623MHz

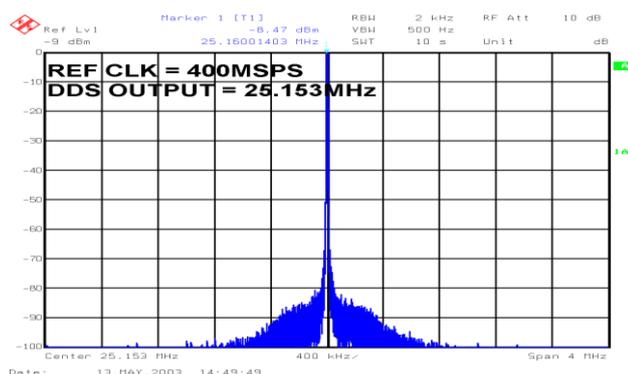


图 3-18 参考频率 400MHz，输出频率 25.153MHz 时的输出的杂散

请注意，这两张频谱图都是未经滤波的 DDS 输出频谱。

5. DDS 内部数字信号引入的杂散 (DIGITAL SWITCHING SPURS)

DDS 内部的数字信号的高摆率能够产生瞬时噪声耦合到 DAC 的输出。但是，这种噪声耦合是不能消除的，同样，来自外部噪声源的耦合也不能消除。它们都会影响 DDS 输出的频谱，但是这些噪声通常可以通过改善 PCB 的布线来解决。如下图，出现的杂散频率恰好与系统 I/O 的更新时钟相同，禁止了 I/O 的更新时钟时，这个杂散就会消失。

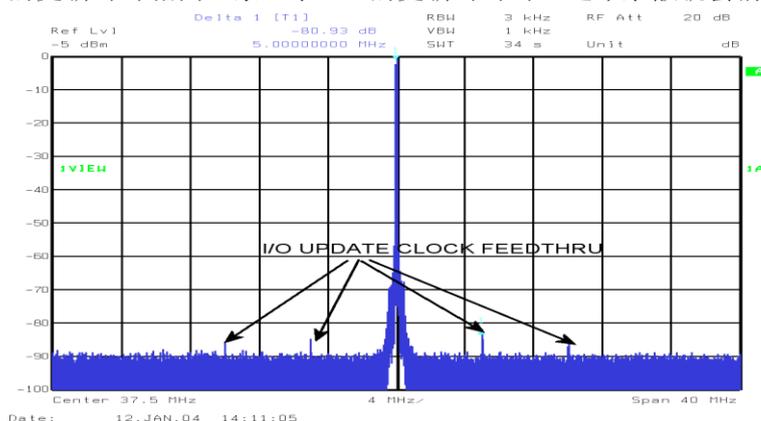


图 3-19 数字信号 Feedthrough

6. PCB 布线不当导致的杂散

不恰当的 PCB 布线也会导致输出相噪性能下降，比如说模拟地，数字地的分割，差分/单端的接入，等等原因，不熟悉布线的读者可以参考各种 DDS 的评估板的布线方式。

3.38 AD5933 和 AD5934 的测量原理?

AD5933 是通过传输函数来推导被测网络的阻抗的。

AD5933 的功能框图如下图所示

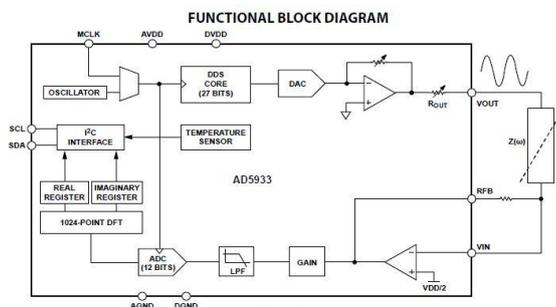


图 3-20 AD5933 的功能框图

AD5933 的被测阻抗与反馈阻抗关系及这部分网络的传输函数推导如下，

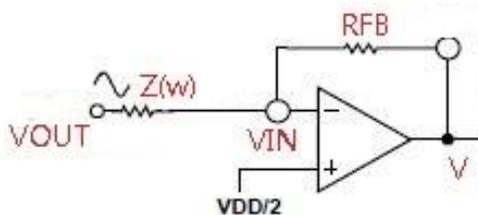


图 3-21 AD5933 被测阻抗和反馈阻抗网络

根据等式

$$\frac{V(\omega)}{RFB} = -\frac{VOUT(\omega)}{Z(\omega)}$$

可得出该网络的传输阻抗为:

$$\frac{V(\omega)}{VOUT(\omega)} = -\frac{RFB}{Z(\omega)}$$

对于 AD5933 的 DDS 输出正弦波信号 $X(\omega)$ ，经过一系列传输网络后再通过 ADC 变成数字信号 $Y(\omega)$ ，在频域上有下面的式子成立，假设 $A(\omega)$ 、 $B(\omega)$ 分别是上述网络信号链前端和信号链后端的传输函数。

$$Y(\omega) = X(\omega) \cdot A(\omega) \cdot \left(-\frac{RFB}{Z(\omega)}\right) \cdot B(\omega)$$

从而，

$$Y(\omega) \cdot Z(\omega) = X(\omega) \cdot A(\omega) \cdot (-RFB) \cdot B(\omega)$$

因此，如果 DDS 的输出信号幅度相同，对于不同的被测阻抗或校准阻抗 $Z(\omega)$ ，与 $Y(\omega)$ 的乘积是一定的。

$$Y(\omega) = \sum_{n=0}^{1023} y[n]e^{-j\omega n} = \sum_{n=0}^{1023} y[n](\cos(n) - j\sin(n))$$

最终，可得出计算 $Z(\omega)$ 的方法，即器件手册“IMPEDANCE CALCULATION”部分的计算方法，阻抗与 DFT 结果的 Magnitude（即上述 $|Y(\omega)|$ ）的乘积是一个定值。

3.39 AD5933 和 AD5934 有什么区别？

下面是 AD5933 和 AD5934 的区别：

1. AD5933 内部有温度传感器，AD5934 没有温度传感器；
2. 激励信号的方程不一样：

AD5933 激励信号方程为

$$\left(\frac{\text{Required Output Start Frequency}}{\left(\frac{MCLK}{4} \right)} \right) \times 2^{27}$$

AD5934 激励信号方程为

$$\left(\frac{\text{Required Output Start Frequency}}{\frac{MCLK}{16}} \right) \times 2^{27}$$

3. 内置的 ADC 的采样率不一样，AD5933 内置 12bits，1MSPS 的 ADC，而 AD5934 内置的 ADC 的采样率为 250 kSPS。

3.40 为什么 AD5933 的 6 号输出引脚输出的信号既有交流信号中包含直流偏置呢？直流偏置信号有什么作用呀？

因为 AD5933 没有供负电，内部 DAC 的输出没有负压，即输出正弦波波动不会到负压，因此激励信号有直流偏置。根据传输函数测阻抗的原理，直流偏置不携带阻抗测量的有用信息，但是在信号链中接口有重要作用（保证信号电压在合适的值）。

3.41 为什么 AD5933 激励信号有四种选择 1.98V，0.97V，383mV，198mV，为什么 PGA 需要编程增益？

如下面所示 AD5933 的部分信号链：

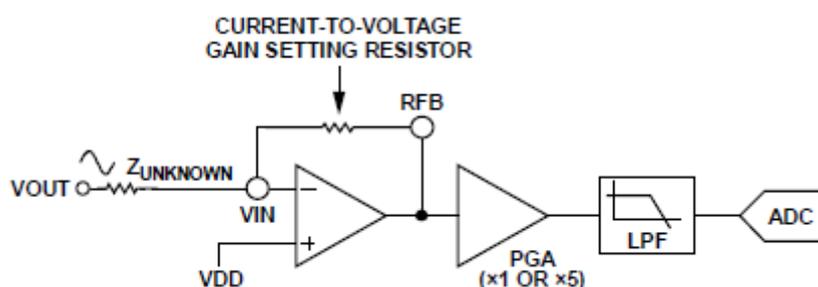


图 3-22 AD5933 部分信号链

这一信号链从 VOUT 到 ADC 前端的信号可由下面的公式表示：

$$\text{激励信号的幅度} \times \frac{\text{反馈电阻 (GAIN SETTING RESISTOR)}}{Z_{\text{UNKNOWN}}} \times \text{PGA 增益}$$

我们知道为了保证信号链的线性，我们需要信号不能在任何一个地方饱和（幅度过大），或信号幅度过小，幅度过大或过小都会导致测量不准。因此，当被测电阻的阻抗比反馈电阻的阻抗小较多时，可以选择较小的信号激励幅度和较小的 PGA 增益，相反，被测电阻的阻抗比反馈电阻大较多时，可以选择最大的信号激励幅度和较大的 PGA 增益。

3.42 如何实现低频激励，数据手册上都是 1~100KHz 的激励频率？

在 AD5933 需要在小于 1KHz 的激励源上分析位置阻抗时（一般是复数阻抗），有必要减小 MCLK 频率，从而减小 ADC 的采样频率，使得 1024 个样本点能覆盖当前激励频率的整数个周期。即，如果激励源频率减小了，而 ADC 的采样率仍然是 1MHz，有可能 1024

个样本点只在激励源一个周期的某一小段。这样就很难进行 DFT 分析了。

激励源频率与 MCLK 的频率之间的对应关系见下表。

表 3-2 低激励源频率与 MCLK 频率对应关系

AD5933 Lower Frequency ¹	Clock Frequency Applied to MCLK Pin ²
100 kHz to 5 kHz	16 MHz
5 kHz to 1 kHz	4 MHz
5 kHz to 300 Hz	2 MHz
300 Hz to 200 Hz	1 MHz
200 Hz to 100 Hz	250 kHz
100 Hz to 30 Hz	100 kHz
30 Hz to 20 Hz	50 kHz
20 Hz to 10 Hz	25 kHz

3.43 数据手册上描述阻抗测量范围是 1k 欧姆到 10M 欧姆，想测小于 1k 欧姆的阻抗，可行吗？

是的，这里所描述的 1k 欧姆到 10M 欧姆是 AD5933 外部不加运放做缓冲器的条件下的测量范围。如果将 500 欧姆以下的阻抗放在 VOUT 和 VIN 之间的话将会导致信号的电流较大，信号输出级将会无法提供所需要的电流驱动。在 VIN 上的电压偏置在 VDD/2 上，增大的电流可能导致输入级的放大器操作在非线性区，这样会导致测量的阻抗有较大的误差。

如果想要测量小阻抗，我们可以在 VOUT 后和 VIN 之前加上运放作为缓冲器。实际的电路可以参考 CN0217，在外部使用了 AD8606，该参考电路也给出了阻抗为 10.3 欧时的测试过程和结果。因此，通过这样的外围电路，我们可以精确测量小至欧姆级的阻抗。

3.44 从 AD5933 评估软件中导出出来的.CSV 文件各项是什么含义，特别是相位那一系列？

下面测试中校准电阻为 22 欧。校准数据中 Impedance 和 Phase 数据都为 0，指的是数据已经被校准了，Real 和 Imaginary 指的是校准电阻在系统中时得到的实部和虚部。而被测阻抗数据表中，Impedance 和 Phase 分别指的是被测阻抗实际的阻抗值和相位值，即测量结果。Real 和 Imaginary 指的是被测阻抗在系统中时得到的实部和虚部。

以下面两个例子分析数据：

1.

校准数据 : Re>0, Im <0

Frequency	Impedance	Phase	Real	Imaginary	Magnitude
37000	0	0	3083	-6181	0

被测阻抗数据 : Re<0, Im <0

Frequency	Impedance	Phase	Real	Imaginary	Magnitude
37000	351	-91	-390	-187	433

$$\text{被测阻抗的 Impedance} = \frac{\text{校准阻抗值} \times \sqrt{(3083)^2 + (-6181)^2}}{\sqrt{(-390)^2 + (-187)^2}} = 351.3$$

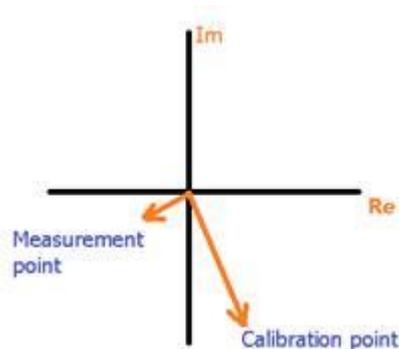


图 3-23 计算复阻抗的相角 (一)

根据数据手册表 7 可以得到校准阻抗在 37kHz 频点处的相角为

$$\text{atand}(-6181/3083) = -63.4906$$

被测阻抗在 37kHz 频点处的相角为

$$180 + \text{atand}(-91/-390) = 205.6171$$

因此, 被测阻抗相角: $205.6171 - (-63.4906) = 269.1077 = -90.8923$

2.

校准数据: Re>0, Im <0

Frequency	Impedance	Phase	Real	Imaginary	Magnitude
39820	0	0	3302	-6056	0

被测阻抗数据: Re>0, Im >0

Frequency	Impedance	Phase	Real	Imaginary	Magnitude
39820	24	63	6337	183	6340

$$\text{被测阻抗的 Impedance} = \frac{\text{校准阻抗值} \times \sqrt{(3302)^2 + (-6056)^2}}{\sqrt{(6337)^2 + (183)^2}} = 23.94$$

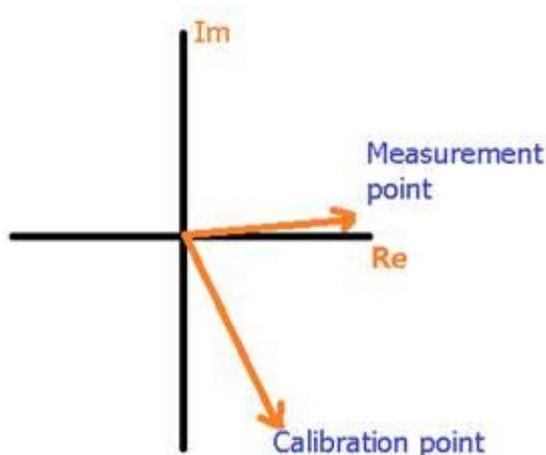


图 3-24 计算复阻抗的相角 (二)

根据数据手册表 7 可以得到校准阻抗在 39.82kHz 频点处的相角为

$$\text{atand}(-6056/3302)=-61.3988$$

被测阻抗在 37kHz 频点处的相角为

$$\text{atand}(183/6337)= 1.6541$$

因此，被测阻抗相角： $1.6541-(-61.3988)= 63.0529$

3.45 为什么我使用 AD5933 的测量精度不高，需要注意哪些方面？

1. 需要精确地测量校准电阻的实际值，例如，如果标称 1000 欧的电阻，实际的阻值可能是 990 欧。如果校准电阻都不准确的话，测量结果肯定会受校准电阻值的影响；
2. 校准电阻和反馈电阻应该尽量与被测电阻在一个量级上。这样做的目的首先是为了保证下面公式（见图 3-22）信号链的线性。

$$\text{激励信号的幅度} \times \frac{\text{反馈电阻 (GAIN SETTING RESISTOR)}}{Z_{\text{UNKNOWN}}} \times \text{PGA 增益}$$

其次，被测电阻与校准电阻的值越接近，测量越准确。表 3-3 的一组测量数据说明了这一点，其中校准电阻和反馈电阻均选择为 99.8 欧姆。

表 3-3 99.8 欧姆的校准电阻和反馈电阻条件测试各阻抗的误差

万用表测试阻值 (Ohm)	用 AD5933 实测的阻值 (Ohm)	误差
120.1	120.1	0%
201.6	201	0.3%

239.7	238.3	0.5%
330.6	328.3	0.6%
499	496	0.6%
805	789	0.7%

3.46 在 AD5933 的测量中，既然被测阻抗和反馈阻抗的阻值与实测阻抗越接近测量越准确，在实际应用中阻抗范围比较宽应该怎么做？

在实验中或在评估中我们可以手动地改变校准电阻和被测电阻，但是在应用中，不可能手动地先测量校准电阻，再取下校准电阻放上被测电阻。因此，在实际中我们可以考虑使用低导通电阻的电子开关，例如 ADG849。开关的导通电阻，以及寄生电容可以在校准的时候去掉，但是选择一个非常低的导通开关也能将误差最小化。在测量宽范围的阻抗时，也可以选择电子开关切换不同的校准电阻。

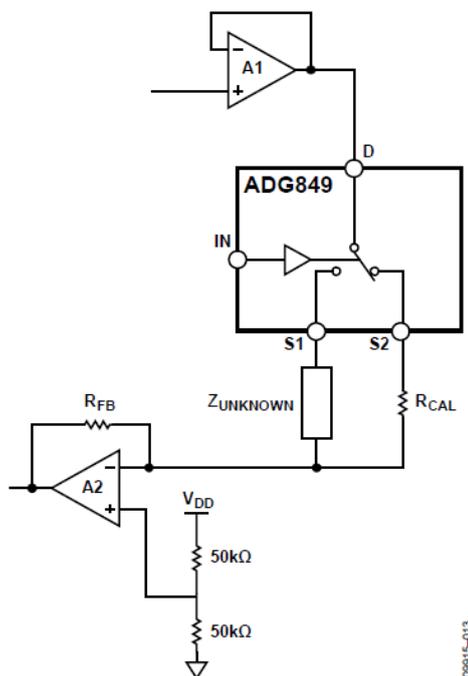


图 3-25 用电子开关自动选择校准电阻和被测电阻

3.47 AD5933 的电容的测量范围是多少？

AD5933 复阻抗测量范围是几欧到 10M 欧。可根据电容的复阻抗 $Z=1/(j\omega C)$ ， $\omega=2\pi f$ ，频率 f 的取值范围一般是 Hz 级到 100kHz，这样就可以推

算 AD5933 电容的测试范围。关于电容测量的例子请参考 AN-1053。

3.48 如何使用 AD5933 测量对地阻抗？

从 AD5933 或 AD5934 的测量原理来看，被测对象通常是一个二端口网络，用输入正弦波和输出正弦波的幅度和相位关系得出这个二端口网络的传输阻抗。但是如果需要测一个对地的阻抗网络，我们可以采用下面取样电阻的方式。AD8220 是一个仪表放大器，将采样电阻两端的电压差单端输出，并且保持输出信号的直流偏置为 $V_{DD}/2$ 。具体的电路分析可以参考 AN-847。

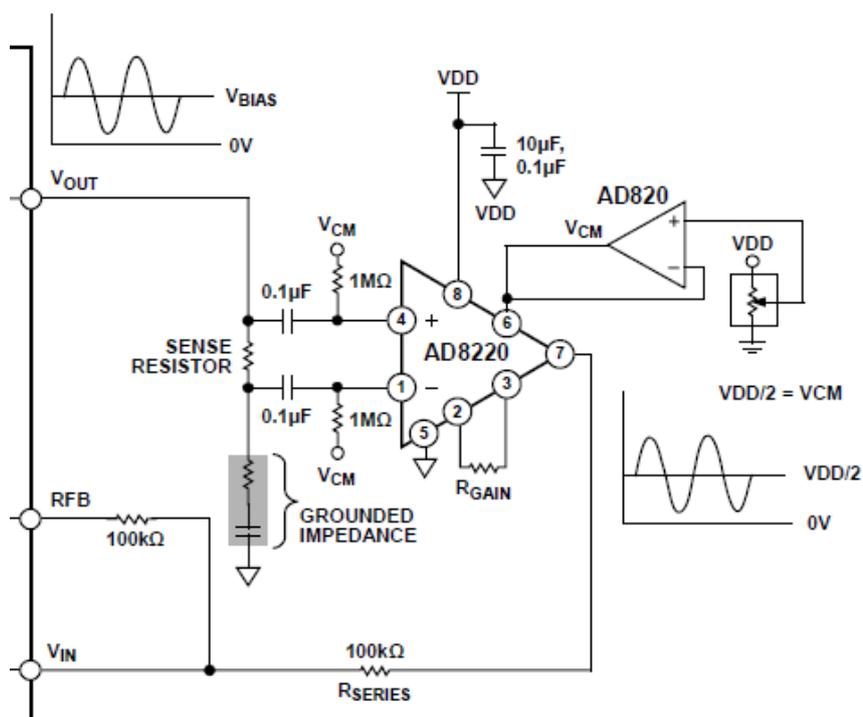


图 3-26 AD5933 测量对地阻抗的测量电路