

主要特性

完整的单芯片旋变数字转换器
 并行和串行12位数据端口
 系统故障检测
 精度： ± 11 弧分
 输入信号范围： $3.15\text{ V p-p} \pm 27\%$
 绝对位置与速度输出
 最大跟踪速率： 1250 rps (12位分辨率)
 增量式编码器仿真： 1024 脉冲/转
 内置可编程正弦波振荡器
 单电源供电： $5.00\text{ V} \pm 5\%$
 额定温度范围： -40°C 至 $+125^{\circ}\text{C}$
 44引脚LQFP
 4 kV ESD保护
 通过汽车应用认证

应用

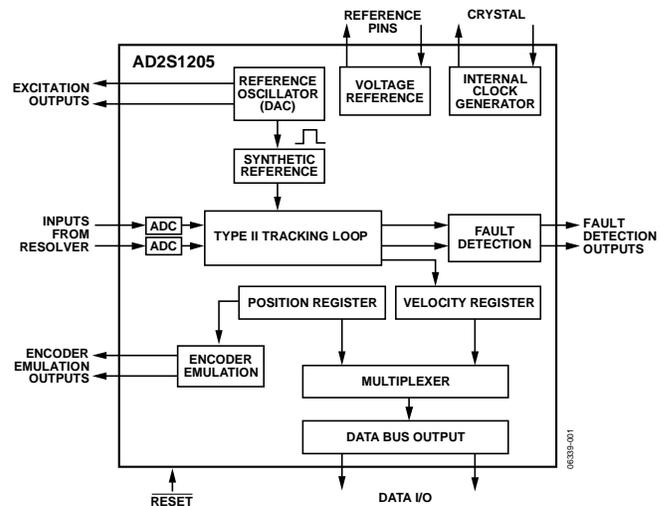
汽车运动检测与控制
 混合动力车
 电动助力转向
 集成的启动发电机/交流发电机
 工业发动机控制
 过程控制

概述

AD2S1205是一款12位分辨率旋变数字转换器，集成片上可编程正弦波振荡器，为旋变器提供正弦波激励。

转换器的正弦和余弦输入端允许 $3.15\text{ V p-p} \pm 27\%$ 输入信号。采用Type II跟踪环路跟踪输入信号，并将正弦和余弦输入端的信息转换为输入角度和速度所对应的数字量。最大跟踪速率取决于外部时钟频率。AD2S1205的工作频率为 $8.192\text{ MHz} \pm 25\%$ ，最大跟踪速率为 1250 rps 。

功能框图



产品聚焦

- 比率跟踪转换。Type II跟踪环路能够连续输出位置数据，且没有转换延迟。它还可以抑制噪声，并提供参考和输入信号的谐波失真容限。
- 系统故障检测。故障检测电路可以检测旋变的信号丢失、超范围输入信号、输入信号失配或位置跟踪丢失。
- 输入信号范围。正弦和余弦输入端支持 $3.15\text{ V p-p} \pm 27\%$ 的差分输入电压。
- 可编程激励频率。利用频率选择引脚(FS1和FS2引脚)，可以轻松地将激励频率设置为 10 kHz 、 12 kHz 、 15 kHz 或 20 kHz 。
- 3种格式位置数据。通过12位并行端口或3线串行接口可以访问12位绝对角位置数据。增量式编码器仿真采用标准A-quad-B格式，并提供方向输出。
- 数字速度输出。通过12位并行端口或3线串行接口可以访问12位带符号的数字量速度。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113 ©2007–2010 Analog Devices, Inc. All rights reserved.

目录

特性	1	片上可编程正弦波振荡器.....	11
应用	1	合成参考生成	11
功能框图	1	PLL电荷泵.....	11
概述	1	转换器的连接	11
产品聚焦	1	时钟需求.....	12
修订历史	2	绝对位置和速度输出	12
技术规格	3	并行接口	12
绝对最大额定值	5	串行接口.....	14
ESD警告.....	5	增量式编码器输出.....	16
引脚配置和功能描述	6	上电时序控制和复位.....	16
旋变器格式信号	8	电路动态特性.....	17
工作原理.....	9	环路响应模型.....	17
故障检测电路	9	误差源.....	18
监控信号.....	9	连接DSP.....	19
信号丢失检测	9	外形尺寸.....	20
信号降级检测	10	订购指南.....	20
位置跟踪丢失检测	10	汽车应用级产品.....	20
故障响应.....	10		
假空条件.....	10		

修订历史

2010年5月—修订版0至修订版A

更改“特性”部分.....	1
更改输入偏置电流参数和输入阻抗参数	3
更改表2	5
更改应用部分.....	9
更改“转换器的连接”部分和图5	11
更改表39中的t6最大值	13
更改表7中的t9和t10最大值	15
更改订购指南	20
添加汽车应用级产品部分	20

2007年1月—修订版0：初始版

技术规格

除非另有说明，当温度为 -40°C to $+125^{\circ}\text{C}$ 时， $A_{V_{DD}} = DV_{DD} = 5.0\text{ V} \pm 5\%$ ， $\text{CLKIN} = 8.192\text{ MHz} \pm 25\%$ 。

表1

参数	最小值	典型值	最大值	单位	条件/注释
正弦余弦输入端 ¹					
基准电压	2.3	3.15	4.0	V p-p	正弦波，Sin – SinLO和Cos – CosLO，差分输入
输入偏置电流			12	μA	$V_{\text{IN}} = 4.5\text{ V}_{\text{DC}}$ ， $\text{CLKIN} = 10.24\text{ MHz}$
输入阻抗	0.35			M Ω	$V_{\text{IN}} = 4.5\text{ V}_{\text{DC}}$
共模电压			100	mV 峰值	当频率为10 kHz时，REFOUT/2的CMV
锁相范围	-44		+44	度	正弦/余弦与EXC输出的关系
角度精度					
角度精度			± 11 ± 22	弧分 弧分	零加速度，Y级 零加速度，W级
分辨率		12		位	保证无失码
积分非线性(INL)			2	LSB	零加速度，0 rps至1250 rps， $\text{CLKIN} = 10.24\text{ MHz}$
微分非线性(DNL)			0.3	LSB	
可重复性			1	LSB	保证单调性
迟滞		1		LSB	
速度输出					
速度精度			2	LSB	零加速度
分辨率		11		位	
线性度		1		LSB	通过设计保证2 LSB为最大值
失调		0	1	LSB	零加速度
动态纹波		1		LSB	零加速度
动态性能					
带宽	1000		2400	Hz	
跟踪速率			750	rps	CLKIN = 6.144 MHz(通过设计保证)
			1000	rps	CLKIN = 8.192 MHz(通过设计保证)
			1250	rps	CLKIN = 10.24 MHz(通过设计保证)
加速度误差		30		弧分	当速率为10,000 rps时， $\text{CLKIN} = 8.192\text{ MHz}$
建立时间179°阶跃输入			5.2	ms	在 ± 11 弧分范围内，Y级， $\text{CLKIN} = 10.24\text{ MHz}$
			4.0	ms	在1度内，Y级， $\text{CLKIN} = 10.24\text{ MHz}$
EXC、 $\overline{\text{EXC}}$ 输出					
基准电压	3.34	3.6	3.83	V p-p	负载 $\pm 100\ \mu\text{A}$
中心电压	2.39	2.47	2.52	V	
频率		10		kHz	FS1 = 高，FS2 = 高， $\text{CLKIN} = 8.192\text{ MHz}$
		12		kHz	FS1 = 高，FS2 = 低， $\text{CLKIN} = 8.192\text{ MHz}$
		15		kHz	FS1 = 低，FS2 = 高， $\text{CLKIN} = 8.192\text{ MHz}$
		20		kHz	FS1 = 低，FS2 = 低， $\text{CLKIN} = 8.192\text{ MHz}$
EXC/ $\overline{\text{EXC}}$ 直流失配			35	mV	
总谐波失真		-58		dB	前5个谐波
故障检测模块					
信号丢失(LOS)					
正弦/余弦阈值	2.18	2.24	2.3	V p-p	当Sin或Cos低于阈值时，DOS和LOT变为低电平
角度精度(最坏情况下)			57	度	角度输出误差超过限值前的LOS指示(4.0 V p-p 输入信号和2.18 V LOS阈值)
角度延迟(最坏情况下)			114	度	出现LOS前的最大电气回转角度(4.0 V p-p输入信号和2.18 V LOS阈值)
时间延迟			125	μs	

AD2S1205

参数	最小值	典型值	最大值	单位	条件/注释
信号降级(DOS)					
正弦/余弦阈值	4.0	4.09	4.2	V p-p	当正弦/余弦值超过阈值时，DOS变为低电平
角度精度(最坏情况下)			33	度	角度输出误差超过限值前的DOS指示
角度延迟(最坏情况下)			66	度	出现DOS前的最大电气回转角度
时间延迟		385	420	μ s	当正弦/余弦幅度失配超过阈值时，DOS锁存至低电平状态
正弦/余弦失配				mV	
跟踪丢失(LOT)		5		度	当内部误差信号超过阈值时，LOT锁存至低电平状态；可通过设计保证。
跟踪阈值					
时间延迟			1.1	ms	
迟滞	4			度	通过设计保证。
基准电压源					
REFOUT	2.39	2.47	2.52	V	$\pm I_{OUT} = 100 \mu A$
温漂		70		ppm/ $^{\circ}$ C	
电源抑制比(PSRR)		-60		dB	
电荷泵输出(CPO, CHARGE-PUMP OUTPUT)		204.8		kHz	方波输出，CLKIN = 8.192 MHz
频率		50		%	
占空比					
电源					
I_{DD} (动态)			20	mA	
电气特性					
输入低电压VIL			0.8	V	
输入高电压VIH	2.0			V	
输出低电压VOL			0.4	V	+1 mA负载
输出高电压VOH	4.0			V	-1 mA负载
低电平输入电流IIL(无上拉)	-10		+10	μ A	、CLKIN、 \overline{SOE} 引脚
低电平输入电流IIL(上拉)	-80		+80	μ A	、FS1、FS2、 \overline{RESET} 引脚
高电平输入电流IIH	-10		+10	μ A	
高电平三态漏电流IOZH	-10		+10	μ A	
低电平三态漏电流IOZL	-10		+10	μ A	

¹ Sin、SinLO、Cos、CosLO相对于AGND的压差必须在0.2 V~ AV_{DD} 范围内。

绝对最大额定值

表2

参数	额定值
电源电压 (V_{DD})	-0.3 V至+7.0 V
电源电压 (AV_{DD})	-0.3 V至+7.0 V
输入电压	-0.3 V至 $V_{DD} + 0.3$ V
输出电压摆幅	-0.3 V至 $V_{DD} + 0.3$ V
输入电流至除电源外的任何引脚 ¹	±10 mA
工作温度范围 (环境)	-40°C 至+125°C
存储温度范围	-65°C 至+150°C

¹ 达100 mA的瞬态电流不会造成闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD2S1205

引脚配置和功能描述

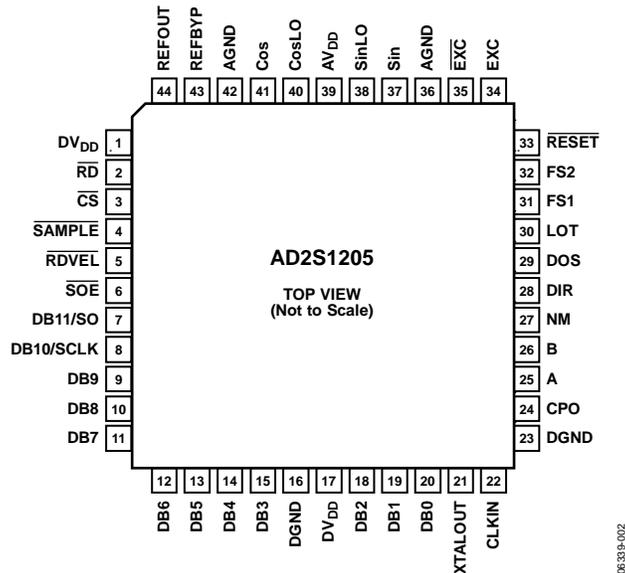


图2. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	描述
1, 17	DV _{DD}	数字电源电压(4.75 V至5.25 V)引脚。为AD2S1205的所有数字电路提供电源电压。AV _{DD} 和DV _{DD} 电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
2	\overline{RD}	边沿触发的逻辑输入。该引脚用作帧同步信号和输出使能。 \overline{CS} 和 \overline{RD} 保持低电平时，输出缓冲器使能。
3	\overline{CS}	片选。低电平有效逻辑输入。 \overline{CS} 保持低电平时，器件使能。
4	\overline{SAMPLE}	采样结果。逻辑输入。 \overline{SAMPLE} 信号发生高电平至低电平转换后，数据从位置积分器和速度积分器分别传输到位置寄存器和速度寄存器内。
5	\overline{RDVEL}	读速度。逻辑输入。 \overline{RDVEL} 输入用于选择角位置寄存器或角速度寄存器。 \overline{RDVEL} 处于高电平时，选择角位置寄存器； \overline{RDVEL} 处于低电平时，选择角速度寄存器。
6	\overline{SOE}	串行输出使能。逻辑输入。该引脚使能并行或串行接口。 \overline{SOE} 引脚保持低电平时，选择串行接口； \overline{SOE} 引脚保持高电平时，选择并行接口。
7	DB11/SO	数据位11/串行数据输出总线。当 \overline{SOE} 引脚为高电平时，该引脚用作DB11——由 \overline{CS} 和 \overline{RD} 控制的三态数据输出引脚。当 \overline{SOE} 引脚为低电平时，该引脚用作SO——由 \overline{CS} 和 \overline{RD} 控制的串行数据输出总线。各位在SCLK的上升沿逐个输出。
8	DB10/SCLK	数据位10/串行时钟。并行模式下，该引脚用作DB10——一个由 \overline{CS} 和 \overline{RD} 控制的三态数据输出引脚。串行模式下，该引脚用作串行时钟输入。
9 至 15	DB9 to DB3	数据位9至数据位3。由 \overline{CS} 和 \overline{RD} 控制的三态数据输出引脚。
16, 23	DGND	数字地。这些引脚是AD2S1205数字电路的接地基准点。所有模拟输入信号都应参考此DGND电压。这两个引脚均可以连到系统的AGND平面。DGND和AGND电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
18 至 20	DB2 to DB0	数据位2至数据位0。由 \overline{CS} 和 \overline{RD} 控制的三态数据输出引脚。
21	XTALOUT	晶振输出。为实现额定动态性能，建议在CLKIN引脚与XTALOUT引脚处放置一个外部晶振。对8.192 MHz ± 25%的频率范围，位置精度和速度精度均有保证。
22	CLKIN	时钟输入。为实现额定动态性能，建议在CLKIN引脚与XTALOUT引脚处放置一个外部晶振。对8.192 MHz ± 25%的频率范围，位置精度和速度精度均有保证。
24	CPO	电荷泵输出。模拟输出。CPO输出引脚可输出频率为204.8 kHz、占空比为50%的方波。方波输出可用于生成负电压轨或产生VCC电压轨。
25	A	增量式编码器仿真输出A。逻辑输出。此输出自动运行；如果施加于转换器的旋变器格式输入信号有效，则此输出有效。

引脚编号	引脚名称	描述
26	B	增量式编码器仿真输出B。逻辑输出。此输出自动运行；如果施加于转换器的旋变器格式输入信号有效，则此输出有效。
27	NM	North Marker增量式编码器仿真输出。逻辑输出。此输出自动运行；如果施加于转换器的旋变器格式输入信号有效，则此输出有效。
28	DIR	方向。逻辑输出。此输出与增量式编码器仿真输出一同使用。DIR输出指示输入旋转的方向，角旋转不断增大时为高电平。
29	DOS	信号降级。逻辑输出。当任一旋变输入(正弦或余弦)超过指定的DOS正弦/余弦阈值，系统会检测到信号降级(DOS)。见“信号降级检测”部分。DOS表现为DOS引脚的逻辑低电平，当输入信号超过最大输入电平时不会锁存。
30	LOT	跟踪丢失。逻辑输出。LOT由LOT引脚为逻辑低电平(不门锁)来表示。见“信号丢失检测”部分。
31	FS1	频率选择1。逻辑输入。通过对FS2和FS1进行编程，可改变 $\overline{\text{EXC}}/\overline{\text{EXC}}$ 的频率。
32	FS2	频率选择2。逻辑输入。通过对FS2和FS1进行编程，可改变 $\overline{\text{EXC}}/\overline{\text{EXC}}$ 的频率。
33	$\overline{\text{RESET}}$	复位。逻辑输入。AD2S1205需要一个外部复位信号,以便在 V_{DD} 达到规定的工作电压范围(4.5 V至5.5 V)前，将 $\overline{\text{RESET}}$ 输入保持在低电平。参见“上电时序控制和复位”部分。
34	EXC	激励频率。模拟输出。片上振荡器向旋变器提供正弦波激励信号(EXC)及其互补信号($\overline{\text{EXC}}$)。该基准信号的频率可通过FS1引脚和FS2引脚进行编程。
35	$\overline{\text{EXC}}$	激励频率。模拟输出。片上振荡器向旋变器提供正弦波激励信号(EXC)及其互补信号($\overline{\text{EXC}}$)。该基准信号的频率可通过FS1引脚和FS2引脚进行编程。
36, 42	AGND	模拟地。这些引脚是AD2S1205模拟电路的接地基准点。所有模拟输入信号和任何外部基准信号都应参考此AGND电压。这两个引脚均可以连到系统的AGND平面。GND和DGND电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
37	Sin	差分对SIN/SINLO的正模拟输入。输入电压范围为2.3 V p-p至4.0 V p-p。
38	SinLO	差分对SIN/SINLO的负模拟输入。输入范围为2.3 V p-p至4.0 V p-p。
39	AV_{DD}	模拟电源电压输入；电压值范围为4.75 V至5.25 V。该引脚为AD2S1205上的所有模拟电路提供电源电压。 AV_{DD} 和 DV_{DD} 电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
40	CosLO	差分对COS/COSLO的负模拟输入。
41	Cos	差分对COS/COSLO的正模拟输入。
43	REFBYP	基准电压旁路。应在此处连接基准电压去耦电容。典型推荐值为10 μF 和0.01 μF 。
44	REFOUT	基准电压输出，2.39 V至2.52 V。

旋变器格式信号

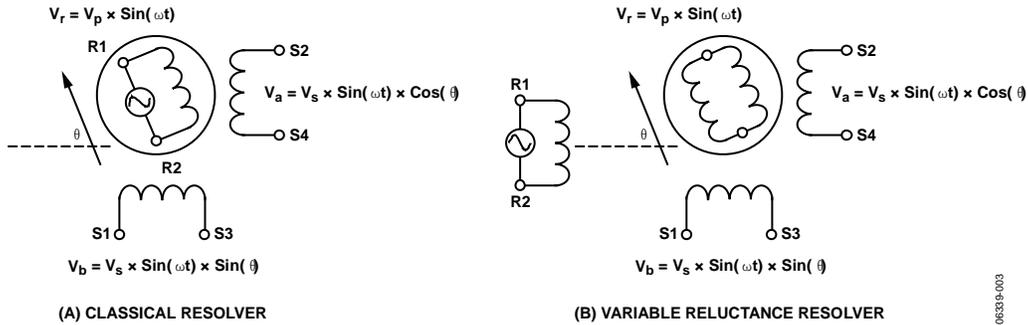


图3. 经典旋转变压器与可变磁阻旋转变压器

经典的旋变器是一种旋转变压器，其初级绕组位于转子上，两个次级绕组则位于定子上。而对于可变磁阻旋变器，其初、次级绕组均位于定子之上，转子上没有绕组如图3所示；但转子的特殊设计使得次级耦合随着角位置变化而发生正弦变化。两种设计的旋变输出电压(S3 - S1、S2 - S4)如下：

$$S3-S1 = E_0 \sin(\omega t) \times \sin\theta \quad (1)$$

$$S2-S4 = E_0 \sin(\omega t) \times \cos\theta$$

其中：

θ 为轴角。

$\sin(\omega t)$ 为转子激励频率。

E_0 为转子激励幅度。

两个定子绕组机械错位 90° (见图3)。初级绕组采用交流基准源激励。随后在定子次级绕组上的耦合的幅度是转子(轴)相对于定子的位置的函数。因此，旋变产生由轴角的正弦和余弦调制的两个输出电压(S3 - S1和S2 - S4)。旋变格式信号是指从旋变输出获得的信号，如公式1所示。图4为输出格式的示意图。

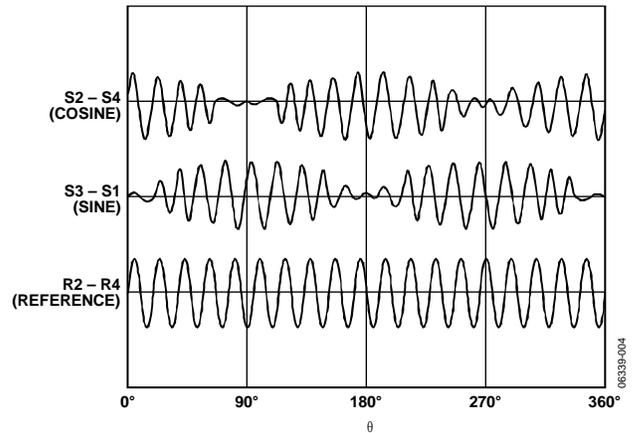


图4. 旋变电信号

工作原理

AD2S1205采用Type II跟踪闭环原理工作。环路连续跟踪旋变的位置和速度，而不需要外部转换和等待状态。当旋变的位置旋转了相当于最低有效位的角度时，跟踪闭环输出更新1 LSB。

转换器产生的输出角(φ)反馈并与输入角(θ)进行比较，藉此来跟踪轴角(θ)；两个角度之间的差异即误差，如果转换器正确跟踪输入角则该值趋于0。为了测量误差，将S3-S1乘以 $\cos\varphi$ ，并将S2-S4与 $\sin\varphi$ 相乘。

$$E_0 \sin(\omega t) \times \sin\theta \cos\varphi \quad (\text{对于S3 - S1})$$

$$E_0 \sin(\omega t) \times \cos\theta \sin\varphi \quad (\text{对于S2 - S4}) \quad (2)$$

二者的差值为：

$$E_0 \sin(\omega t) \times (\sin\theta \cos\varphi - \cos\theta \sin\varphi) \quad (3)$$

利用内部产生的合成基准信号来解调该信号，得到下式：

$$E_0 (\sin\theta \cos\varphi - \cos\theta \sin\varphi) \quad (4)$$

公式4等效于 $E_0 \sin(\theta - \varphi)$ ；当 $\theta - \varphi$ 的值(角误差)较小时， $E_0 \sin(\theta - \varphi)$ 约等于 $E_0(\theta - \varphi)$ ，其中 $\theta - \varphi$ 为角度误差。

$E_0(\theta - \varphi)$ 是转子的角误差与转换器的数字角输出之间的差值。

一个闭环系统由一个相位敏感的解调器、一些积分器和一个补偿滤波器形成，它可以将误差信号归零。当该目标得以实现时，在转换器的额定精度范围内， φ 等于旋转角 θ 。之所以使用Type II跟踪环路，是因为它能跟踪恒定速度输入，而不存在固有误差。

关于转换器工作的更多信息，参阅“电路动态”部分。

故障检测电路

AD2S1205故障检测电路可以检测旋变信号丢失、超范围输入信号、输入信号失配或位置跟踪丢失，但AD2S1205所指示的位置可能与旋变的实际轴位置偏差很大。

监控信号

AD2S1205将位置寄存器中的角度与来自旋变器的正余弦输入信号进行比较，产生一个监控信号。该监控信号的产生方式与“工作原理”部分所述的误差信号相似。输入的 $\sin\theta$ 信号和 $\cos\theta$ 信号分别与正弦输出角和余弦输出角相乘，再将乘积相加：

$$\text{监控信号} = (A1 \times \sin\theta \times \sin\varphi) + (A2 \times \cos\theta \times \cos\varphi) \quad (5)$$

其中：

A1为正弦输入信号的幅度($A1 \times \sin\theta$)。

A2为余弦输入信号的幅度($A2 \times \cos\theta$)。

θ 表示旋变角度。

φ 表示存储在位置寄存器中的角度。

请注意，公式5显示的是解调之后的情形，且载波信号 $\sin(\omega t)$ 已被移除。此外，对于匹配的输入信号(即没有发生故障时)， $A1 = A2$ 。

当 $A1 = A2$ 且转换器正确跟踪(因此， $\theta = \varphi$)时，输出的监视信号的幅度为 $A1$ (监控信号= $A1 \times (\sin^2\theta + \cos^2\theta) = A1$)。当 $A1 \neq A2$ 时，监控信号的幅度以两倍的轴旋转速率在 $A1$ 与 $A2$ 之间变化。监视信号用于检测输入信号是否降级或丢失。

信号丢失检测

任一旋变输入(正弦或余弦)降至指定的LOS正弦/余弦阈值以下时，器件会检测到信号丢失(LOS)。AD2S1205通过将监视信号与固定最小值进行比较检测此点。无需借助外部电路，AD2S1205即可检测到旋变器四个连接中最多三个连接的丢失。如图5所示的两个附加的外部68 k Ω 电阻，可以确定4个连接全部丢失，即，系统也可以检测到旋变器被完全移除。LOS由DOS和LOT引脚均门锁为逻辑低电平输出来表示。DOS引脚和LOT引脚通过SAMPLE上升沿复位至无故障状态。LOS条件的优先级高于DOS条件和LOT条件，如表4所示。LOS应在角度输出误差的57°以内(最坏情况下)。

AD2S1205

信号降级检测

当旋变输入(正弦或余弦)超过指定的DOS正弦/余弦阈值时,器件会检测到信号降级(DOS)。AD2S1205通过将监视信号与固定最大值进行比较来检测此点。此外,当正弦输入信号和余弦输入信号不匹配的程度超过指定的DOS正弦/余弦失配范围时,也能检测到DOS。识别该点是因为AD2S1205不断在内部寄存器存储监视信号的最大、最小幅度并计算这些值之间的差异。DOS用DOS引脚的低电平表示;当输入信号的电压超过最大输入电平时,不会锁存DOS信号。由于失配信号而出现DOS时,输出被锁存在低电平状态,直至SAMPLE的上升沿复位已存储的最小值和最大值。DOS的优先级高于LOT,如表4所示。DOS应在角度输出误差的33°以内(最坏情况下)。

位置跟踪丢失检测

下列情况下可检测到跟踪丢失(LOT):

- AD2S1205的内部误差信号超过5°。
- 输入信号超过最大跟踪速率。
- 内部位置(位置积分器内)和外部位置(位置寄存器内)的差异大于5°。

LOT由LOT引脚为逻辑低电平(不闭锁)来表示。LOT存在4°的迟滞,直到内部误差信号或内部/外部位置失配小于1°时才会被清除。超过最大跟踪速率后,只有在速度小于最大跟踪速率且内部/外部位置失配小于1°时,才会清除LOT。LOT可以指示位置的阶跃变化(例如:在将一个RESET信号施加于AD2S1205之后)或 $> \sim 65,000 \text{ rps}^2$ 的加速度。它还能用作内置测试功能,以指示跟踪转换器正常工作。LOT条件的优先级低于DOS条件和LOS条件;如下表所示。LOT条件和DOS条件不能同时出现。

表4. 故障检测解码

条件	DOS引脚	LOT引脚	优先级
信号丢失(LOS)	0	0	1
信号降级(DOS)	0	1	2
跟踪丢失(LOT)	1	0	3
无故障	1	1	

故障响应

当AD2S1205发生故障时(LOS、DOS或LOT),输出数据将被假定为无效。即便RESET或SAMPLE脉冲脱离故障条件后未出现其它故障,输出数据也可能被破坏。如前所述,某些故障条件本身带有延迟。排除器件的故障后,在故障条件再次出现之前,旋变器的机械位置可能会产生延迟。

出现故障后,无论数据是否有效,所有输出引脚仍会继续输出数据。故障不会强制并行、串行或编码器输出进入已知状态。

响应特定故障条件是系统级要求。如AD2S1205产生故障,表明器件检测出内部或外部信号存在潜在的问题。系统设计者应根据所出现的故障和AD2S1205的速度数据或位置数据,在特定应用的控制硬件和/或算法内,实施恰当的故障处理方案。

假空条件

采用基于前述误差公式(见“工作原理”部分内的公式4)的Type II跟踪环路的旋变数字转换器,可遇到假空条件。产生这一条件的原因是,当 $\theta - \phi = 180^\circ$ 时,一个亚稳定解决方案会导致公式错误。由于AD2S1205的迟滞来自跟踪环路外部,因此对这一条件不敏感。鉴于AD2S1205选择的环路架构,内部误差信号经常发生变化(每时钟周期1 LSB);因此,在亚稳定状态下,转换器可在一个时钟周期内进入不稳定条件。这导致跟踪环路响应假空条件,误以为输入位置产生180°阶跃变化(响应时间不变,见表1的“动态性能”部分)。因此,当旋变信号有效时,器件不可能在启动序列后进入亚稳定状态。

片上可编程正弦波振荡器

片上振荡器向旋变器提供正弦波激励信号(EXC)及其互补信号($\overline{\text{EXC}}$)。该基准信号的频率可通过FS1和FS2引脚设置为四个标准频率(10 kHz、12 kHz、15 kHz或20 kHz)(见表5)。FS1和FS2具备内部上拉电阻,因此默认频率为10 kHz。这一信号的幅度围绕2.5V变化,峰值幅度为3.6V P-P。

表5. 激励频率选择

频率选择(kHz)	FS1	FS2
10	1	1
12	1	0
15	0	1
20	0	0

基准信号的频率是CLKIN频率的函数。通过降低CLKIN频率可以降低激励频率的最小值。因此,当CLKIN频率为6.144 MHz时,激励频率为7.5 kHz,同时将最大跟踪速率降至750 rps。

AD2S1205的基准输出需要一个外部缓冲放大器来提供增益和额外电流,以驱动旋变。建议的缓冲电路见图6。

此外,AD2S1205还提供一个相位锁定至其正弦和余弦输入的內部合成基准信号。旋变初级绕组与次级绕组之间的相位误差会降低RDC的精度,而该同步基准信号可以补偿这一相位误差。此外,它还能补偿温度变化和传输线缆所引起的相移,从而不需要在外部预设相位补偿电路。

合成基准电压的生成

当旋变器高速旋转时,RDC往往会像电机一样,在提供理想的正弦和余弦输出的同时产生速度电压。这些速度电压与主信号波形正交。此外,旋变绕组的非零电阻会导致基准输入与正余弦输出之间发生非零相移。速度电压和相移的结合导致RDC出现跟踪误差,误差近似等于:

$$\text{Error} = \text{PhaseShift} \times \frac{\text{RotationRate}}{\text{ReferenceFrequency}} \quad (6)$$

为了补偿以上所述的旋变基准激励与正/余弦信号之间的相位误差,RDC内部会产生一个与基准频率载波同相的合成基准信号。合成基准信号利用内部滤波的正余弦信号获得;其生成方法为确定正弦或余弦(为了提高相位精度,取

二者中的较大信号)的零交越并且评估旋变基准激励的相位。合成基准可将基准电压与正弦/余弦输入之间的相移降至 10° ,且能够让相移改变 $\pm 45^\circ$ 。

电荷泵输出

AD2S1205的CPO引脚可输出占空比为50%、频率为204.8 kHz的方波信号。这一方波输出可用于生成负电压轨或建立VCC电轨。

转换器的连接

AGND和DGND引脚接地(见图5)。5 V DC $\pm 5\%$ 的正电源(V_{DD})连到 AV_{DD} 和 DV_{DD} 引脚;去耦电容的典型值为10 nF和4.7 μF 。这些电容应尽可能靠近器件引脚, AV_{DD} 和 DV_{DD} 都要连接去耦电容。如有必要,可利用FS1和FS2修改振荡器的基准频率(正常值为10 kHz)。振荡器去耦电容的典型值为20 pF;而参考去耦电容的典型值为10 nF和0.01 μF 。如“信号丢失检测”部分所述,当所有四个旋变输入均断开时,Sin及SinLO输入与Cos及CosLO输入之间的68 k Ω 电阻可确保信号丢失检测。

在这一推荐配置中,转换器在旋变的正弦和余弦信号输出中引入 $V_{REF}/2$ 偏移。如果正弦和余弦信号符合这里建议的规格,各信号可以连接到不同的对地电位。请注意:EXC和输出为差分式,本身具有2倍的增益。图6显示了建议的缓冲电路。电容C1可以与电阻R2并联,以滤除EXC和输出上可能存在的任何噪声。应谨慎选择滤波器的截止频率,从而确保滤波器所引起的载波相移不超过AD2S1205的锁相范围。

电路的增益为:

$$(7)$$

$$\text{CarrierGain} = -(R2/R1) \times (1/(1+R2 \times C1 \times \omega))$$

$$(8)$$

$$\text{其中: } V_{OUT} = \left(V_{REF} \times \left(1 + \frac{R2}{R1} \right) \right) - \left(\frac{R2}{R1} \times (1/(1+R2 \times C1 \times \omega)) V_{IN} \right)$$

ω 是所用信号的角频率。

V_{REF} 是一个直流电压,其值应使得 V_{OUT} 总是一个正值,从而不需要负电源。

AD2S1205

建议分别在模拟输入引脚Sin/SinLO和Cos/CosLO处连接屏蔽双绞线电缆。屏蔽应端接在REFOUT或AGND处。

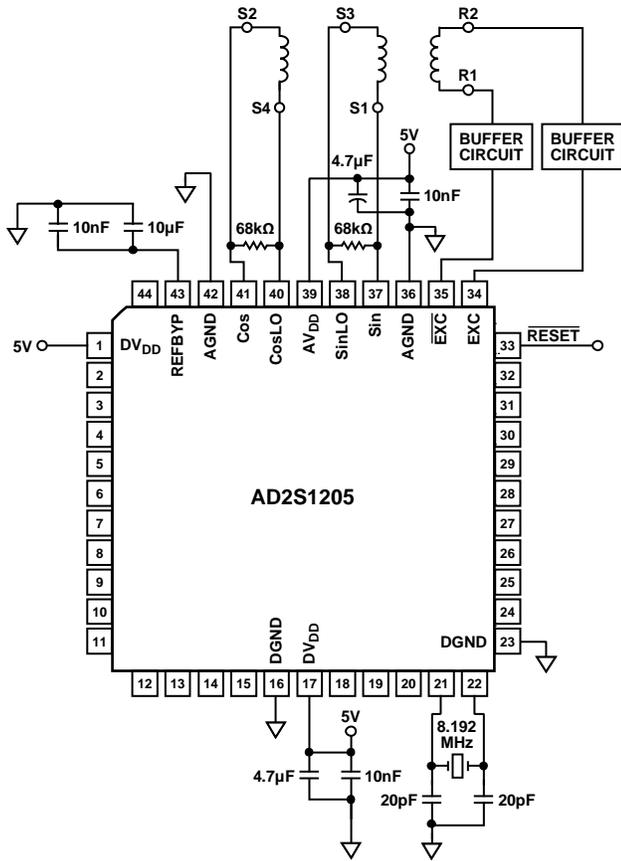


图5. 连接AD2S1205与旋变器

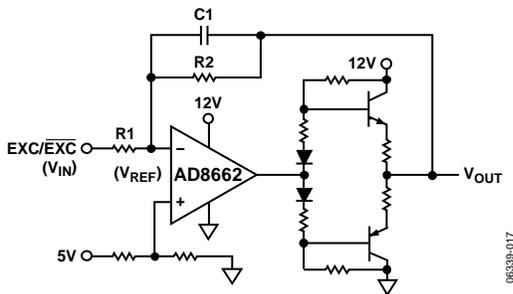


图6. 缓冲电路

时钟需求

为达到特定的动态性能，建议用户在CLKIN引脚和XTALOUT引脚之间放置一个外部晶振。当器件的工作频率为 $8.192\text{ MHz} \pm 25\%$ 时，可确保位置数据和速度数据的精度。然而，速度输出与时钟频率呈正比例变化，因此，当时钟频率高于正常频率的25%以上时，满量程速度也比正常速度高25%以上。此外，最大跟踪速率、跟踪环路带宽和激励频率也随着时钟频率的变化而改变。

绝对位置和速度输出

角位置和角速度用二进制数据表示，可以通过一个12位并行接口或者一个最高时钟速率为25 MHz的三线串行接口来读取。

SOE输入

串行输出使能引脚(SOE)为高电平时，可使能并行接口；当它为低电平时，可使能串行接口。当引脚处于低电平状态时，引脚DB0至DB9处于高阻态，DB11用于串行输出(SO)而DB10用于串行时钟输入(SCLK)。

数据格式

角位置数据以12位无符号二进制字来表示；它指的是旋变轴的绝对位置。角速度数据以12位二进制补码字来表示；它指的旋变轴顺时针转动或逆时针转动时的速度。

并行接口

AD2S1205提供了两个12位寄存器，分别用于保存角位置信息和角速度信息；这两个寄存器的值可以通过12位并行端口进行存取。将SOE引脚置于高电平，可选中此并行接口。SAMPLE信号发生高电平至低电平转换后，数据从位置积分器和速度积分器分别传输到位置寄存器和速度寄存器内。RDVEL选择将位置寄存器或速度寄存器内的数据传输至输出寄存器。CS引脚必须保持低电平才能将所选寄存器内的数据传输至输出寄存器。最后，利用RD输入读取输出寄存器中的数据，并使能输出缓冲器。读取周期的时序要求如图7所示。

SAMPLE输入

SAMPLE信号发生高电平至低电平转换后，数据从位置积分器和速度积分器分别传输到位置寄存器和速度寄存器内。这个引脚必须在至少 t_1 时间段内保持在低电平状态，以确保锁存正确的数据。在这一时刻前，由于数据还没有就绪，因此，不应拉低RD。在读取过程中，转换器继续工作。在SAMPLE上升沿，包含监控信号最小和最大幅度的内部寄存器被复位。

\overline{CS} 输入

\overline{CS} 保持低电平时，器件使能。

\overline{RDVEL} 输入

\overline{RDVEL} 输入用于选择角位置寄存器或者角速度寄存器，如图7所示。当 \overline{RDVEL} 为高电平时，选择角位置寄存器；而当它为低电平时，选择角速度寄存器。在 \overline{RDVEL} 引脚被拉低前的至少 t_4 时间段内， \overline{RD} 引脚必须被置位(处于稳定状态)。

\overline{RD} 输入

12位数据总线通常处于高阻态。 \overline{CS} 和 \overline{RD} 保持低电平时，输出缓冲器使能。在 \overline{RD} 信号的下降沿，数据被传输至输出缓冲器。选中的数据会在 \overline{RD} 变为低电平的 t_6 时刻从总线上读出。当 \overline{RD} 在变为高电平后 t_7 内，数据引脚也返回高阻态。当连续读取数据时， \overline{RD} 释放后，需要等待一段时间(t_3)才能重新使用。

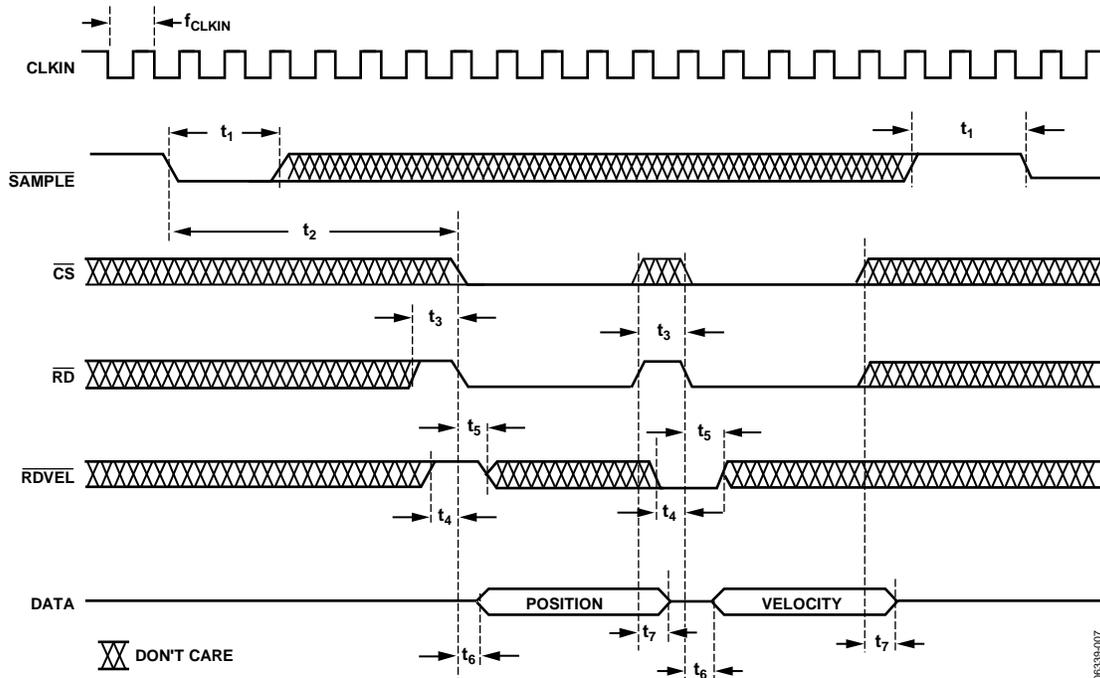


图7. 并行端口读取时序

表6. 并行端口时序

参数	描述	最小值	典型值	最大值	单位
f_{CLKIN}	时钟输入频率	6.144	8.192	10.24	MHz
t_1	\overline{SAMPLE} 脉冲宽度	$2 \times (1/f_{CLKIN}) + 20$			ns
t_2	$\overline{CS}/\overline{RD}$ 变为低电平之前的 \overline{SAMPLE} 延迟	$6 \times (1/f_{CLKIN}) + 20$			ns
t_3	\overline{RD}	18			ns
t_4	$\overline{RD}/\overline{CS}$ 变为低电平之前的置位时间 \overline{RDVEL}	5			ns
t_5	$\overline{RD}/\overline{CS}$ 变为低电平后的保持时间 \overline{RDVEL}	7			ns
t_6	$\overline{RD}/\overline{CS}$ 低电平至数据有效的延迟			30	ns
t_7	$\overline{RD}/\overline{CS}$ 低电平至数据高阻态的延迟			18	ns

串行接口

如前所述，AD2S1205提供了两个12位寄存器，分别用于保存角位置信息和角速度信息。这两个寄存器的内容可通过一个三线串行接口(SO、 \overline{RD} 和SCLK)进行存取；该接口与SPI、DSP接口标准兼容，其最高时钟速率达25 MHz。将 \overline{SOE} 引脚维持在低电平状态，可选中此串行接口。位置积分器和速度积分器的数据首先通过 \overline{SAMPLE} 引脚分别传输到位置寄存器和速度寄存器内。 \overline{RDVEL} 引脚选择是否将位置寄存器或速度寄存器内的数据传输至输出寄存器； \overline{CS} 引脚必须保持低电平才能将所选寄存器内的数据传输至输出寄存器。最后，利用 \overline{RD} 输入读取从输出寄存器逐个输出并出现在串行输出引脚(SO)上的数据。选中这个串行接口后，DB11可被用作串行输出引脚(SO)；DB10可被用作串行时钟输入引脚(SCLK)；而引脚DB0至DB9进入高阻态。读取周期的时序要求如图8所示。

SO输出

输出移位寄存器为16位宽。数据以16位字格式，通过串行时钟输入(SCLK)从器件输出。

图8为这一操作的时序图。16位字数据由12位角度数据(角度数据为位置或速度，取决于 \overline{RDVEL} 输入)、一位 \overline{RDVEL} 状态数据和三位状态数据(一个奇偶校验位、一个信号降级标志位和一个跟踪丢失位)组成。数据的最高有效位(DB15)首先从SO引脚逐个输出。DB15至DB4对应角度信息。角位置数据格式为无符号二进制，全0表示0度，全1表示360度-1 LSB。角速度数据格式为二进制补码，MSB代表旋转方向。DB3是 \overline{RDVEL} 状态位；1表示位置，0表示速度。DB2为DOS，即信号降级标志位(请参阅“故障检测电路”部分)。位1(LOT)是跟踪丢失标志位(请参阅“故障检测电路”部分)。位0(PAR)是奇偶校验位。位置数据和速度数据采用奇校验格式，读出的数据中逻辑高(1)的个数为奇数。

\overline{SAMPLE} 输入

\overline{SAMPLE} 信号发生高电平至低电平转换后，数据从位置积分器和速度积分器分别传输到位置寄存器和速度寄存器内。该引脚必须在至少 t_1 时间内保持低电平状态，以确保锁存正确的数据。在此之前，由于数据还没有就绪，不应拉低 \overline{RD} 。在读取过程中，转换器继续工作。

\overline{CS} 输入

\overline{CS} 保持低电平时，器件使能。

\overline{RD} 输入

12位数据总线通常处于高阻态。 \overline{CS} 和 \overline{RD} 保持低电平时，输出缓冲使能。 \overline{RD} 输入是边沿触发输入；它相当于帧同步信号和输出使能信号。当 \overline{RD} 出现下降沿时，数据被传送到输出缓冲器。数据可以通过串行输出引脚(SO)读出，然而 \overline{RD} 需保持低电平 t_5 时间段后读取。在SCLK的上升沿，串行数据从SO引脚逐个输出；各数据位在SCLK的下降沿在SO引脚上有效。而MSB在 \overline{RD} 的下降沿逐个输出，并在SCLK的第一个下降沿在SO引脚上有效。数据字的随后各位在SCLK的上升沿移出，并在接下来的15个SCLK时钟脉冲下降沿通过SO引脚有效输出。

\overline{RD} 由高电平向低电平转换的操作必须在SCLK为高电平时执行，以避免DB14在SCLK的第一个上升沿移出，否则，可能导致MSB数据丢失。在SCLK的最后一个上升沿后， \overline{RD} 可变为高电平。

如果 \overline{RD} 保持在低电平状态，且在读取DB0后应用额外的SCLK，则从数据输出引脚逐个输出0。连续读取数据时，释放 \overline{RD} 后必须至少等待 t_5 才能重新应用。

\overline{RDVEL} 输入

\overline{RDVEL} 输入用于选择角位置寄存器或者角速度寄存器。 \overline{RDVEL} 保持在高电平时，选择角位置寄存器，低电平时选择角速度寄存器。在 \overline{RD} 引脚被拉低前， \overline{RDVEL} 引脚必须至少置位(稳定) t_4 。

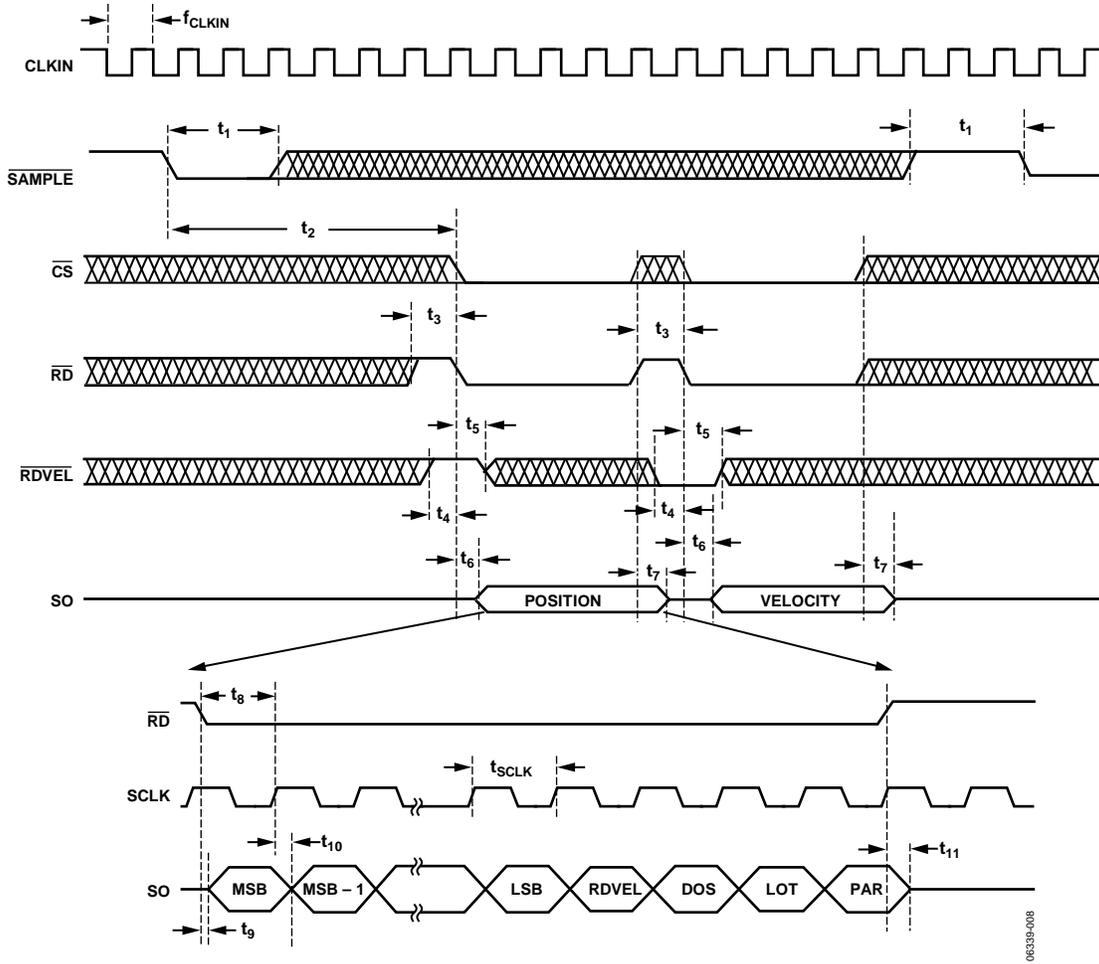


图8. 串行端口读取时序

表7. 串行端口时序[†]

参数	描述	最小值	典型值	最大值	单位
t_8	MSB读取时间 $\overline{RD}/\overline{CS}$ 至SCLK	15		t_{SCLK}	ns
t_9	SO使能时间 $\overline{RD}/\overline{CS}$ 至DB有效			30	ns
t_{10}	数据存取时间, SCLK至DB有效			30	ns
t_{11}	总线释放时间 $\overline{RD}/\overline{CS}$ 至SO高阻态			18	ns
t_{SCLK}	串行时钟周期(最大值: 25 MHz)	40			ns

[†] t_1 至 t_7 的定义见表6。

AD2S1205

增量式编码器输出

A、B和NM增量式编码器仿真输出为自由式；而且如果施加于转换器的旋变格式输入信号有效，则输出有效。

AD2S1205仿真1024线编码器，这意味着根据转换器的分辨率，一次转换分别产生1024个脉冲A和1024个脉冲B。角旋转不断增大时(顺时针方向)，脉冲A超前于脉冲B。引入DIR输出后，无需外部A、B方向解码逻辑。DIR输出指示输入旋转的方向，角旋转不断增大时为高电平。DIR可视作异步输出，并且可在两个连续LSB更新周期之间完成多次状态变化。当输入的旋转方向发生变化，但旋转的幅度小于1 LSB时，会出现这一现象。

当绝对角位置经过零点时，即产生路标脉冲。路标脉冲宽度在内部设置为90°且相对于周期A。图9显示了A、B和NM之间的关系。

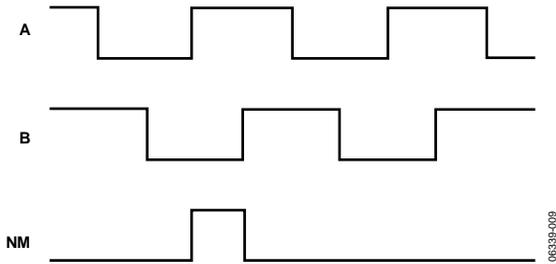


图9. 顺时针旋转的A、B和NM时序

AD2S1205编码器不同于增量编码器，它的输出不受误差指标的影响；误差指标包括周期误差、偏心率、脉冲和状态宽度误差、计数密度、相位 ϕ 等。编码器的最高速率由其最高切换频率(f_{MAX})及其每转的脉冲数(PPR)决定。

$$n = \frac{60 \times f_{MAX}}{PPR} \quad (9)$$

AD2S1205的脉冲A和脉冲B的初始化依赖于内部时钟频率；内部时钟频率是外部CLKIN频率的一半。CLKIN的额定频率为8.192 MHz，则内部时钟频率为4.096 MHz。等效的编码器切换频率为

$$1/4 \times 4.096 \text{ MHz} = 1.024 \text{ MHz} \text{ (1个脉冲进行4次更新)} \quad (10)$$

对12位转换器来说，PPR的值为1024。因此，当CLKIN的频率为8.192 MHz时，AD2S1205的最大速度(n)为：

$$n = \frac{60 \times 1,024,000}{1024} = 60,000 \text{ rpm} \quad (11)$$

为获得最大速度(75,000 rpm)，需要选择一个10.24 MHz外部CLKIN，以产生5.12 MHz内部时钟信号。

这与编码器规格几乎一致， $f_{MAX} = 20 \text{ kHz}$ (光敏二极管) ~ 125 kHz (激光编码器)1024线激光编码器的最大速度为7300 rpm。

A和B输出使得AD2S1205加上旋变的解决方案能够直接取代光学编码器，而无需修改或升级现有应用软件。

上电时序控制和复位

AD2S1205需要一个外部复位信号使RESET输入保持低电平，直到 V_{DD} 达到规定的工作电压范围4.5 V至5.5 V以内。

在 V_{DD} 处于规定的范围之内之后，RESET引脚必须保持低电平至少10 μ s(见图10中的 t_{RST})。对AD2S1205施加一个RESET信号，将把输出位置初始化为0x000值(通过并行、串行和编码器接口输出的度数)，并导致器件指示LOS(LOT和DOS引脚拉低)，如图10所示。

如果没有正确控制上电复位时序，可能会导致位置指示不正确。

在RESET输入的上升沿之后，必须为器件留出至少20ms的时间(见图10中的 t_{TRACK})，以便内部电路稳定下来，并且跟踪环路建立至输入位置的阶跃变化。经过 t_{TRACK} 时间后，必须使用一个SAMPLE脉冲，这样，LOT引脚和DOS引脚便释放至由错误检测电路决定的状态，且在并行/串行输出端提供有效位置数据。(请注意，如果位置数据是通过编码器输出获取，则可以在 t_{TRACK} 期间监控这些输出。)

接下来，RESET引脚会在内部被拉高。

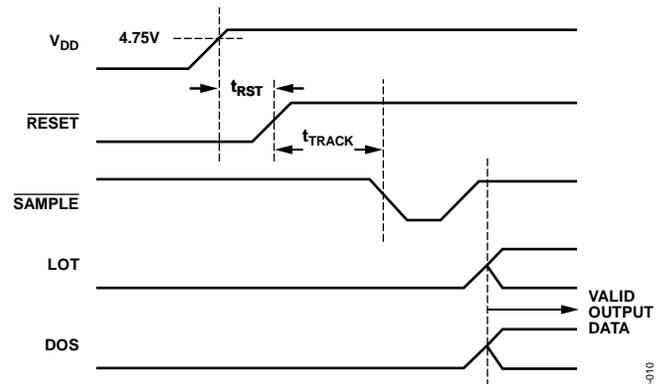


图10. 上电时序控制和复位

电路动态特性

环路响应模型

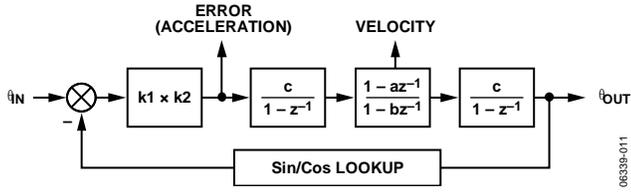


图11. RDC系统响应框图

RDC是一种混合信号器件，利用两个ADC对来自旋变的信号进行数字化处理，并利用Type II跟踪环路将其转换为数字的位置和速度字。

第一增益级包括正弦/余弦输入端的ADC增益和输入第一积分器的误差信号的增益。第一积分器产生一个与速度成比例的信号。补偿滤波器包含一个极点和一个零点，用于提供相位裕量并减小高频噪声增益。第二积分器与第一积分器相同，用于从速度信号产生位置输出。正弦/余弦查找表具有单位增益。每个部分的数值如下：

ADC增益参数 ($k1_{NOM} = 1.8/2.5$)

$$k2 = \frac{V_{IN}(V_P)}{V_{REF}(V)} \quad (12)$$

误差增益参数

$$k2 = 18 \times 10^6 \times 2\pi \quad (13)$$

补偿器零点系数

$$a = \frac{4095}{4096} \quad (14)$$

补偿器极点系数

$$b = \frac{4085}{4096} \quad (15)$$

积分器增益参数

$$c = \frac{1}{4,096,000} \quad (16)$$

INT1和INT2传递函数

$$I(z) = \frac{c}{1-z^{-1}} \quad (17)$$

补偿滤波器传递函数

$$C(z) = \frac{1-az^{-1}}{1-bz^{-1}} \quad (18)$$

R2D开环传递函数

$$G(z) = k1 \times k2 \times I(z)^2 \times C(z) \quad (19)$$

R2D闭环传递函数

$$H(z) = \frac{G(z)}{1+G(z)} \quad (20)$$

闭环幅度和相位响应为二阶低通滤波器的幅度和相位响应 (见图12和图13)。

为将 $G(z)$ 转换到 s 平面，用下式替换 z ，以执行双线性逆变换：

$$z = \frac{\frac{2}{t} + s}{\frac{2}{t} - s} \quad (21)$$

其中 t 为采样周期($1/4.096 \text{ MHz} \approx 244 \text{ ns}$)。

替换后，开环传递函数 $G(s)$ 为：

$$G(s) = \frac{k1 \times k2(1-a)}{a-b} \times \frac{1+st + \frac{s^2 t^2}{4}}{s^2} \times \frac{1+s \times \frac{t(1+a)}{2(1-a)}}{1+s \times \frac{t(1+b)}{2(1-b)}} \quad (22)$$

此变换可产生低频($f < f_{\text{SAMPLE}}$)时的最佳匹配。在这种频率 (在AD2S1205的闭环带宽范围内)，该传递函数可以简化为：

$$G(s) = \frac{K_a}{s^2} \times \frac{1+st_1}{1+st_2} \quad (23)$$

其中：

$$t_1 = \frac{t(1+a)}{2(1-a)}$$

$$t_2 = \frac{t(1+b)}{2(1-b)}$$

$K_a = \frac{k1 \times k2(1-a)}{a-b}$ 求解各值得到 $t_1 = 1 \text{ ms}$, $t_2 = 90 \mu\text{s}$, $K_a \approx 7.4 \times 10^6 \text{ s}^{-2}$ 。请注意，闭环响应描述为：

$$H(s) = \frac{G(s)}{1+G(s)} \quad (24)$$

将计算结果转换到 s 域，便能量化开环直流增益(K_a)。此值可用于计算环路的加速度误差(参见误差源部分)。

AD2S1205

10°输入阶跃的阶跃响应如图14所示。由于 $\theta - \Phi$ 的值非常大时，误差计算(见等式2)是非线性的，因此较大(90°至180°)位置阶跃变化的响应时间通常比较小(小于20°)位置阶跃变化的响应时间长3倍。作为对加速度阶跃变化的响应，AD2S1205表现出与对位置阶跃变化相同的响应特征。

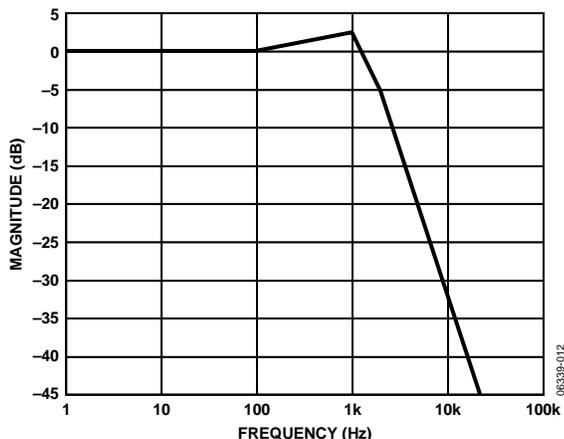


图12. RDC系统幅度响应

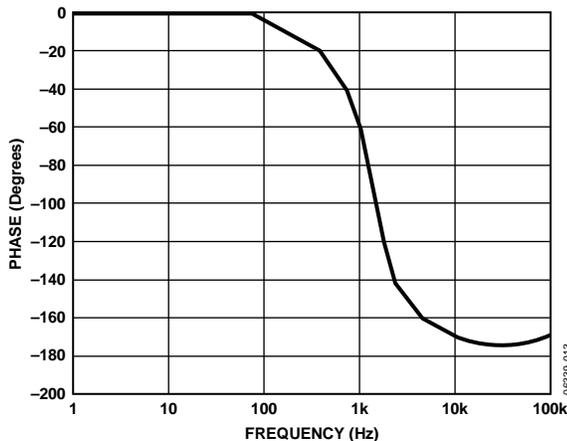


图13. RDC系统相位响应

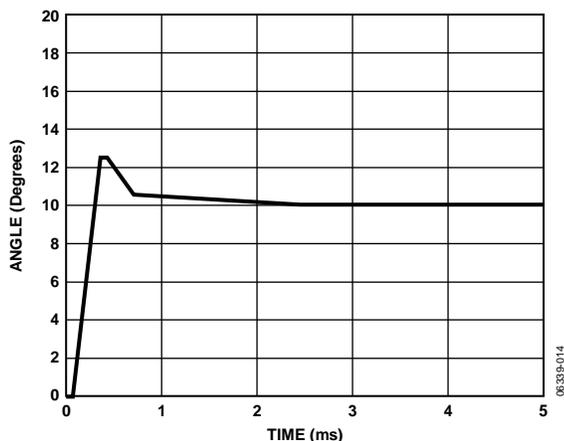


图14. RDC小阶跃响应

误差源

加速度

采用Type II伺服环路的跟踪转换器不存在速度延迟，但却存在与加速度有关的误差。此误差可利用转换器的加速度常数(K_a)进行量化。

$$K_a = \frac{\text{Input Acceleration}}{\text{Tracking Error}} \quad (25)$$

变换可得：

$$\text{Tracking Error} = \frac{\text{Input Acceleration}}{K_a} \quad (26)$$

AD2S1205的跟踪误差与加速度的关系如图15所示。

分子和分母的单位必须一致。AD2S1205的最大加速度为产生5°输出位置误差所需要的加速度(即当产生LOT时)。

最大加速度的计算公式如下：

$$\text{Maximum Acceleration} = \frac{K_a (\text{sec}^{-2}) \times 5^\circ}{360^\circ / \text{rev}} \cong 103,000 \text{ rps}^2 \quad (27)$$

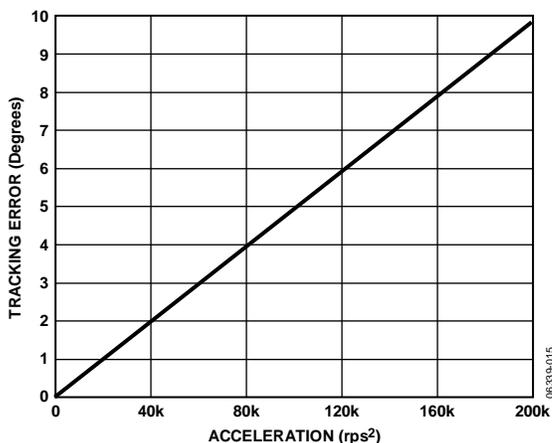


图15. 跟踪误差与加速度的关系

连接DSP

AD2S1205串行端口非常适合与DSP微处理器连接。图16显示AD2S1205与ADMC401(一种基于DSP的电机控制器)的接口。

ADMC401片上串行接口的配置如下:

- 内部帧采用交替帧传输模式(内部反相)
- 外部帧采用正常帧接收模式(内部反相)
- 内部串行时钟生成

在这一配置中, ADCM401的内部TFS信号作为外部RFS, 完全可以控制接收数据的时序, 而同样的TFS与AD2S1205的 \overline{RD} 相连。此外, ADCM401可为AD2S1205提供内部连续串行时钟。AD2S1205的SAMPLE信号可以利用PIO来提供, 或者反转PWMSYNC信号来同步PWM切换频率的位置和速度读数。

\overline{CS} 和 \overline{RDVEL} 可通过ADMC401的两个PIO输出获得。 \overline{RD} 信号变为低电平后, 可以在时钟的各连续负沿获得12位有效数据和状态位。AD2S1205的数据逐个输入ADMC401的数据接收寄存器。16位数据整体接收, 因此是内部设定为16位寄存器(12个数据位和4个状态位)。串行端口自动生成内部处理器中断。这样ADMC401可读取全部16位数据后再加以处理。

所有ADMC401产品都可利用同样的电路与AD2S1205接口。

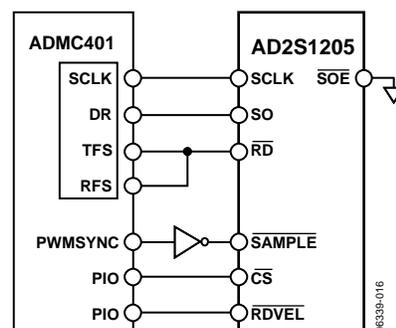
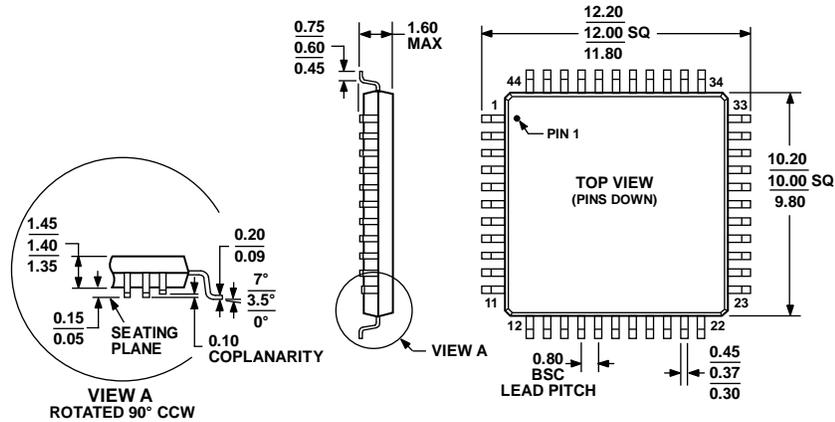


图16. 连接至ADMC401

AD2S1205

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BCB

图17. 44引脚薄型四方扁平封装[LQFP]
(ST-44-1)

尺寸单位: mm

051706-A

订购指南

型号 ^{1,2}	温度范围	角度精度	封装描述	封装选项
AD2S1205YSTZ	-40°C 至 +125°C	±11 弧分	44引脚薄型四方扁平封装[LQFP]	ST-44-1
ADW71205YSTZ	-40°C 至 +125°C	±11 弧分	44引脚薄型四方扁平封装[LQFP]	ST-44-1
AD2S1205WSTZ	-40°C 至 +125°C	±22 弧分	44引脚薄型四方扁平封装[LQFP]	ST-44-1
ADW71205WSTZ	-40°C 至 +125°C	±22 弧分	44引脚薄型四方扁平封装[LQFP]	ST-44-1
ADW71205WSTZ-RL	-40°C 至 +125°C	±22 弧分	44引脚薄型四方扁平封装[LQFP]	ST-44-1
EVAL-AD2S1205CBZ ³			评估板	
EVAL-CONTROL BRD2 ⁴			控制器板	

¹Z = 符合RoHS标准的器件。

²W = 通过汽车应用认证

³此板可单独用作评估板，或与控制器板配合用于评估/演示。

⁴评估板控制器。此评估板是一个完整单元，允许PC对所有带CB标志后缀的ADI评估板进行控制并与之通信。要订购完整的评估套件，需订购ADC评估板(EVAL-AD2S1205CBZ)、EVAL-CONTROL BRD2和12 V交流变压器。

汽车应用产品

AD2S1205生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。