



更多关于 ADI 公司的 DSP、处理器以及开发工具的技术资料，
请访问网站：<http://www.analog.com/ee-note> 和 <http://www.analog.com/processor>
如需技术支持，请发邮件至 processor.support@analog.com 或 processor.tools.support@analog.com

基于 SHARC[®] 处理器的系统设计与调试

作者: Aseem Vasudev Prabhugaonkar, Alberto Comaschi

Rev 1- November 13, 2006

导言

本文提供了关于 SHARC 处理器相关的系统设计的关键信息。这些指导旨在帮助硬件工程师，固件或软件工程师减少设计周期。以下的一些建议在各个 SHARC 处理器硬件参考手册中也有说明。本文分为三部分：硬件电路设计指导，软件程序和窍门以及调试技巧。除非特别说明，这些技巧适用于所有 SHARC 处理器。

硬件和电路板设计检查点

这部分为电路板设计者提供技巧。

SPI 接口

ADSP-2126x 和 ADSP-21362/3/4/5/6 vs. ADSP-21367/8/9 和 ADSP-2137x SHARC 处理器的 SPI 引导接口

以上列出的 SHARC 处理器都支持从 SPI 存储设备进行引导装载。当配置为 SPI flash 启动时，它们能够从板上的 SPI 存储设备中进行应用程序镜像的引导装载。

大多数常用的 SPI flash 设备在上电后执行第一条指令前都需要一个片选信号的下降沿。对于 ADSP-2126x 和 ADSP-21362/3/4/5/6 的 SPI flash 片选需要 4.7K Ω 上拉电阻。因为没有内部上拉信号，这些处理器不能自动产生逻辑高/低转换，所以，在处理器驱动第一条指令之前，SPI flash 片选信号可能处于逻辑低(或者未定义)的状态。由于具有内部上拉电阻，ADSP-21367/8/9 和 ADSP-2137x 处理器不再需要上拉电阻就可以保证 SPI flash 引导装载操作过程中所需的下降沿。ST Microelectronics MP25P80 串行 flash 设备就是有此要求的设备之一。

MOSI 和 MISO

SPI 接口要求所有 MOSI 管脚和 MISO 管脚分别连接在一起。为了避免可能对管脚造成损坏，请检查是否有管脚被交换。MISO 与 MISO, MOSI 与 MOSI 相连接。如果外设管脚的名字是 DIN 或 DOUT，按照它们的主从功能进行连接。恰当的原理图信号名字可以避免混淆。

JTAG 设计和引导问题

大部分系统最初都设计了 JTAG 连接，这样原型和预生产单元可以通过 JTAG ICE(在线硬件仿真器)进行测试和调试。这时，JTAG /TRST 信号(TAP reset)是由 ICE 驱动。然而，如果系统运行在由引导操作下的独立模式或 ICE 没有使用的时候，需将/TRST 信号接地。如果未将/TRST 接地，将导致运行时引导失败或内存访问失败。此外，因为 SHARC 处理器的该信号已有片上上拉电阻，不建议使用/TRST 的下拉电阻。JTAG 系统设计指导请参考 *Analog Device JTAG Emulation Technical Reference(EE-68)*^[1]。

双线接口(TWI)

片上的双线接口是 I²C 兼容的外设。因为 SCL 和 SDA 都是开漏极，所有 TWI 信号需要按照 I²C 标准增加上拉电阻。(参照 I²C 标准和 I²C 兼容设备数据手册确定上拉电阻值)。

驱动/RESET 输入

避免使用 RC(电阻/电容)电路驱动 SHARC 处理器的/RESET 输入信号。建议使用电源监控芯片驱动上电和手动/RESET 信号。RC 网络与施密特触发电平门结合也可以驱动/RESET 输入。

旁路电容

在高速操作环境下，为内部供电选择适当的旁路电容很关键。电容和电路上的多余寄生电感会降低高频环境下的效率。当处理器工作在 100MHz 以上时，有两个问题是必须考虑的。首先，电容应该体积小，同时引线短以减小电感。大小为 0402 的表贴电容比大体积电容具有更好效果。其次，小电容容易在 LC 电路中激起共振频率。尽管几个 0.1uF 电容在 50MHz 以下工作正常，500MHz 的 VDD_INT 首选 0.1, 0.01, 0.001uF 混合连接甚至 100pF 电容。

AVDD 供电的滤波电路

这部分适用于 ADSP-2116x, ADSP-2126x 和 ADSP-21362/3/4/5/6 的 SHARC 处理器。这些器件的数据手册推荐为片上的 PLL 的 AVDD 供电提供滤波电路。老版本数据手册建议使用 10Ω 串联电阻，为了更好的抗噪和 PLL 稳定性，现在采用高阻抗(600-1000Ω@100MHz)的铁氧体磁珠。

未用的输入信号

决不允许未使用的处理器输入管脚悬空。根据输入信号的活动极性，使用上拉或下拉电阻。上拉电阻建议阻值为 10KΩ，下拉电阻建议阻值为 100Ω。只有内部具有上拉或下拉电阻的输入管脚允许悬空。请查阅器件芯片数据手册确定默认下哪些输入管脚有内部上拉/下拉电阻。使信号线悬空，例如

未使用的总线请求信号(/BRx)和主机突发请求(/HBR)悬空都可能导致引导失败和在应用程序运行期间的其它问题。

EZ-KIT Lite 原理图

EZ-KIT Lite[®]评估系统原理图是很好的入门参考。因为 EZ-KIT Lite 是作为评估和开发使用，有时会增加额外的电路。由于有时器件没有安装或者会增加一些器件以方便访问等原因，请仔细阅读 EZ-KIT Lite 开发板的原理图。可以从网上获得 SHARC 处理器 EZ-KIT Lite 开发板的设计数据库，这包括设计，布线，制作和装配的所有电子信息：

ftp://ftp.analog.com/pub/tools/Hardware/Reference_Designs.

测试点和信号访问

通过添加信号测试点可以帮助在原型板上调试处理器，信号例如 CLKOUT/RSTOUT，SDRAM 时钟 (SDCLK)，/MSx 内存页面选择，/BMS 以及/RESET。如果诸如引导模式(BOOTCFG)或者内核时钟速率(CLKCFG)的管脚是直接连到电源或者接地，则在 BGA 封装芯片上无法访问。为了便于调试，使用上拉或下拉电阻而不要直接将信号接电源或地。

信号完整性技巧

快速信号的上升时间和下降时间是信号完整问题的主要原因。SHARC 处理器管脚与管脚之间的边沿速率是不同的。同样地，有的管脚比其它管脚对噪声和反射更敏感。使用简单的信号完整性方法就能够避免引起外部时钟和同步信号的传输线上的反射。下列外设和信号的短导线和串行终端十分关键：

- **SPORT 接口信号(TCLK, RCLK, RFS 和 TFS):** 这些信号上的噪声和短脉冲会引起 SPORT 口功能失常。征兆例如 SPORT 上锁状态，通道交换，通道移位和数据损坏都可能是由于这些信号线上的短脉冲引起的。因此，未避免长导线或仿真预示的反射结果，在这些线上需要使用终端电阻。
- **CLKIN 源端:** 使用无源晶振作为 CLKIN 的输入，应该根据晶体制造商的建议使用电容。尽量采用基本模式晶振。如果使用有源晶振作为 CLKIN 的输入，处理器的 XTAL 管脚悬空(不接)。请参考数据手册上 XTAL/CLKIN 电路设计，使用推荐的器件值。为避免将高速信号线靠近(下面)XTAL/CLKIN 信号电路。串话可能引入噪声，影响 PLL 的性能。当使用外部振荡器驱动 CLKIN，使用宽频振荡器减少由于时钟源引入的 EMI。多 SHARC 处理器系统中，使用失真低的时钟缓存/驱动器，用单独时钟振荡器获得 CLKIN 信号。
- **SDRAM 时钟，控制线，地址线以及数据线**都可以从短导线和串行终端获益，以避免反射，降低不需要的 EMI。
- 尽量避免使用芯片插座，例如内存芯片。插座会因为额外的塑料降低信号完整性性能。当信号

具有多个源端时，保持短导线可能会比较困难，此时使用仿真比较合适。IBIS 模型能协助信号仿真，可从 Analog Device 的网站获得。

常规指导原则

- SHARC 处理器上电：同时为两个电源供电(VDDINT[内核电源供电]和 VDDEXT[IO 电源供电])。如果二者无法同时启动，在供电稳定的时间差不能超过数据手册上的说明。(t_{IVDDEVDD}[VDDINT 比 VDDEXT 超前的时间])。
- 复用信号：注意具有 I/O 功能的复用信号。这些信号在/RESET 以后具有默认功能;软件编程能实现默认功能和期望功能之间的转换。从系统设计的观点来看，可能导致信号冲突。例如下面的例子：
 - ADSP-21367/8/9SHARC 处理器，/MS2 和/MS3 与标志和中断管脚复用。上电以后，信号配置为输入。所以如果用作内存选择信号，这些信号需要使用上拉电阻避免外部端口冲突。例如，/MS(bank1)用作外部 flash 存储器的引导启动。与/MS2 或/MS3 接口的存储设备可能误选片选信号管脚上的逻辑电平，从而开始驱动总线，引起总线冲突。
 - 另一个例子是关于 ADSP-2137xSHARC 处理器的 RSTOUT/CLKOUT 信号与运行重启功能的复用(见图 1)。在/RESET 信号启动时和启动后，该信号作为 RSOUT 功能。执行代码将该信号配置成输入，运行重启信号。当作为重启功能使用时，ADSP-2137x 处理器的 RSTOUT/CLKOUT 信号应该由主机的开漏极输出驱动。在上电时以及上电以后，除非软件把它配置成输入，执行重启信号，这个信号都是作为输出使用。如果此时将它与活动主机的开漏级输出连接，可能导致冲突甚至损坏驱动器。
- 引导存储设备片选：ADSP-2106x 和 ADSP-2116x SHARC 处理器具有驱动并行引导存储设备的专用信号(/BMS[字节内存选择])。ADSP-2126x 和 ADSP-21362/3/4/5/6 处理器没有专门的引导存储设备选择信号，所以，存储设备的选择需要通过处理器的并口地址驱动。ADSP-21367/8/9 和 ADSP-2137x 处理器的/MS1(内存 Bank1 片选)必须用作引导存储设备的选择信号。引导从 bank1 开始。ADSP-21367/8/9 和 ADSP-2137x 处理器没有类似/BMS 的专用信号。

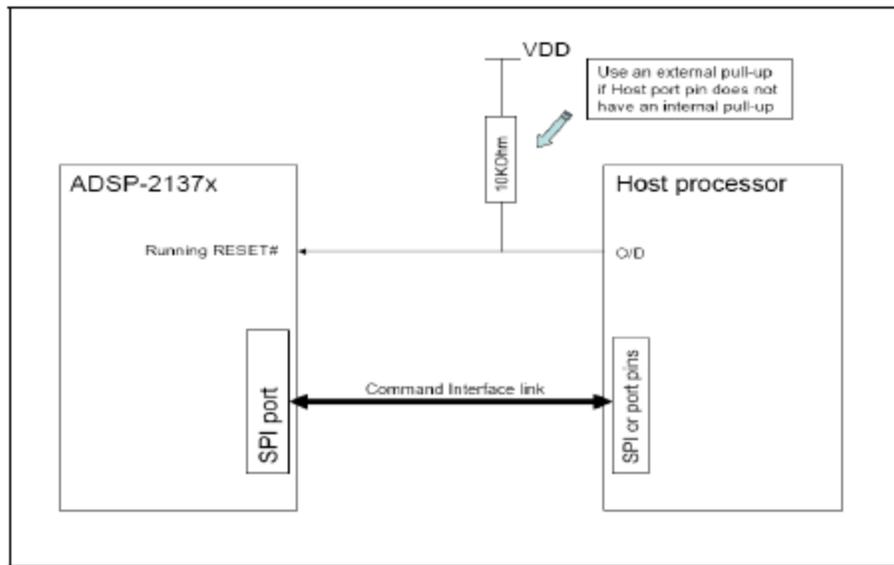


图1 执行重启操作的电行系统框图

- SDRAM 地址管脚映射以及 DQM 信号：ADSP-21367/8/9 和 ADSP-2137xSHARC 处理器与 ADSP-21161 处理器相比，具有不同地址管脚映射。使用 32bit 模式时，连接 ADSP-21367/8/9 和 ADSP-2137xSHARC 处理器的 ADDR1 和 SDRAM 的 ADDR0。使用 16bit 模式时，连接 ADDR0 到 SDRAM 的 ADDR0。不同于 ADSP-21161 处理器，ADSP-21367/8/9 和 ADSP-2137x 处理器不支持 DQM。在 SDRAM 上电过程，一些 SDRAM 需要专门的 DQM 信号。对于这些 SDRAM，可以在 SDRAM 上电期间，通过处理器的 flag 管脚驱动 DQM 信号。关于 ADSP-21367/8/9 的细节请参考 *Interfacing 133MHz SDRAM Memory to ADSP-21367 SHARC Processor(EE-286)*^[2]。

软件程序及技巧

这部分重点推荐了 SHARC 处理器的一些外设单元的程序。

PCG(外设时钟发生器)编程

本部分主要讨论使用 PCG(精确时钟发生器)为 SHARC SPORT 提供时钟的注意事项。

- 使用 PCG 产生的信号为 I²S 模式的 SPORT 提供 FS 和 SCLK 信号时，需要配置 PCG 的延迟寄存器，使信号时序与 I²S 协议时序一致。LRCLK 信号必须由串行时钟的下降沿驱动。
- 使用 PCG 为 TDM 模式的 SPORT 提供信号时，要求帧同步信号仅在一个串行 bit 时钟周期保持有效。注意，TDM 模式的帧同步是电平触发的，而不是边沿触发。PCG 脉宽寄存器(PCG_PW)应该置“1”，这样帧同步仅在一个串行时钟周期有效。在这样的配置下，由于帧同步是单串行时钟周期有效，SPORT 是使能还是再次使能的状态都没关系。如果帧同步无效期间，SPORT 被使

能，需要等待直到下个有效帧同步信号。在 PCG 配置需要 50%工作周期的系统下，使用 DAI 中断来使能 SPORT。

假设 PCG 帧同步和时钟信号在 SPORT 使能或再次使能前启动，由于串口可以在同步和时钟信号启动后的任何时候使能，可能有以下情形发生：串口在任何有效同步信号采样时，开始锁存(接收机情形)或驱动数据(发送机情形)。注意，帧同步信号在 TDM 模式是电平触发而不是边沿触发的。这样的情况会在串口禁止然后重新使能下反复发生，以致失去同步。这可能导致通道移位或者数据丢失。启动串口的正确过程应该是等待帧同步信号无效沿，然后在帧同步信号无效期间使能串口。这就保证了串口在帧同步信号有效电平期间采样数据。

这个过程还应该在串口禁止和重新使能的时候采用，从而保证串口不会在有效帧的中部采样数据。这个操作由以下过程实现。PCG 帧同步映射到 DAI 中断。帧同步无效边沿触发 DAI 中断，这意味着帧同步信号会在一段时间无效，串口应该在帧同步信号无效期间启动，或者执行串口禁止和重新使能时操作。

使用 IDP 使能 I2S(数据输入口)

使用 IDP 从外面的设备接收数据，配置成 I2S 模式接收数据时，需要按照一定步骤。如果不按此步骤操作，可能导致通道漂移或交换。

1. 将帧同步信号通过 SRU(信号路由单元)连接到 DAI 中断。
2. 将中断配置成帧同步无效边沿触发。
3. 等待 DAI 中断，在中断服务子程序中使能 IDP 端口。
4. 通过读 DAI 中断锁存寄存器清除 DAI 中断。

这个步骤可以保证 IDP 端口在适当时间被使能，从而避免在接收数据时发生通道漂移或交换的情况。

DAI 中断

不同于其它中断，DAI 中断不是在 DAI 中断子程序中自动被清除的。一旦锁存，中断标志将保持直到通过读 DAI 中断锁存寄存器显式地清除锁存状态。DAI 中断通过读取 DAI 锁存寄存器被清除。如果此操作没有发生，程序将在每次退出中断后再次进入 DAI 中断服务子程序。

在 DMA 中断服务子程序中禁止外设功能

SHARC 处理器外设支持 DMA 数据传输模式。DMA 中断在 DMA 传输计数器终止时发生。当一个外设被配置为接收数据时，DMA 计数器在所有数据被接收并且搬移到内部内存中以后终止。当外设

被配置为发送数据，即使 DMA 计数器终止并产生中断，数据还保存在 DMA FIFO 中。如果软件在 ISR 中关闭 DMA 和外设，应该先查询 DMA FIFO 状态。当 FIFO 为空时，可以安全关闭外设，否则会导致数据丢失。

SPORT/SPI 双触发

这部分仅适用于 ADSP-21367/8/9 和 ADSP-2137x 处理器。假定 SPI 用于内核模式的数据传输。当内核遇到传输缓存空的状态时，即产生发送中断。在发送中断子程序中，软件将写一个新的数值到发送缓存中，然后从中断返回。在此情况，从 ISR 返回后，处理器再次检测到发送缓存的空状态，然后重新进入 SPI 发送中断服务子程序。这样的状态都是由于高度流水线的 IOP 写操作。写入发送缓存以后，直到数据真正被发送以及传输缓存状态变化到“非空”状态，需要 10 个内核时钟周期。因此，在此情况下，从中断子程序返回需要延迟至少 10 个内核时钟周期。

SHARC PLL 编程

ADSP-2116x SHARC 处理器中，使用 CLKCFG(时钟配置)信号配置 PLL(以及内核时钟和外部端口时钟频率)。对于 ADSP-2126x, ADSP-2136x 和 ADSP-2137x SHARC 处理器，需要额外的外部 CLKCFG 信号，PLL 可以通过软件配置。这样，软件可以利用电源控制寄存器(PMCTL)中的 PLL 乘法器和分频计数器实现多样的可编程比率。这也为用户通过软件改变内核频率提供了灵活性。为恰当地配置 PLL，推荐使用 *Managing the Core PLL on ADSP-2136x SHARC Processor(EE-290)*^[3]中记述的方法。EE-290 还提供了代码例程，以及利用 elfar 工具集成 C 可调用的 PLL 配置函数到库中的详细步骤。确保 DIVEN 位在进入和退出 by-pass 模式前被清除。

SPORTs 和门控时钟设备的接口

有的系统设计需要将 SHARC 的 SPORT 和诸如数据转换器或 SPI 主处理器之类的门控时钟设备接口。为保证与门控时钟设备间的恰当操作和数据传输，*Interfacing Gated Clocks to ADSP-21065L SHARC Processors (EE-244)*^[4]*Interfacing AD7676 ADCs to ADSP-21065L SHARC Processor(EE-247)*^[5]以及 *Interfacing AD7676 ADCs to ADSP-21365 SHARC Processor(EE-248)*^[6]可供参考，同时还有例子说明。

调试技巧

俗话说，防患于未然。系统设计工程师和软件工程师应该经常查看他们打算使用的 SHARC 处理器的异常文档。了解已知硅片问题和建议解决方法，也缩短了开发周期。对于必须从硬件(例如电路板设计)上解决的问题，它能够帮助您避免昂贵和长时间的电路再版。

这一部分讲述了通常可能遇到的问题以及调试技巧。这些技巧能够弥补您的其它调试努力。以下是最常见的情况。

引导失败

用户可以使用 JTAG ICE 下载执行应用程序，却不能在引导装载下执行应用程序，这是十分常见的案例。调试时请注意以下几点：

- 检查处理器的 BOOTBFG 管脚，确保各自连在适当的数字电压电平高或者低。如果使用电阻来增加改变引导模式灵活性，确保阻值选择正确。检查电平的最好方法就是通过示波器检测处理器管脚。
- 确保 JTAG ICE 的/TRST 信号通过电路板接地。不要让此信号线悬空。悬空可能导致引导失败或其它内存访问失败。
- 确保在生成启动文件(.LDR)前使用正确的引导内核。如果使用改进的引导内核，请使用 VisualDSP++[®]应用例程中(例如标志锁定)提供的默认引导内核并使用简单的例子(比如管脚切换)来确认基本的引导装载。
- 确保在生成.LDR 文件时，选择正确的参数。选择不合适的参数可能导致引导失败。
- 检查是否使用 ICE(在线硬件仿真器)引导装载代码。连接 ICE 到目标板，打开 VisualDSP++的仿真环境。打开目标板开始引导装载。把环境从“simulator”改变成“emulator”，观察汇编窗口。它显示是否从外部资源装载引导应用程序。如果没有看到期望的代码，引导失败。还可以使用本方法检查处理器是否下载初始的 256 个指令。
- 确保上电的重启时序与数据手册一致。
- 检查 CLKCFG 信号，保证 PLL 没有过驱动。确保所选的比例和 CLKIN 频率没有超过内核时钟的预定范围。
- 检测与引导相关的信号，例如/BMS(ADSP-21367/8/9 和 ADSP-2137x 的/MS1)，/RD，ADD 以及总线上的 DATA。检查板上电路完整性，是否板上有开路或者短路情况。还能观察 RSTOUT 来确定 PLL 是否锁定。

- 检查引导装载操作过程中外部总线是否有总线冲突。例如，以 ADSP-21367/8/9 和 ADSP-2137x 处理器为例，/MS2 和/MS3(如果使用)应该有外部的上拉电阻。否则，接口到/MS2 和/MS3 的内存驱动总线，在引导期间导致总线冲突。

应用崩溃

大部分情况，这类问题是在运行应用程序时导致软件崩溃。有时也会出现处理器停在不明地址，或重新开始整个应用。导致此结果的因素有以下几个：

- 处理器执行间接访问，可能导致.LDF 文件定义的堆栈空间被破坏。这可能导致程序在运行时所需要的关键数据被损坏，从而导致软件崩溃。由于可能导致破坏，保证应用程序不会执行这样的内存访问。程序运行时，可以通过 ICE 利用 VisualDSP++的硬件断点特性来调试。如果处理器执行了这些区域的非法访问，这些访问会被检测到。
- 检查应用程序是否执行了破坏性的/无意的系统寄存器或 IOP 寄存器访问，这可能导致应用暂停或者重新开始。例如，检查应用程序是否在代码中设置了软重启/重新引导。检查间接跳转或调用。
- 由于不合适的退耦/旁路电容，电路板可能出现无法预计的行为，常常是某段代码错误执行。保证电路板上处理器和其它设备使用了合适的退耦电容和散电容(电容型号/电容值以及放置点都是关键)，这样才能在系统运行期间提供有效的电流/功率切换。频繁的内核或 I/O 切换需要额外的切换电流。如果未提供相应电流，一些系统关闭，应用崩溃或特定代码的错误执行的现象可能发生。
- 很好的习惯就是使用校验和验证确认引导装载应用程序的正确性，确保数据和代码是完全正确下载。bit 错误可能在噪声环境中发生。由于 bit 错误，处理器可能执行错误(非法)的指令或处理错误数据，从而导致不可预料的行为。
- 当不作为循环缓存使用时，确保 DAG(数据地址发生器)的长度寄存器(Lx)是显式被初始化为 0。当使用 ICE 下载和执行代码，相关的症状可能没被注意到，因为 ICE 会将长度寄存器初始化为 0，这样症状只有在作为独立系统进行引导装载和执行时才被发现。
- 查找特定工具版本(或升级包)下，VisualDSP++编译器的已知问题。编译器可能生成错误代码，导致无法预料的行为。建议您使用最新版的 VisualDSP++。

最新版 VisualDSP++的发布记录放在 Analog Device 网站：

www.analog.com/processors/sharc/evaluationDevelopment/crosscore/toolsUpgrades/index.html

同时，旧版本 VisualDSP++的发布记录位于：

www.analog.com/processors/sharc/evaluationDevelopment/crosscore/toolsUpgrades/archives.html

数据丢失

这是关于使用 SPORT, SPI 或其它串行接口接收数据时, 丢失开始的几个数据。这种情况下, 确保从机总是在主机开启之前启动。主机提供诸如串行时钟和帧同步信号, 从机从主机接收这些信号。

数据损坏

这是关于使用 SPORT, SPI, 链接端口等串行链路接收数据时发生数据损坏的情况。这种情况下, 确认信号完整性, 考虑由于超调/欠调以及由于串话或其它噪声源产生的噪声毛刺。尝试在可能的地方使用内部回环来排除处理器功能性问题。在无限持续模式下使用示波器查找 SI 问题。在此情况下, 尝试对串行时钟, 帧同步等信号使用终端(尽可能是串行终端)。有时, 尽管在设计中有其它功能性建议弥补, 还是出现接收通道的漂移/交替的问题。

VisualDSP++的小问题

当更换(或升级)VisualDSP++版本时, 会出现一些问题。在此情况下, 检查编译器的差别, 已知的工具问题等。尝试关闭代码优化以便进一步找到编译器优化相关的问题。从一开始尽可能使用最新的 VisualDSP++版本/升级版。

附录

Board Design Checklist	
<input type="checkbox"/>	Check the size and placement of decoupling capacitors
<input type="checkbox"/>	Check the boot mode selection pins (BOOTCFG)
<input type="checkbox"/>	Check the core clock rate selection pins (CLKCFG)
<input type="checkbox"/>	Check JTAG pins configurations. See <i>JTAG Emulation Technical Reference (EE-68)</i> ^[1]
<input type="checkbox"/>	Check test points and probe point accessibility. Unused PF pins are very useful for hardware and software debug purposes (for example driving LEDs or probe points). If possible, pin out all DSP signals through vias.
<input type="checkbox"/>	Check the reset circuitry. Reset should be generated by a reset supervisory IC, not by RC circuitry. RC network use is possible in combination with a Schmitt trigger gate to drive RESET/ of the processor.
<input type="checkbox"/>	Check power supply ratings and thermal requirements. It is preferable to be able to adjust the core voltage by simply changing a resistor value.
<input type="checkbox"/>	Check component placement, and avoid long traces
<input type="checkbox"/>	Check the processor's data sheet and errata for up-to-date information

参考文献

- [1] *Analog Device JTAG Emulation Technical Reference (EE-68)*, Rev 9, October 2004, Analog Device, Inc.
- [2] *Interfacing 133MHz SDRAM Memory to ADSP-21367 SHARC Processor (EE-286)*, Rev 2, March 2006, Analog Device, Inc.
- [3] *Managing the Core PLL on ADSP-2136x SHARC Processor (EE-290)*, Rev 1, June 2006, Analog Device, Inc.
- [4] *Interfacing Gated Clocks to ADSP-21065L SHARC Processor (EE-244)*, Rev 1, September 2004, Analog Device, Inc.
- [5] *Interfacing AD7676 ADCs to ADSP-21065L SHARC Processor (EE-247)*, Rev 1, October 2004, Analog Device, Inc.
- [6] *Interfacing AD7676 ADCs to ADSP-21065L SHARC Processor (EE-248)*, Rev 1, October 2004, Analog Device, Inc.
- [7] *Hardware Design Checklist for the Blackfin Processor (EE-281)*, Rev 1, October 2005, Analog Device, Inc.

文档记录

Revision	Description
Rev 1 – November 13, 2006 by Alberto Comaschi and Aseem Vasudev Prabhugaonkar	Initial Release